



УКРАЇНА

(19) **UA** (11) **132346** (13) **U**
(51) МПК (2019.01)
G06F 7/501 (2006.01)
G06F 8/00
G06E 1/04 (2006.01)

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

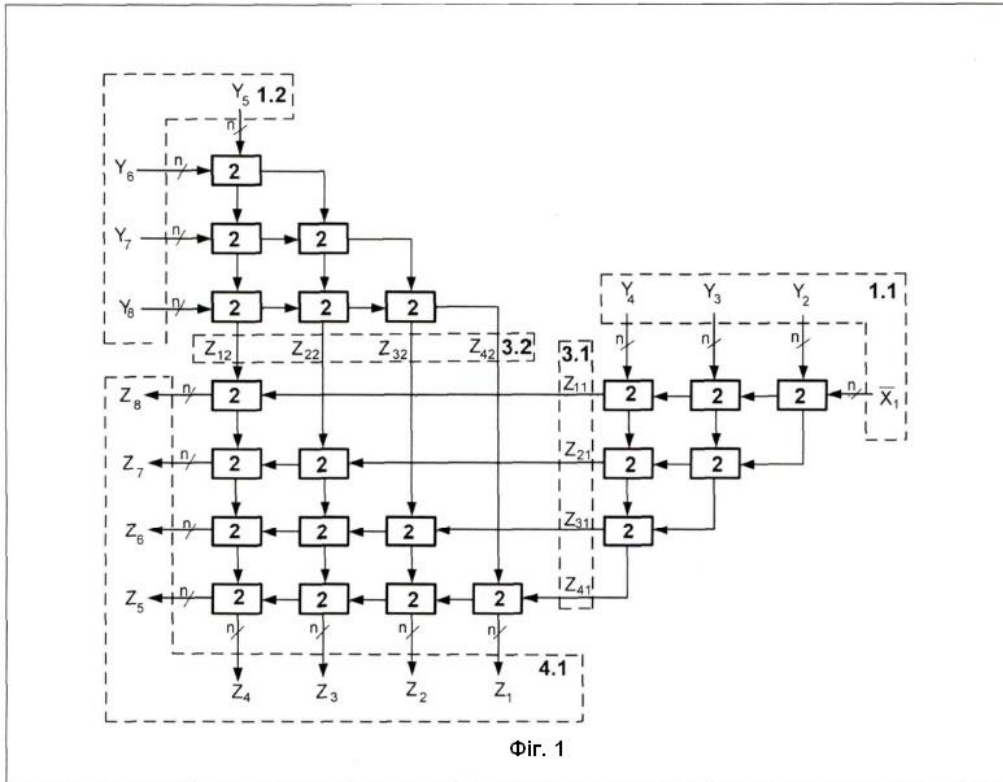
<p>(21) Номер заявки: u 2018 08942</p> <p>(22) Дата подання заявки: 27.08.2018</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.02.2019</p> <p>(46) Публікація відомостей про видачу патенту: 25.02.2019, Бюл.№ 4</p>	<p>(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA)</p> <p>(73) Власник(и): Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p>
---	---

(54) ПРИСТРІЙ СОРТУВАННЯ МАСИВІВ ДВІЙКОВИХ ЧИСЕЛ

(57) Реферат:

Пристрій сортування двійкових чисел містить першу вхідну n -розрядну шину, виходи якої з'єднані з відповідними входами першої n -розрядної структури сортування двійкових чисел, другу вхідну n -розрядну шину, виходи якої з'єднані з відповідними входами другої n -розрядної структури сортування двійкових чисел, третю $2n$ -розрядну вихідну шину, яка є виходом пристрою. Виходи першої n -розрядної структури сортування двійкових чисел додатково з'єднані з відповідними першими входами третьої n -розрядної структури сортування двійкових чисел, другі входи якої додатково з'єднані з відповідними виходами другої n -розрядної структури сортування двійкових чисел, перші входи першої і другої структур сортування двійкових чисел з'єднані з інверсними кодами відповідних перших чисел, кожен базовий елемент структури пристрою додатково містить два мультиплектори з парафазними виходами. Схема порівняння базового елемента сортування містить суматор з прискореним переносом з парафазними виходами, а $2N$ -виходів третьої структури сортування двійкових чисел з'єднані з вихідною шиною.

UA 132346 U



Корисна модель належить до засобів обчислювальної техніки і може бути використана як швидкодіючі компоненти в процесорах цифрової обробки сигналів і зображень.

Відомий аналог - пристрій для сортування масивів двійкових чисел на базі сортувальної мережі Каутца [Мельник А.О. Пам'ять із впорядкованим доступом. Монографія. Львів: Видавництво Львівської політехніки, 2014. с. 81, рис. 5.2], який містить вхідну $N \times n$ -розрядну шину де (N - кількість вхідних двійкових чисел, n - їх розрядність), яка з'єднана з першими входами перших ланок послідовно з'єднаних між собою першими виходами і другими входами базових елементів сортування [Мельник А.О. Пам'ять із впорядкованим доступом. Монографія. Львів: Видавництво Львівської політехніки, 2014. с. 91, рис. 6.1], відповідно другі виходи яких у кожній наступній ланці з'єднані з першими входами базових елементів сортування відповідних наступних ланок, а виходи вертикально з'єднаних входами і виходами кінцевих ланок є виходами пристрою.

Недоліком такого пристрою є велика апаратна складність, яка обумовлена наявністю великого числа компонентів, які реалізують структуру пристрою, число яких визначається згідно з виразом $N \times (N-1) / 2$.

Іншим недоліком такого пристрою є низька швидкодія, яка обумовлена великим числом послідовно з'єднаних базових елементів сортування, що складають найдовший шлях проходження сигналу, який рівний $(2N-3)$.

Відомий найближчий аналог - пристрій сортування двійкових чисел методом "бульбашки" [V. Gryga, Y. Nikolaichuk, N. Vozna, B. Krulikovskiy Synthesis of a microelectronic structure of a specialized processor for sorting an array of binary numbers // Perspective technologies and methods in MEMS design. Proceedings of XIIIth International Conference. MEMSTECH 2017. - Lviv-Svalyava, Ukraine, 2017. - P. 170-173.], який містить N вхідних n -розрядних двійкових даних, виходи яких з'єднані з відповідними першими інформаційними входами ($Y_1, Y_2, Y_2, Y_4, Y_5, Y_6, Y_7, Y_8$) N n -розрядних базових елементів сортування, які складаються із n -розрядної схеми порівняння двійкових чисел "на більше" та двох n -розрядних мультиплексорів на виходах яких формується менше та більше число. В результаті вхідні дані і проміжні результати повинні виконатися на $N \times (N-1) / 2$ n -розрядних базових елементах сортування двійкових чисел, після чого на інформаційних виходах ($Z_1, Z_2, Z_3, Z_4, Z_5, Z_6, Z_7, Z_8$) формується кінцевий результат чисел впорядкованих у порядку спадання.

Недоліком такого пристрою сортування є велика апаратна складність, яка складає $N(N-1) / 2$ n -розрядних базових елементів сортування двійкових чисел (для $N=8$, пристрій містить 28 базових операцій), які містять n -розрядну схему порівняння [<http://sh.instone.com.ua/tema2.3.php>, рис. 9.5], що складається з логічних елементів НІ, І, АБО і ВИКЛЮЧАЮЧЕ АБО (для $n=4$, схема містить $A_{сп}=24$ вентилі), з врахуванням того, що елемент ВИКЛЮЧАЮЧЕ АБО містить 4 логічні елементи [Шило В.Л. Популярні цифрові мікросхеми: Справочник. - М.: Радио и связь, 1988 г., с. 57, рис. 1.35] та містять два однофазних n -розрядних мультиплексорів, кожний розряд яких містить три логічні елементи та по два інвертори на керуючих входах (для $n=4$, один 2-входовий мультиплексор містить $A_{мп}=28$ вентилів) [Шило В.Л. Популярні цифрові мікросхеми: Справочник. - М.: Радио и связь, 1988 г., с. 147, рис. 1.106].

Наприклад, апаратна складність даного пристрою сортування для $N=8$ і $n=4$ буде рівною:

$$A_{пс} = N \times (N-1) / 2 \times (A_{сп} + 2 \times A_{мп}) = 28 \times (24 + 56) = 240 \text{ (вентилів)}.$$

Іншим недоліком такого пристрою є низька швидкодія, яка обумовлена значною затримкою сигналів у схемі порівняння, яка містить лінійку елементів НІ, ВИКЛЮЧАЮЧЕ АБО, І та АБО, що складає 6 мікротактів ($\tau_{сп}=6\upsilon$), оскільки елемент ВИКЛЮЧАЮЧЕ АБО містить три послідовно з'єднаних логічні елементи НІ, І-НІ та АБО-НІ [Шило В.Л. Популярні цифрові мікросхеми: Справочник. - М.: Радио и связь, 1988 г., с. 57, рис. 1.35], а також затримкою сигналів на 3 мікротакти ($\tau_{мп}=3\upsilon$) у мультиплексорах на 2-входи [Шило В.Л. Популярні цифрові мікросхеми: Справочник. - М.: Радио и связь, 1988 г., с. 147, рис. 1.106] на виходах яких формуються більше та менше значення чисел, поданих на входи елемента порівняння і переставлення чисел.

Наприклад, часова складність даного пристрою сортування для $N=8$ і $n=4$ буде рівною: $\tau_{пс} = k \times (\tau_{сп} + \tau_{мп}) = 13 \times (6 + 3) = 117\upsilon$ (мікротактів), де k - кількість ярусів потокового графа алгоритму [Грига В.М. Просторово-часове перетворення паралельних алгоритмів сортування // Вісник "Комп'ютерні системи та мережі". - Львів: Національний університет "Львівська політехніка", 2011. - № 717. - С 31-35.].

В основу корисної моделі поставлена задача зменшення апаратної складності та підвищення швидкодії пристрою сортування шляхом розбиття $2n$ -розрядної структури сортування на три відповідно з'єднаних між собою n -розрядних структур сортування двійкових

чисел, які містять першу вхідну n-розрядну шину 1.1 (\bar{X}_1, Y_2, Y_3, Y_4), виходи якої з'єднані з відповідними входами першої n-розрядної структури сортування двійкових чисел, другу вхідну n-розрядну шину 1.2 (Y_4, Y_5, Y_6, Y_7), виходи якої з'єднані з відповідними входами другої n-розрядної структури сортування двійкових чисел, третю 2n-розрядну вихідну шину, яка є виходом пристрою, в якому додатково виходи першої структури n-розрядної структури сортування двійкових чисел додатково з'єднані з відповідними першими входами третьої n-розрядної структури сортування двійкових чисел, другі входи якої додатково з'єднані з відповідними входами другої n-розрядної структури сортування двійкових чисел, 2 N - виходів є виходами пристрою.

Удосконалений пристрій сортування масивів двійкових чисел пояснюється кресленням, де показано сортування восьми ($N=8$) 4-и розрядних ($n=4$) двійкових чисел.

Пристрій сортування масивів двійкових чисел містить: 1.1 - перша вхідна n-розрядна шина (\bar{X}_1, Y_2, Y_3, Y_4); 1.2 - друга вхідна n-розрядна шина (Y_5, Y_6, Y_7, Y_8); 3.1 - перша вихідна n-розрядна шина ($Z_{11}, Z_{21}, Z_{31}, Z_{41}$) першої n-розрядної структури сортування; 3.2 - друга вихідна n-розрядна шина ($Z_{12}, Z_{22}, Z_{32}, Z_{42}$) другої n-розрядної структури сортування; 2 - n-розрядний базовий елемент сортування; 4.1 - третя 2n-розрядна вихідна шина ($Z_1, Z_2, Z_3, Z_4, Z_5, Z_6, Z_7, Z_8$) пристрою.

Пристрій сортування масивів двійкових чисел працює наступним чином: Вхідні n-розрядні двійкові числа одночасно надходять на відповідні входи першої та другої структур сортування чисел, причому для забезпечення підвищеної швидкодії базового елемента сортування функціональна структура якого представлена на (фіг. 2), яка містить схему порівняння на основі суматора з прискореним переносом з додатково введеними парафазними виходами, структура якого представлена на (фіг. 3), в якому застосовані неповні однорозрядні суматори з затримкою сигналів переносу на 1 мікротакт з парафазними виходами (фіг. 4) два вихідні мультиплексори з додатково введеними парафазними виходами (фіг. 5) додатково на перші входи першої і другої структур сортування чисел надходять додатково інвертовані коди чисел, відповідно виходи першої та другої структури додатково надходять на відповідні входи додатково введеної третьої структури, виходи якої є виходами пристрою.

Сумарна апаратна складність одного базового елемента сортування двійкових чисел удосконаленого пристрою сортування буде складати: $A_{пп} = (A_{сп} + 2 \times A_{мп}) = (4 \times 3) + 5 + (2 \times 12) = 16 + 24 = 41$ (вентиль), а сумарна часова затримка сигналу буде дорівнювати: $t_{пп} = t_{сп} + t_{мп} = 3 + 2 = 5v$ (мікротактів).

Впорядковані значення першої та другої половини вхідних даних на $N/2 \times (N/2 - 1)/2$ n-розрядних базових елементах сортування двійкових чисел 2 надходять на першу 3.1 і другу 3.2 вихідні n-розрядні шини першої і другої n-розрядної структури сортування, після чого перша частина проміжних результатів ($Z_{11}, Z_{21}, Z_{31}, Z_{41}$) подається на перші входи, а друга частина проміжних результатів ($Z_{12}, Z_{22}, Z_{32}, Z_{42}$) на другі входи ($(N/2)^2 - N/2)/2 + N/2$ n-розрядних базових елементів сортування двійкових чисел 2.

У результаті на третій 2n-розрядній вихідній шині 4.1 ($Z_1, Z_2, Z_3, Z_4, Z_5, Z_6, Z_7, Z_8$) формується кінцева впорядкована послідовність чисел у порядку спадання.

Оцінка апаратної складності запропонованого пристрою сортування визначається сумарною кількістю логічних елементів при заданій кількості і розрядності вхідних n-розрядних двійкових чисел, які впорядковуються на базових елементах сортування двійкових чисел.

Апаратна складність запропонованого пристрою сортування складає $3((N/2)^2 - N/2)/2 + N/2$, n-розрядних базових елементів сортування двійкових чисел.

Апаратна складність удосконаленого пристрою сортування для $N=8$ і $n=4$ буде рівною: $A_{упс} = 3((N/2)^2 - N/2)/2 + N/2 \times (A_{сп} + 2 \times A_{мп}) = 22 \times (17 + 24) = 881$ (вентиль).

Оцінка часової складності запропонованого пристрою сортування визначається сумарною затримкою сигналів на логічних елементах при заданій кількості і розрядності вхідних n-розрядних двійкових чисел, які впорядковуються на базових елементах сортування двійкових чисел.

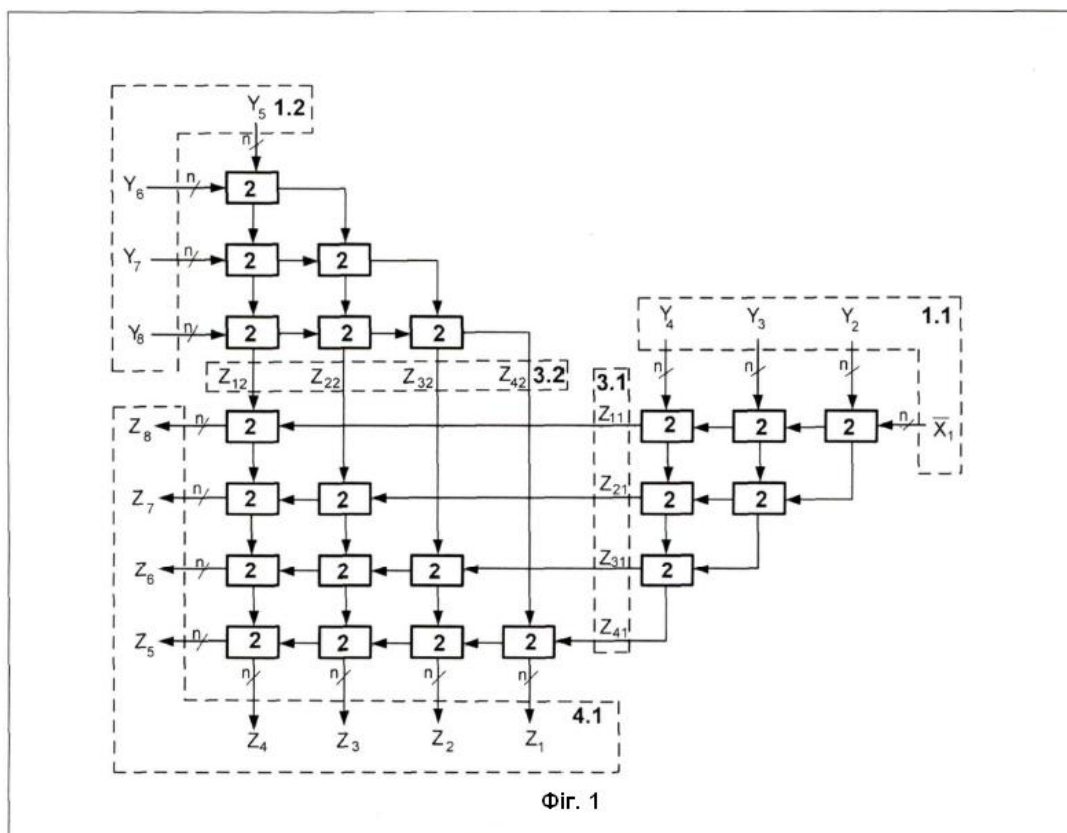
Часова складність запропонованого пристрою сортування буде рівна: $t_{пс} = k \times (t_{сп} + t_{мп}) = 9 \times (3 + 2) = 45v$ (мікротактів).

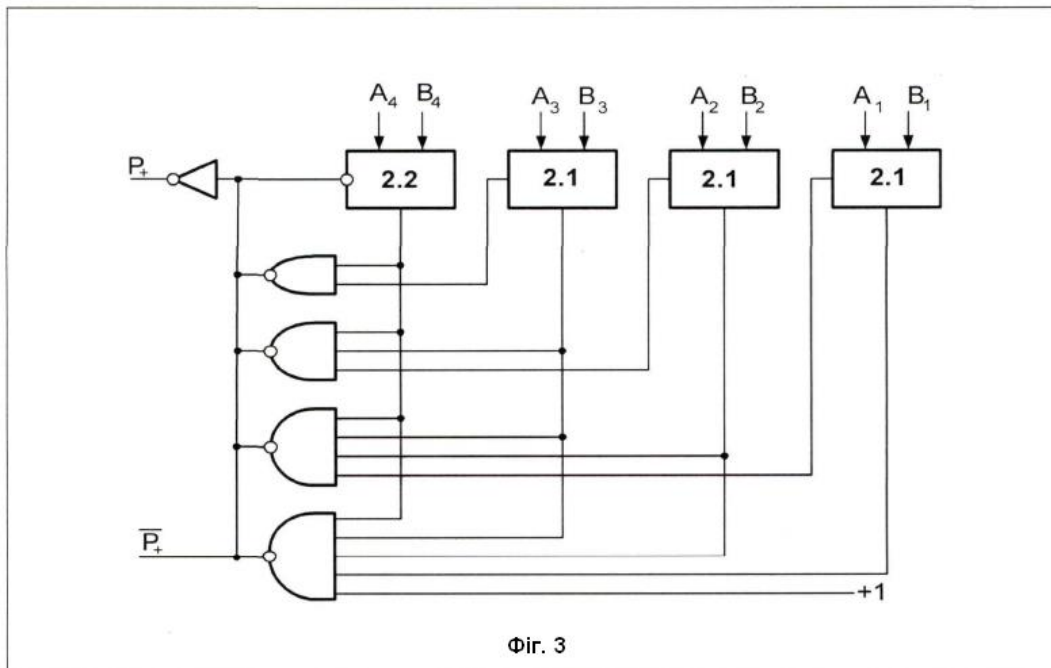
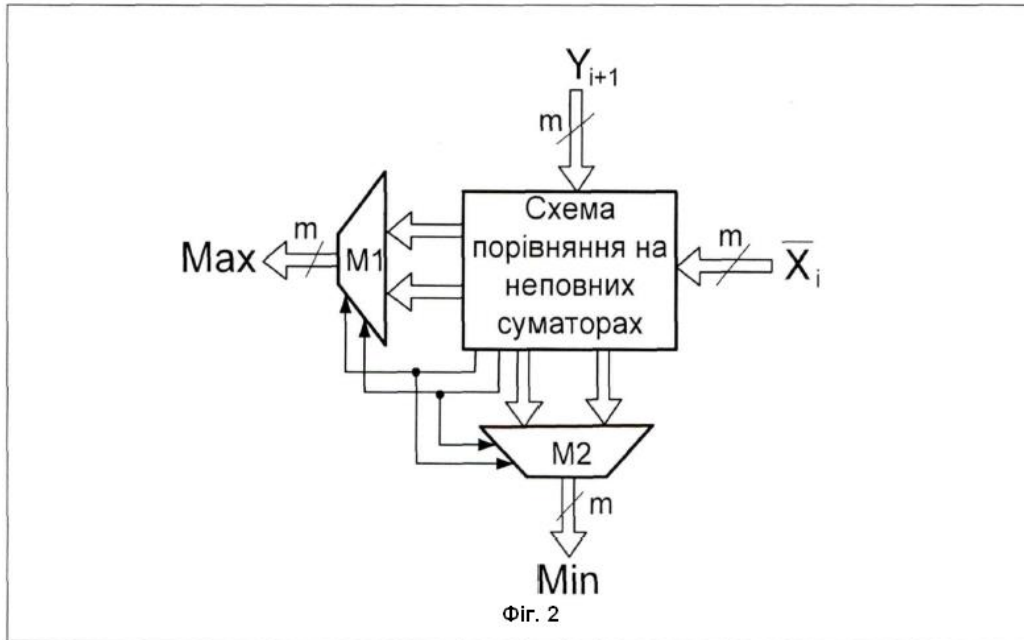
Технічний результат. У порівнянні з найближчим аналогом в удосконаленому пристрої досягнуто зменшення апаратної складності в 2,5 разу ($K_A = 2240/881 = 2,5$) та підвищення швидкодії в 2,6 разу ($K_T = 117/45 = 2,6$).

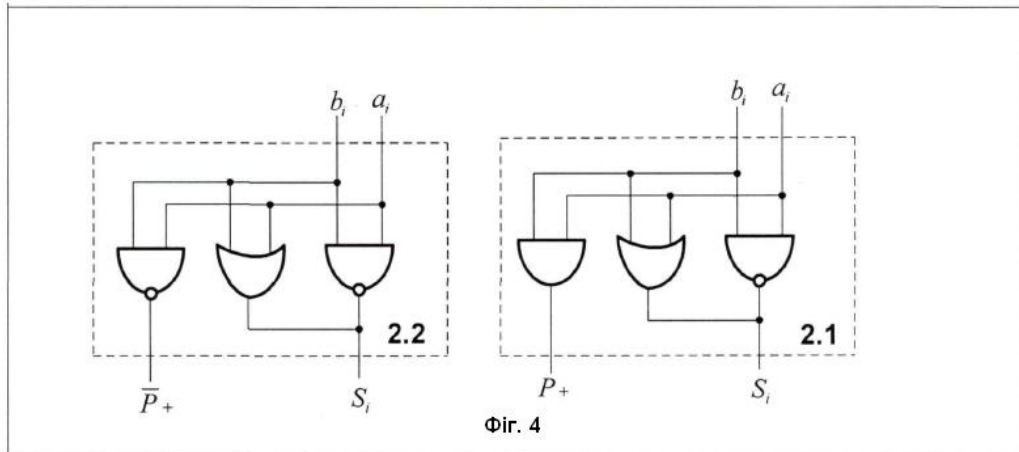
При збільшенні кількості вхідних чисел ($N=16, 32, 64, \dots, 128, 256, \dots$) досягнуті переваги апаратної і часової складності не зменшуються.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

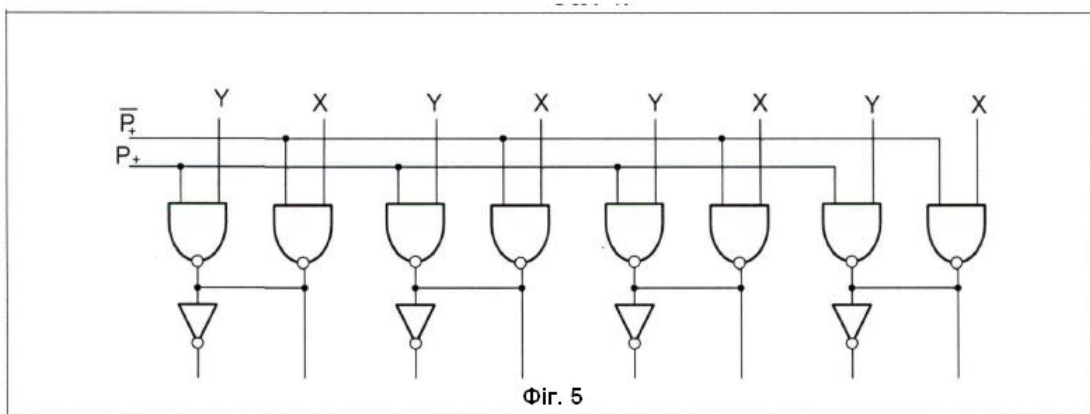
- 5 Пристрій сортування двійкових чисел, який містить першу вхідну n -розрядну шину, виходи якої з'єднані з відповідними входами першої n -розрядної структури сортування двійкових чисел, другу вхідну n -розрядну шину, виходи якої з'єднані з відповідними входами другої n -розрядної структури сортування двійкових чисел, третю $2n$ -розрядну вихідну шину, яка є виходом пристрою, який **відрізняється** тим, що виходи першої n -розрядної структури сортування двійкових чисел додатково з'єднані з відповідними першими входами третьої n -розрядної структури сортування двійкових чисел, другі входи якої додатково з'єднані з відповідними виходами другої n -розрядної структури сортування двійкових чисел, перші входи першої і другої структур сортування двійкових чисел з'єднані з інверсними кодами відповідних перших чисел, кожен базовий елемент структури пристрою додатково містить два мультиплексори з парафазними виходами, схема порівняння базового елемента сортування містить суматор з прискореним переносом з парафазними виходами, а $2N$ -виходів третьої структури сортування двійкових чисел з'єднані з вихідною шиною.







Фиг. 4



Фиг. 5