

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Тернопільський національний економічний університет
Факультет комп'ютерних інформаційних технологій
Кафедра комп'ютерної інженерії

Покойова (Нікітчук) Інна Юріївна

**VHDL-модель пристрою управління
світлодинамічною індикацією / The VHDL-model of
appliance for light-dynamic display controlling**

напрямок підготовки: 6.050102 - Комп'ютерна інженерія
фахове спрямування - Комп'ютерні системи та мережі
Бакалаврська робота

Виконав студент групи
КСМ 41/1
І.Ю. Покойова (Нікітчук)

Науковий керівник:
Дубчак Л.О

Тернопіль – 2018

РЕЗЮМЕ

Дипломний проект містить 65 сторінок пояснюючої записки, 3 рисунки, 7 таблиць, 2 додатки. Обсяг графічного матеріалу 2 аркуші формату А3.

Метою даного дипломного проекту є створення пристрою зі світлодинамічною індикацією, який має мати можливість керування і практичну значимість.

В даному дипломному проекті було проведено моделювання схеми пристрою управління світлодинамічної індикацією на мові опису апаратури VHDL. Також виконано моделювання роботи схеми на мові опису апаратури VHDL, побудована тимчасова діаграма роботи. Обробка результатів моделювання та розробка програми здійснювалися на власному персональному комп'ютері. Написаний VHDL код можна застосувати для синтезу до великої інтегральної схеми, що дозволить реалізувати пристрій в одній мікросхемі. Досліджено область розробки пристрою, розвиток і основні поняття мови опису апаратних засобів комп'ютера. Досліджено та проаналізовано сучасні мови опису апаратних засобів комп'ютера;

Описано застосування мови VHDL при розробці пристрою управління світлодинамічної індикації. Досліджено сучасні пристрої світлодинамічної індикації та описано алгоритм роботи розробленого пристрою зі світлодинамічною індикацією.

Ключові слова: ПРИСТРІЙ УПРАВЛІННЯ, СВІТЛОДИНАМІЧНА ІНДИКАЦІЯ, VHDL.

RESUME

The diploma project contains 65 pages of explanatory note, 3 figures, 7 tables, 2 appendices. Volume of graphic material 2 sheets of A3 format.

The aim of this diploma project is to create a device with light-dynamic indication, which should be controllable and of practical significance.

In this diploma project the modeling of the scheme of the control device of light-dynamic indication in language of the description of the VHDL equipment was carried out. The simulation of the circuit operation in the language of the VHDL equipment description language is also performed, the time diagram of the operation is constructed. Processing of simulation results and program development were carried out on own personal computer. Written VHDL code can be used for synthesis to a large integrated circuit, which will implement the device in a single chip. The field of device development, development and basic concepts of computer hardware description language are studied. The modern languages of the description of computer hardware are investigated and analyzed;

The use of VHDL language in the development of a light-dynamic indication control device is described. Modern devices of light - dynamic indication are investigated and the algorithm of work of the developed device with light - dynamic indication is described.

Keywords: CONTROL DEVICE, LIGHT DYNAMIC INDICATION, VHDL.

ЗМІСТ

Вступ.....	4
1 Аналіз предметної області.....	5
1.1 Сучасні мови опису апаратних засобів комп'ютера.....	5
1.2 Застосування мови VHDL при розробці пристрою управління світлодинамічної індикації.....	9
1.3 Етапи розробки пристрою управління.....	11
2 Опис області розробки проекту.....	14
2.1 Світлодинамічна індикація та її застосування.....	14
2.2 Сучасні пристрої світлодинамічної індикації.....	15
2.3 Алгоритм роботи пристрою зі світлодинамічною індикацією.....	21
3 Дослідження роботи пристрою (вузла).....	24
3.1 Вибір середовища моделювання.....	24
3.2 Розробка моделі розробленого засобу.....	29
3.3 Верифікація проекту.....	32
4 Техніко-економічний розділ.....	37
4.1 Стадії технологічного процесу.....	37
4.2 Визначення витрат на оплату праці та відрахувань на соціальні заходи.....	38
4.3 Розрахунок матеріальних витрат.....	40
4.4 Розрахунок витрат на електроенергію.....	41
4.5 Розрахунок суми амортизаційних відрахувань.....	42
4.6 Визначення транспортних витрат.....	44
4.7 Обчислення накладних витрат.....	44
4.8 Складання кошторису витрат та визначення собівартості	45

					ДП.КСМ.07114/14.00.000 ПЗ			
Зм	Арк	№ докум.	Підпис	Дата	ПРИСТРІЙ УПРАВЛІННЯ СВІТЛОДИНАМІЧНОЇ ІНДКАЦІЇ НА МОВІ VHDL	Літ.	Аркуш	Аркушів
Розробив		Покойова І.Ю.					2	64
Перевірів		Дубчак Л.О.						
Консульт.		Паздрій І.Р.						
Н. Контр.		Гураль І.В.						
Затв.		Березький О.М.						
						ТНЕУ. ФКІТ. КСМ-41/1		

4.9 Розрахунок ціни проекту.....	45
4.10 Визначення економічної ефективності і терміну окупності капітальних вкладень.....	46
Висновки.....	48
Список використаних джерел.....	49
Додаток А Текст програми світлодинамічної індкації.....	51
Додаток Б Загальна схема пристрою. Схема електрична функційна.....	64
Додаток В Довідка про використання.....	65

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						3
Зм.	Арк.	№ докум.	Підпис	Дата		

ВСТУП

Наш час можна сміливо назвати часом комп'ютерною революцією, оскільки швидкість розвитку комп'ютерних технологій вражають. Створення комп'ютерних технологій має великий вплив на розвиток техніки, науки, бізнесу, медицини та інших сфер діяльності. Кожний розроблений та винайдений пристрій, що швидко набуває широкого попиту у використанні може відігравати велику роль у формуванні майбутнього.

Наприклад, відкриття технологічних процесів, що дозволяють розміщувати безліч електричних схем на одному кристалі, які можуть мати десятки та соті тисяч активних логічних елементів, дало змогу швидко та у великому обсязі виробляти мікропроцесори, які за своїми параметрами і функціональними можливостями перемагають над центральними процесорами деяких великих ЕОМ (електронно обчислювальних машин).

Темою даного дипломного проекту є розробка пристрою світлодинамічної індикації на мові опису апаратури – VHDL.

Метою є створення пристрою зі світлодинамічною індикацією, який має мати можливість керування і практичну значимість.

Актуальність теми обґрунтовується тим, що на сьогоднішній день неможливо уявити світ без комп'ютерних технологій, адже у багатьох компаніях, офісах, банках, різних навчальних закладах використовуються різні пристрої, які полегшують роботу і якими можна керувати на різній відстані, що є дуже зручним в даний час. Це дозволяє виконувати роботу зручніше, швидше і якісніше.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						4
Зм.	Арк.	№ докум.	Підпис	Дата		

1 АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ

Скільки часу розвиваються комп'ютери, стільки вони ускладнюються. Для того, щоб розмістити на одному кристалі тисячі елементів словесного опису або зображуваної схеми на папері не достатньо. Для вирішення таких задач створили мови опису апаратури (МОВА, HDL - hardware description languages), що мають основні поняття, істотні для проектування цифрових систем [1].

1.1 Розвиток і основні поняття мови опису апаратних засобів комп'ютера

Мови опису апаратури (МОВА) з'явилися на початку 60-х років. Причиною появи було швидке зростання складності проєктованих систем і відповідно це вимагало адекватних засобів, які допомогли б з нею впоратися.

Мови опису апаратних засобів змінили світ проєктування в електроніці цифрових схем, оскільки вони дали можливість автоматично генерувати файл для програмування мікросхем з описом на МОВА.

Опис апаратури (Hardware Description) – це однозначний метод опису міжелементних зв'язків і роботи електричної і електронної частини апаратних засобів обчислювальної техніки. Написання HDL-коду замість використання схемотехнічних компонентів в реальному часі є магістральним шляхом в області проєктування цифрових схем [15].

З появою МОВА стало можливо створювати у вигляді програмного забезпечення:

- інтегровану модель прототипу;

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						5
Зм.	Арк.	№ докум.	Підпис	Дата		

- генератор тестових сигналів;
- осцилограф і логічний аналізатор.

Робота з MOA означає не просто написання коду. Це означає також:

- ієрархічність підходу (Building Hierarchies);
- можливість проектування за допомогою бібліотеки компонентів (Component Library).

В 60-ті роки було розроблено кілька десятків MOA, серед яких найвідоміші: LOTIS, EPICURE, CDL, HARGOL, CASSANDRE, DDL. Вже через 10 років їх уже було біля двохсот. А 1973 рік відзначився проектом CONLAN (CONsensus LANguage) - перша спроба розробки стандарту мови, який дозволяє описувати взаємопов'язані елементи і як вони поведуться, щоб забезпечити структуру, здатну виконувати обчислення. Щоб структура могла виконувати функцію, що моделює багаторівневі проекти, поведінка елементів описується як послідовність, в якій вони змінюють свій стан. CONLAN був не єдиний з мов опису апаратури, а лише як механізм генерації мов на основі ядра, Base CONLAN.

У 1980 році були опубліковані основні результати проекту, в 1983р. - повне визначення мови. У той час були розроблені і використовувалися багато інших MOA (ELLA, DACARO III, CASCADE, REGLAN, KARL, VERILOG), проте саме CONLAN став основою VHDL .

Абревіатура VHDL означає VHSIC HDL, де, в свою чергу, VHSIC – це: Very High Speed Integrated Circuit – високошвидкісні інтегральні схеми (так називалася програма підтримки Міністерства охорони США (US Department of Defense – DoD) підтримки в області високоефективної інтегральної електроніки) [1].

Існує кілька десятків MOA високого та низького рівня. Наприклад, до високого рівня MOA, крім VHDL, відноситься такожі мова Verilog HDL.

Багато спеціалістів вважають, що краще застосовувати VHDL, оскільки він має більше переваг і вже 15 років являється стандартом Інститута

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						6
Зм.	Арк.	№ докум.	Підпис	Дата		

інженерії по електроніці та електриці (IEEE). Тому ця мова є лідером в промислових та академічних проектах.

Спочатку VHDL призначався для написання специфікацій проектів (Project Specification) як допомога при створенні моделей систем – VHDL Modeling. Пізніше він використовувався для верифікації цих моделей шляхом моделювання – VHDL Simulation. Таким чином, VHDL з самого початку є мовою документування та моделювання, яка дозволяє точно задавати поведінку цифрових схем. До її виконуваних функцій включають:

- часові межі;
- паралельність функціонування;
- синхронізація тактових сигналів;
- логічні дії системи та часові характеристики.

Перевагою VHDL можна назвати підтримку середовища для цифрового проектування, а також різні методи проектування (Design Methods, Developmet Methods).

Для багатьох електричних пристроїв час їхньої експлуатації складає приблизно до десяти років. Протягом цього періоду вони також модифікуються, тобто набувають нових функцій і переходять до нових технологій.

Міністерство США інвестувало розробку VHDL на початку 80-х років, оскільки потрібно було, щоб дана мова не залежала від конкретних технологій (Technology Independent), і використовувала автоматичні інструменти (Automatic Tools). Пізніше розробка VHDL сконцентрована була на тому, щоб описувати стандартні електричні цифрові схеми, так як потребувала стандартний метод (Standartized Method) [10].

Вже в 1987 році VHDL була стандартизована інститутом IEEE. І в грудні 1987 року набула статус стандарту IEEE – IEEE 1076 – 1987. VHDL підтримує здатність до модифікації (Modifiaility), зручна для створення ієрархії структур і легка для читання.

						ДП.КСМ.07114/14.00.000 ПЗ	Арк.
							7
Зм.	Арк.	№ докум.	Підпис	Дата			

При створенні VHDL були запозичені принципи структурного програмування з мов Ада та Паскаль.

Великий успіх VHDL обумовлений тим, що ця мова давно стандартизована, і ця робота по стандартизації не зупиняється по сьогоднішній день.

Ієрархічні структури (Hierarchies, Block Diagrams) описуються за допомогою структурного VHDL (Structural VHDL), а також за допомогою підпрограм (Subprograms): процедур (Procedures) і функцій (Functions). Структурний VHDL представляє собою засіб опису структурних, ієрархічних моделей і техніку для роботи з блочними діаграмами.

Багато систем проектування (CAD – Computer Aided Design, САПР) підтримують графічний ввід проекту (Graphical Design Entry), який транлюється автоматично в оператори структурного VHDL.

VHDL також підтримує паралельні та послідовні конструктори (Concurrent and Sequential Constructions (Statements)), а також велику кількість інших різних речей (від опису вимог специфікацій до вентильного опису (Gate Description)).

Як відомо, ієрархія являється засобом скорочення трудомісткості проектування. Складні проекти потребують механізму підвищення їх «прозорості» для розробника, оскільки важко розібратися в проекті, який містить сотні та тисячі компонентів.

Існує декілька механізмів для полегшення розуміння проектів:

- мовні абстракції, які використовуються для опису важких речей, уникаючи опису дрібних деталей;
- ієрархія проектування, яка використовує компоненти для приховання дрібних деталей по методу «чорного ящика», який означає, що тільки входи/виходи компонента видимі на певному ієрархічному рівні;
- функції і процедури як важлива частина мови VHDL, слугують для стримування росту складності проекту.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						8
Зм.	Арк.	№ докум.	Підпис	Дата		

Використання компоненти являється центральною концепцією мови VHDL. Компоненти використовуються також і для побудови бібліотек, що мають моделі мікропроцесів, схем спеціального призначення.

VHDL є об'єктно-базуючою мовою (Object-Based Language). Різниця між нею і об'єктно-орієнтованою мовою (Object-Oriented Languages) заключається в тому, що VHDL не має механізму наслідування (Inheritance).

Для VHDL характерно використання компонент з налаштовуваними параметрами і реалізація множинних екземплярів компонент.

Компоненти з налаштовуваними параметрами є компонентами, які модифікуються перед реалізацією екземплярів. Наприклад, такий компонент може копіюватися з різними розмірностями вхідних і вихідних сигналів.

Внутрішня структура компоненти може бути прихована від проектувальника по принципу «чорного ящика». В певних випадках абсолютно не потрібно знати як структурований компонент. Розробника зазвичай цікавлять лише входи і виходи компонента, специфікація його функцій і час доступу (Access Time). Розробники використовують в якості «чорних ящиків» ПЛІС (проектвана логічна інтегральна схема) або серійні мікросхеми [11].

1.2 Застосування мови VHDL при розробці пристрою управління світлодинамічної індикації

VHDL підтримує три різних стилі для опису апаратних архітектур: структурний опис, потоковий опис та поведінковий опис. Всі три стилі можуть самостійно або спільно використовуватися для проектування архітектури проекту. При структурному описі (structural description) об'єкта проекту архітектура представляється у вигляді ієрархії пов'язаних компонентів.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						9
Зм.	Арк.	№ докум.	Підпис	Дата		

Кожен екземпляр компонента представляє частину проекту, яка, з іншого боку, може бути описана об'єктом проекту нижчого рівня, також складається з пов'язаних компонентів. Таким способом може бути побудована ієрархія об'єктів проекту, яка представляє весь проект.

Компонентом може бути один вентиль, мікросхема, плата або ціла підсистема, ієрархія може представляти структурне розбиття проекту або функціональну декомпозицію [16].

Спочатку необхідно описати інтерфейси і архітектурні тіла для всіх підсистем (компонентів). У структурному архітектурному тілі перед ключовим словом `begin` розташовується опис внутрішніх для архітектури сигналів, що з'єднують пристрій між собою базових компонент. Всередині архітектурного тіла порти інтерфейсу також можуть бути інтерпретовані як сигнали. У цій же області архітектури (до ключового слова `begin`) розташовуються опису базових компонент, з яких вона будується. У другій частині архітектурного тіла знаходиться сукупність реалізацій компонент. Кожна реалізація є копією об'єкта (*entity*), що представляє підсистему і використовує відповідне архітектурне тіло. Ключові слова `port map` специфікують між'єднання портів кожної реалізації компонента з внутрішніми сигналами архітектури і сигналами інтерфейсу основного об'єкта, який побудований на базі цих компонент.

В даному проекті використовувався структурний стиль з описом деяких компонент в поведінковому (*DFE*, *TFF*, *generator*), а також в потоковому стилі (компонент мультиплексор). Структурний стиль VHDL-опису основної програми був обраний з кількох причин: по-перше, цей стиль відрізняється наочністю, по-друге, через можливість використання бібліотечних компонентів, по-третє, цей стиль дозволяє створювати досить великі за обсягом програми без втрати логічних зв'язків (наприклад, потоковий стиль з цієї причини абсолютно не підходить).

						ДП.КСМ.07114/14.00.000 ПЗ	Арк.
							10
Зм.	Арк.	№ докум.	Підпис	Дата			

Для моделювання роботи двох елементів пристрою (counter_IE7, counter_IE8) використовувався графічний редактор для створення моделей у вигляді цифрових автоматів (Finite State Machine Editor). Редактор кінцевого автомата допускає простий і однозначне графічне введення проекту. Оскільки проект може бути легко переналаштуватися на будь-який кінцевий елемент, редактори автоматів стають дуже популярними серед проектувальників, які гідно оцінюють технологічну незалежність. Редактор станів автоматів допускає графічне введення інформації в проект в формі кінцевих автоматів. Таким чином, кінцевий автомат (FSM) являє собою процес переходів між станами в обмеженому числі "станів". Проект FSM містить наступні атрибути:

- список станів;
- список команд, які можуть бути виконані під час переходів зі стану в стан;
- список дій, які будуть зроблені для кожної команди.

1.3 Етапи розробки пристрою управління

Створення моделі пристрою управління світлодинамічною індикацією на мові VHDL переслідувало дві мети:

- 1) перевірка відповідності поведінки синтезованого пристрою його функціональному опису;
- 2) отримане VHDL-опис може бути вихідними даними для автоматичного синтезу замовний ВІС, що реалізує пристрій. Реалізація пристрою у вигляді однієї ВІС значно знижує вартість, габарити, підвищує надійність, простоту виготовлення.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						11
Зм.	Арк.	№ докум.	Підпис	Дата		

В даному дипломному проєкті поставлена задача розробки HDL– моделі пристрою управління світлодинамічної індикації. Процес проєктування складається з таких етапів, котрі зображені на рисунку 1.1.



Рисунок 1.1 – Дерево рішень дипломного проєктування

Світлодинамічні установки (СДУ) мають широке застосування. СДУ з програмованими алгоритмами дозволяють реалізовувати велике різноманіття світлодинамічних ефектів і управляти за програмою великим числом світлових елементів. Тому розробка розробки HDL–моделі пристрою управління світлодинамічної індикації є важливою та актуальною задачею.

Дана компонента розробляється в середовищі Active-HDL 8.1. Програма дозволяє проєктувати пристрій за допомогою мов опису апаратури, а також за допомогою структурних схем. Спочатку програма підтримувала тільки мову

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		12

VHDL, але з часом додалася підтримка мов Verilog і SystemC. За допомогою програми можна графічно проектувати кінцеві автомати, а також конвертувати HDL опис в графічні структурні схеми і навпаки [15].

Мова опису апаратури для високошвидкісних інтегральних схем (VHSIC), звана VHDL, є формальним записом, який може бути використаний на всіх етапах розробки електронних систем. Внаслідок того, що мова легко сприймається як машиною, так і людиною вона може використовуватися на етапах проектування, верифікації, синтезу і тестування апаратури також як і для передачі даних про проект, модифікації і супроводу.

Спочатку для більшого розуміння опишемо подане дерево рішень дипломного проектування зображеного на рисунку 1.1. Першим кроком є – загальний аналіз проблеми управління світлодинамічної індикації. Наступне, що слідує, так це вибір пристрою управління, у нашому випадку це пристрій з "запрограмованим" алгоритмом, як показує практика експлуатації світлодинамічних пристроїв, естетичний візуальний ефект створюють саме такі пристрої, а не сформованим випадковим чином з використанням генератора випадкових чисел (ГВЧ). Третім кроком дипломного проектування є завдання побудувати структуровану схему пристрою управління світлодинамічної індикації. Після цього вибираємо відповідну систему автоматизованого проектування. П'ятим кроком є створення VHDL– моделі пристрою управління світлодинамічної індикації. І останнім етапом, зображеним на дереві рішень дипломного проектування є перевірка правильності роботи поданої VHDL–моделі.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		13

2 ОПИС ОБЛАСТІ РОЗРОБКИ ПРОЕКТУ

2.1 Світлодинамічна індикація та її застосування

Як говорилося вище, світлодинамічні установки (СДУ) мають широке застосування. Прикладами можуть бути автомобільна електроніка (для управління стоп-сигнальними "вогнями"), естетичне оформлення барів, дискотек, казино, святкова ілюмінації, при підготовці виставок, презентацій, а також організація світлової реклами.

СДУ з програмованими алгоритмами дозволяють реалізовувати велике різноманіття світлодинамічних ефектів і управляти за програмою великим числом світлових елементів. Такий пристрій можна виконати, наприклад, на одному мікроконтролері і декількох регістрах, як інтерфейсних схем, для управління набором світлових елементів. Застосування поширених мікросхем стандартної логіки дозволяє побудувати повністю автономний багатоканальний світлодинамічний пристрій з інтегрованим програматором, який не потребує використання жодних додаткових програматорів, взагалі, або комп'ютера, зокрема [17].

СДУ можна розділити на три типи: до першої групи належать прості в сенсі апаратної реалізації пристрою, що реалізують обмежений набір ефектів; до другої групи належать пристрої з використанням ІМС пам'яті типу РПЗУ; третя група - СДУ на мікроконтролерах. Представлене в даному проекті пристрій умовно можна віднести до проміжної між другою і третьою групою категорії.

В даному проекті реалізована VHDL-модель пристрою керування світлодинамічної індикацією. Мова опису апаратури для високошвидкісних інтегральних схем (VHSIC), званий VHDL, є формальною записом, яка може бути використана на всіх етапах розробки електронних систем. Внаслідок того, що мова легко сприймається як машиною, так і людиною він може

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		14

використовуватися на етапах проектування, верифікації, синтезу і тестування апаратури також як і для передачі даних про проект, модифікації і супроводу.

2.2 Сучасні пристрої світлодинамічної індикації

Світлодинамічні установки (СДУ), опису яких часто зустрічаються на сторінках радіотехнічної літератури, по архітектурі побудови можна умовно розділити на три групи. Перша група - це пристрої, в яких реалізований обмежений набір ефектів при відносно невеликих апаратних витратах, друга група - більш складні по архітектурі пристрої з впровадженням ІМС пам'яті типу РПЗУ, третя група - СДУ на мікроконтролерах. Застосування пристроїв другої і третьої груп дозволяє отримати велике різноманіття світлодинамічних ефектів. Реалізація пристроїв першого типу НЕ викликає ускладнень, в той час як виготовлення СДУ другої групи вимагає застосування спеціальних програматорів [3].

Як показує практика експлуатації світлодинамічних пристроїв, естетичний візуальний ефект створюють саме пристрої з "запрограмованим" алгоритмом, а не сформованим випадковим чином з впровадженням генератора випадкових чисел (ГВЧ). Тому пристрої на основі ГСЧ Можна не розглядати в даній класифікації.

Другий недолік полягає в тому, що в будь-якому із зазначених випадків набір світлодинамічних ефектів жорстко фіксований. Тому, якщо в пристроях на основі РПЗУ можна змінити набір ефектів шляхом перепрограмування мікросхеми пам'яті з впровадженням програматора, то в пристроях на основі жорсткої логіки, в яких закладено фіксований алгоритм, це взагалі неможливо. Необмежене число світлових ефектів є лише автоматам на базі ПЗУ і МК, але

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		15

для запуску таких приладів в дію користувачів повинен мати у своєму розпорядженні комп'ютером і програматором.

Третім недоліком можна назвати можливість керування тільки обмеженим набором світловипромінюючих елементів (світлодіодів, ламп розжарювання), оскільки на кожен елемент припадає один сигнальний провід.

На сьогоднішній день часто використовують пристрої світлодинамічної індикації. Щоб дізнатися більше таких прикладів, щозглянемо їх детальніше.

Першим прикладом є перемикач гірлянд. Відомо, що майже кожен використовує гірлянд під час Нового Року, люди прикрашають свої домівки, будинки і таким чином створюють новорічний настрій мигаючими гірляндами. Спочатку розглянемо просту гірлянду лише з двома кольорами. Схема такого пристрою зображена на рисунку 2.1.

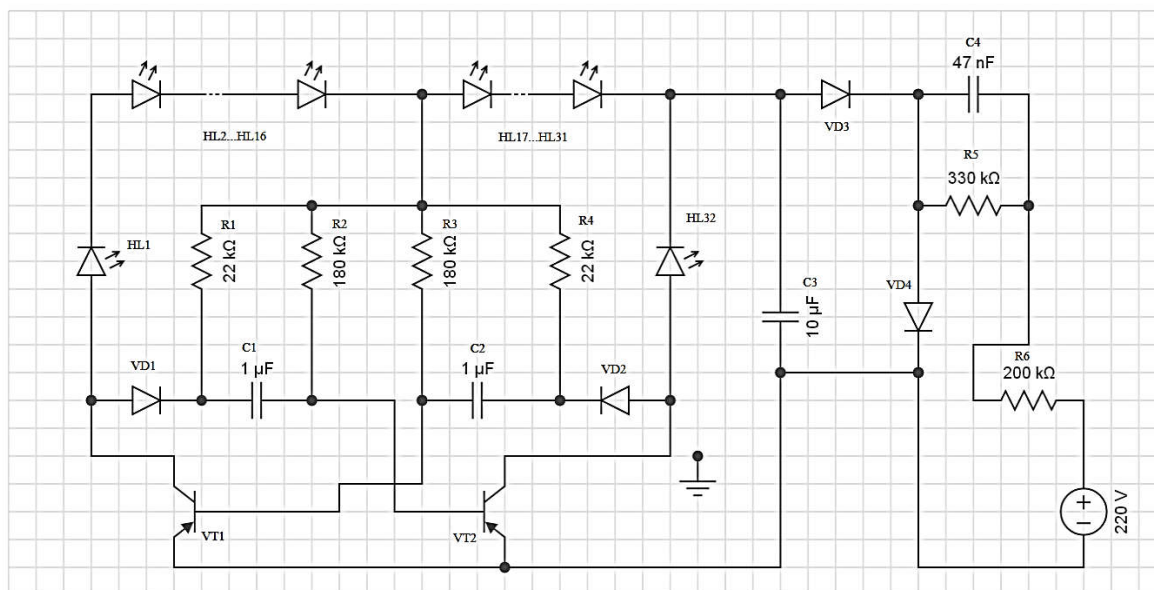


Рисунок 2.1 - Перемикач гірлянд

Це пристрій управляє двома гірляндами, що складаються з малогабаритних світлодіодів червоного і зеленого кольорів, і призначене для прикраси невеликої новорічної ялинки.

На транзисторах VT1, VT2 зібраний симетричний мультівібратор, частота перемикачання якого визначається номіналами резисторів R1 - R4 і конденсаторів C1, C2. Для зазначених на схемі номіналів цих елементів частота становить близько 1 Гц. У колекторні ланцюга транзисторів включені дві гірлянди з світлодіодів HL1 - HL32. Діоди VD1, VD2 і резистори R1, R4 необхідні для забезпечення перезарядки конденсаторів C1 і C2.

Джерело живлення перемикача гірлянд виконаний за схемою однонапівперіодного випрямляча на діод VD3 з використанням баластного конденсатора C4 для гасіння напруги. Діод VD4 необхідний для перезарядки конденсатора при позитивній хвилі (щодо нижнього за схемою дроти мережі) напруги, резистор R6 обмежує імпульс струму при включенні пристрою в мережу, коли конденсатор розряджений.

Через резистор R5 конденсатор C4 розряджається після вимкнення апарата з мережі. Пульсації випрямленої напруги згладжуються конденсатором C3. Стабілітрон в блоці живлення відсутній, а напруга на елементах мультівібратора обмежується напругою на включеній гірлянді світлодіодів, тобто світлодіоди виконують функцію стабілітронів. Оскільки в будь-який момент часу обов'язково включена одна з двох гірлянд, напруга на конденсаторі C3 не може перевищити напруга на світиться гірлянді. Плюсом цієї схеми є простота реалізації. Недоліки схеми: маленька вихідна потужність, наявність всього одного режиму перемикачання гірлянди[9].

Другим прикладом є світлова індикація дзвінка стаціонарного телефону. Такий пристрій дублює телефонний дзвінок стаціонарного апарату світловим сигналом і буде корисний людям з ослабленим слухом або на об'єктах з підвищеним рівнем шуму. Приставка підключається паралельно телефонному апарату і не вимагає доопрацювання останнього. Схема, наведена нижче на рисунку 2.2, особливих пояснень не потребує.

						ДП.КСМ.07114/14.00.000 ПЗ	Арк.
							17
Зм.	Арк.	№ докум.	Підпис	Дата			

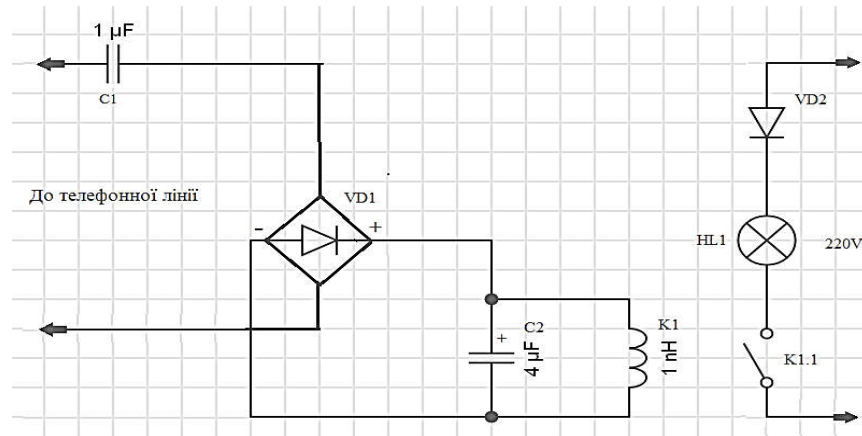


Рисунок 2.2 – Схема світлової індикації дзвінка стаціонарного телефону

Напруга виклику проходить через конденсатор C_1 , на діодний міст VD_1 , випрямляється і надходить на обмотку реле K_1 . Реле спрацьовує і своїми нормально роз'єднаними контактами підключає до мережі лампу розжарювання HL_1 , включену через діод VD_2 , що послабляє її яскравість удвічі (від нього, в принципі, можна відмовитися).

Конденсатор C_2 згладжує і служить для усунення брязкоту контактів реле під час набору номера і дзвінка. Цілком природно, що контакти реле можна навантажити чим завгодно - від сирени, що живиться від мережі до дитячої іграшки, що працює на батареях. У другому випадку індикатор дзвінка не буде прив'язаний до електричної розетки [6].

У пристрої можна застосувати наступні деталі:

- C_1 - будь-який паперовий на напругу не нижче 160В, наприклад, МБМ;
- C_2 - паперовий або плівковий, в крайньому випадку піде і електролітичний;
- діодний міст VD_1 можна зібрати з окремих діодів, наприклад, Д226, КД102А, КД105Б і іншими;
- VD_2 повинен бути розрахований на зворотне напруга не нижче 380 В.

						ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата			18

– Реле з опором обмотки близько 1000 Ом і струмом спрацьовування до 10 мА. Контакти його, звичайно, повинні бути розраховані на підключасться навантаження.

Оскільки контакти більшості герконовий реле не розраховані на напругу 220 В, то відповідного приладу може не виявитися під рукою.

Вийти з ситуації допоможе схема, зображена нижче на рисунку 2.3.

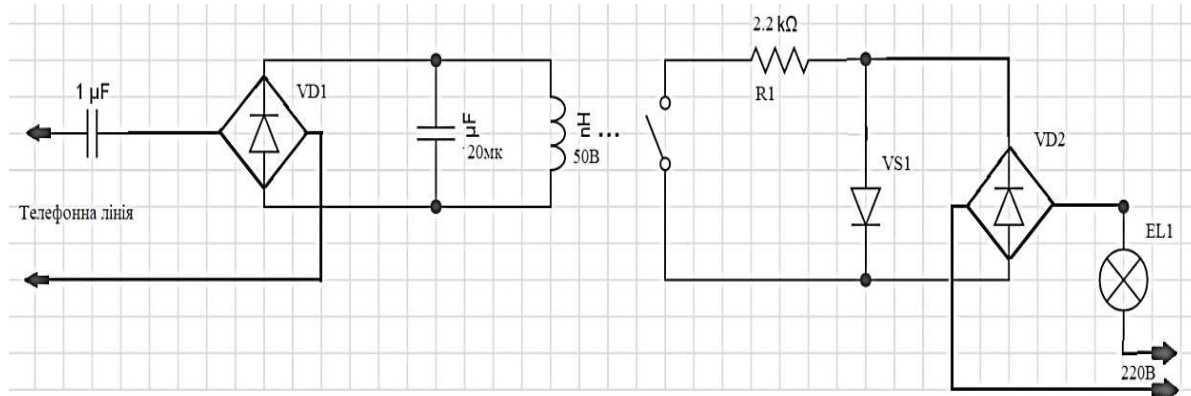


Рисунок 2.3 – Схема з управляючим реле

Тут реле керує тиристором і служить гальванічною розв'язкою телефонної лінії з мережею 220 В. Тиристор же в свою чергу управляє звичайною лампою розжарювання. Замість зазначеного на схемі тиристора підійде КУ201К, замість діодним збирання - будь-які діоди на відповідну напругу і струм, який залежить від потужності лампи. Схему можна спростити, встановивши замість збірки один діод (наприклад, Д226). В цьому випадку лампа буде світитися в підлогу напруження. При потужності лампи до 150 Вт тиристор встановлювати на радіатор не потрібно.

Наступним прикладом буде світловий індикатор повідомлень. Буває так, що деякі сучасні пристрої та їх функції для когось є зовсім несуттєві, а для когось дуже важливі. Тож одна з таких функцій - світловий індикатор.

Справа в тому, що виробники майже перестали встановлювати якісні великі світлові індикатори в смартфони. Замість великого добре помітного,

встановлюють малі, ледве помітні, що є, досить таки, плюсом на сучасних смартфонах, якщо дивитися зі сторони самого дизайну сучасного смартфона, це можна помітити на рисунку 2.4.



Рисунок 2.4 – Світловий індикатор на смартфоні

Але негативною стороною світлового індикатора є його реакція на все повідомлення від додатків. Буває, що прийшло якесь малоінформативне повідомлення, наприклад, інформація про те, що додатки з Google Play готові до оновлення або вже оновилися, а індикатор все одно мигає.

Але є і позитивна сторона такої можливості, наприклад, хтось навпаки, дуже цінує наявність індикатора, тому що за день може приходити багато повідомлень, і не завжди знайдеться можливість фіксувати їх, а якщо помітивши миготливий діод, відразу можна зрозуміти, що є пропущене повідомлення або дзвінок.

Також у наш час використовують миготливі індикатори на принтерах чи ноутбуках. Світлові індикатори на панелі керування позначають той чи інший стан пристрою. Індикатори можуть горіти постійно, бути відключеними або блимати в залежності від стану пристрою. Миготіння індикаторів в певній послідовності вказує на стан пристрою або на можливість помилки.

2.3 Алгоритм роботи пристрою зі світлодинамічною індикацією

В даному бакалаврському проекті основним завданням було створення VHDL-опису пристрою управління світлодинамічної індикацією. Опис такого пристрою проводилося згідно до принципової схеми пристрою на логічних елементах (мікросхемах TTL-технології). Подібний пристрій може забезпечити достатню кількість світлових ефектів, необхідних для роботи світлодинамічної установки. Пріоритетним напрямком проектування в даному проекті є максимізація кількості і різноманітності світлових ефектів, створюваних установкою.

Мова VHDL, яка використовується при розробці проекту, забезпечує високорівневу абстракцію опису апаратних засобів завдяки наявності як безлічі визначених типів даних, так і можливості створювати призначені для користувача ієрархічно організовані типи даних на основі базових, закладених в мові.

Після включення блоку живлення генератор опорної частоти подає імпульси на дільник частоти і на зсувний регістр. При включенні пристрою формувач скидання виробляє імпульс для встановлення зсувного регістру в нуль. Також імпульс скидання надходить на формувач коду.

У формувачі коду формується така комбінація: 0000. З формувача коду ця комбінація подається на зсувний регістр, звідки вона надходить на схему управління навантаження і на індикатор режимів. Таким чином, після включення живлення в пристрої все навантаження залишається виключеним на час 256 тактових імпульсів. Повний цикл формування світлодинамічного ефекту складається з 16 комбінацій. У представленому пристрої не враховуються стани, коли всі навантаження включені або не включена жодна.

При подачі 128-го імпульсу в формувачі коду формується комбінація 0001 що означає: загориться перше навантаження (червоний світлодіод).

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		21

Пристрій для формування скидання подає імпульс на перемикач напрямку рахунку, який визначає в який бік буде зрушуватися комбінація на зсувному реєстрі: вперед (вправо) або назад (ліворуч). При 256-му імпульсі комбінація 0001 буде переписана в зсувний реєстр, після чого формувач коду інкрементується, в ньому встановлюється комбінація 0010.

У зсувному реєстрі первісна комбінація зсувається вперед. Таким чином при наступному імпульсі з генератора включається друга навантаження (жовтий світлодіод), далі - третя навантаження (зелений світлодіод), при подальшому - четверта (синій світлодіод), а потім повернення на перше навантаження (червоний). Так відбувається біг вогнів в одну сторону 32 рази. Далі в зсувний реєстр заноситься код 0010, перемикання навантажень повторюється, а в формувачі коду готується комбінація 0011. Таким чином, слідом загоряються дві поруч розташовані навантаження одночасно (червона + жовта) і відбувається їх зсув (жовта + зелена, зелена + синя, синя + червона і т.д.). Подальший інкремент формувача коду викликає інші колірні комбінації.

Так відбувається 14 разів із зсувом сформованих кодів (від 0001 до 1110) одну сторону і потім формувач коду переходить до комбінації 0001 але зрушення буде виконуватися 14 раз в інший бік, тому що перемикач напрямку перемикається після отримання числа 14 на формувачі коду. На індикаторі режимів загоряються світлодіоди червоного, жовтого, зеленого і синього кольорів відповідно до стану навантаження.

Такий алгоритм роботи зображений за допомогою блок-схеми на рисунку 2.5. На ній можна побачити роботу пристрою лише на основних початкових етапах, тобто до мигання другого світлодіода, оскільки наступний алгоритм роботи повторюється.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		22

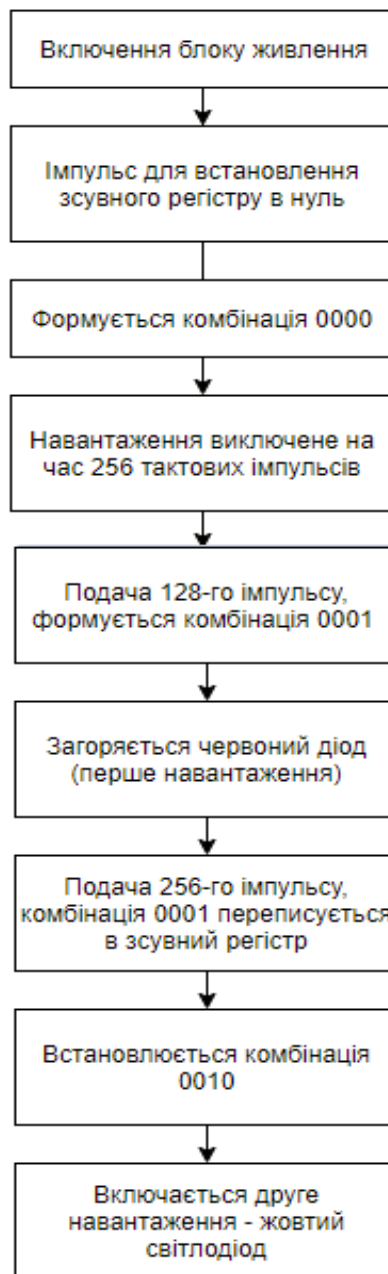


Рисунок 2.5 – Процес роботи пристрою зі світлодинамічною індикацією

Для реалізації даного алгоритму роботи пристрою зі світлодинамічною індикацією використано середовище Active-HDL.

3 ДОСЛІДЖЕННЯ РОБОТИ ПРИСТРОЮ (ВУЗЛА)

3.1 Вибір середовища моделювання

Для розробки пристрою було обрано інтегроване середовище проектування Active-HDL 7.1. Це середовище розробки, моделювання та верифікації проектів для програмуючих логічних інтегральних схем, розроблене компанією Aldec. Ця система на сьогоднішній день лідирує у використанні для створення та моделювання проектів при використанні всіх сімейств програмуючих логічних інтегральних схем (ПЛІС). Це забезпечує гнучкість підходу і надає розвиток функції підтримки найбільш складним сучасним проектам.

Середовище проектування Active-HDL дає розробникам незалежність у використанні інших засобів проектування з єдиного, повністю інтегрованого оточення. Тісна інтеграція всіх додатків забезпечує абсолютний контроль над проектом на напрямки – від специфікації до його фізичної реалізації. Програма Active-HDL також має інтерфейси зі всіма ведучими програмними продуктами и представляє розробникам свободу у використанні тих засобів проектування, які найбільш відповідають вимогам кожного конкретного проекту.

У цій програмі можна описувати пристрій за допомогою мов програмування апаратури, а також за допомогою структурних схем. Спочатку програма підтримувала лише мову VHDL, але пізніше після вдосконалення програми стали підтримуватися мови Verilogi та System C. Active_HDL дає змогу графічно проектувати кінцеві автомати, а також конвертувати HDL опис в графічні структурні схеми і назад.

Її відрізняє особлива легкість у роботі. Компанія Aldec з року в рік вдосконалює дане середовище розробки і створює нові можливості.

Всі компоненти Active-VHDL об'єднані у єдину графічну середу, що є основним каркасом. У даному середовищі проектування система структурно

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		24

побудована навколо свого блоку управління маршруту проектування, який дозволяє користувачам отримувати доступ до використовуваних засобів проектування і бібліотекам (рисунок 3.1).

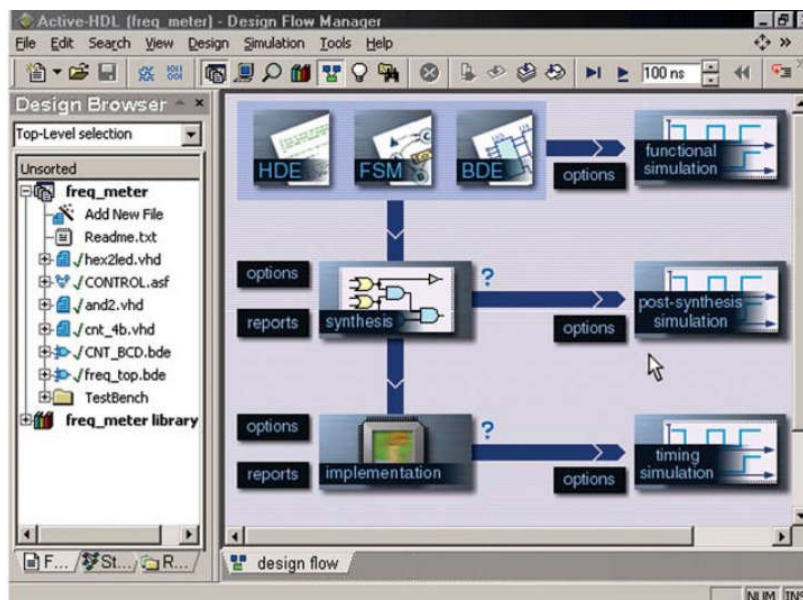


Рисунок 3.1 – Модуль управління маршрутом проектування Active-HDL

Програма має широкий набір бібліотек виробників ПЛІС, включаючи прекомпільовані і готові для використання. Блок управління проектом Active-HDL дозволяє розробнику виконувати всі модифікації і операції над проектом з єдиного оточення, що забезпечує кращий контроль на процесом проектування і скорочує час, усуваючи необхідність у запуску безлічі віконних інтерфейсів і процесів. Розробники можуть одночасно відкривати декілька проектів і інтегрувати їх в один суперпроект.

Мультипроектна робоча область представляє середовищу проектування, що дозволяє користувачам керувати всіма завантаженими проектами, переключатися між ними, редагувати їх ресурси і конфігурувати їх незалежно один від одного. Всі модулі можуть розроблятися окремо один від одного і потім інтегруватися разом, як один проект верхнього рівня. Каркас забезпечує робочу область вікна і зв'язує середу для всіх елементів системи.

Крім ядра моделювання, кожен Active-VHDL інструмент виконаний в окремому вікні. У таблиці 3.1 представлено короткий опис компонентів Active-VHDL.

Таблиця 3.1- Компоненти Active-VHDL

Компонент	Опис
1	2
Console	Вікно консолі - це інтерактивне вікно, призначене для введення - виведення тексту. Воно забезпечує введення команд Active-VHDL і виведення повідомлень згенерованих Active-VHDL інструментальними засобами.
Design Browser	Вікно перегляду проекту показує поточне утримання проекту, включаючи: <ul style="list-style-type: none"> – файли ресурсів, приєднаних до проекту; – зміст файлів робочих бібліотек, що визначаються за замовчуванням; – структуру проєктованих пристроїв обраних для моделювання; – сигнали і змінні, оголошені всередині обраної області поточного проекту.
Design Explorer	Провідник проекту полегшує управління Active-VHDL проєктами. Він дозволяє не запам'ятовувати фізичну локалізацію файлів проекту.
HDL Editor	HDL редактор - текстовий редактор, розроблений для створення вихідних файлів VHDL. Він показує певні категорії синтаксису в різних кольорах. Редактор глибоко інтегрований з моделюючим пристроєм, що дозволяє просто налагоджувати вихідний текст.

Продовження таблиці 3.1

1	2
Language Assistant	Мовний помічник є допоміжним інструментом який забезпечує ряд типових VHDL шаблонів і їх логічне перетворення в функціональні блоки. Він об'єднаний з HDL редактором так, щоб можна було автоматично вставити бажаний шаблон в відредагований вихідний файл.
Library Manager	Бібліотечний менеджер розроблений, щоб керувати VHDL бібліотеками та їх змістом.
List	Вікно списку показує результати моделювання, виконані в зведеному в таблиці текстовому форматі.
Processes	Вікно процесів показує поточний стан одночасних процесів в розробленому проекті протягом моделювання.
Script Editor	Редактор сценарію - текстовий редактор з вмонтованим відлагоджувальником. Він розроблений, щоб редагувати VBA Basic сценарії і виконувати команди Active-VHDL.
State Machine Editor	Редактор автоматів з кінцевими станами - графічний інструмент, розроблений для редагування діаграм кінцевого автомата. Редактор здійснює автоматичний переклад графічних примітивів в коди V
Watch	Вікно засобів спостереження показує поточні значення вибраних сигналів і змінних протягом моделювання.
Waveform Viewer	Переглядач тимчасових діаграм показує результати моделювання, під дією тестових сигналів.

При реалізації проекту ряд файлів створюється в каталозі проектів. Це файли конфігурації проекту, вихідні файли, файли форми сигналу, Active-VHDL проекти. Розширення файлів представлені в таблиці 3.2.

Таблиця 3.2 - Розширення файлів в проекті

Розширення файлу	Опис
*.ASF	Вихідний файл діаграми станів
*.ADF	Файл опису проекту
*.BAS	Вихідний командний файл
*.DAT	Файл даних
*.DO	Файл сценарію
*.ERF	Помилки та повідомлення компілятора
*.EPR	Список вихідних файлів для компіляції
*.INI	Бібліотечний індексний файл
*.LOG	Файл звіту
*.MFG	Головний бібліотечний файл
*.OID	Допоміжний файл Майстра HDL
*.SDF	Стандартний файл затримки
*.TXT	Текстовий файл
*.VHD	Джерело VHDL коду
*.VHQ	Джерело VHDL код, згенерований з кореневого файлу
*.WFV	Файл форми сигналу
*.WSP	Файл робочої області вікна

Для моделювання в симуляторі Active HDL спочатку потрібно створити проект - каталог з файлами VHDL, що має назву проекту. Це полегшує вбудований помічник. Після компіляції в проекті створюється бібліотека проекту, яка має назву проекту і містить всі скомпільовані об'єкти проекту. Після запуску програми на моделювання спочатку виконується зв'язування об'єктів проекту та призначення початкових значень змінним і сигналам. Потім запускається власне симуляція (моделювання).

3.2 Розробка моделі розробленого засобу

Написання коду для пристрою світлодинамічної індикації на мові VHDL орієнтувалося на електричну схему, яка має мати наступні елементи, порядок роботи який описувався вище:

- генератор імпульсів;
- дільний частоти;
- формувач коду;
- формувач скидання;
- перемикач напрямку;
- зсувний регістр;
- індикатор режимів;
- схему керування навантаження;
- блок живлення.

Файл, що містить код на VHDL завжди повинен починатися з вказівки бібліотек і пакетів, в яких містяться визначення типів даних і операторів, які планується використовувати в проекті:

```
library IEEE;  
use IEEE.std_logic_1164.all;  
use kat.all;
```

В даному проекті підключенні бібліотека `library ieee` та пакети `use ieee.STD_LOGIC_1164.all` і `use kat.all`. Цей запис має бути в кожному `vhdl` файлі, це означає, що підключається бібліотека `ieee`, і з неї використовується пакети `STD_LOGIC_1164` та `kat`, з яких використовуються всі визначення (All). Без цих пакетів нічого працювати не буде.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						29
Зм.	Арк.	№ докум.	Підпис	Дата		

Далі описується текст основної програми з двома головними розділами VHDL модуля: Entity - оголошення модуля, що описує зовнішній інтерфейс модуля, Architecture - архітектура модуля, що описує внутрішню реалізацію:

```
entity device is -- опис вхідних і вихідних портів пристрою
port(
Reset_sx: in bit;
Q_sx: out bit_vector (4 downto 1));
end device;
architecture BEHAVIOR of device is -- тіло архітектури основної
програми
```

Опис портів компонентів пристрою здійснюється саме так:

```
component generator is
port (apr: inout bit:='0');
end component;
```

Як видно з опису, тут описуються порти генератора імпульсів. Далі описуються порти елементів затримки з інверсією:

```
component TSH is
port(IN1: in bit;
Y: out bit);
end component;
```

Оскільки в дану схему входять кілька однотипних лічильників, то в цій частині програми описуються по одному елементу кожного типу:

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		30


```

component counter_IE8 is -- опис портів лічильника IE8
port(Reset_IE8,Clock_IE8: in bit;
P: out bit);
end component;
component counter_IE7 is -- опис портів лічильника IE7
port(Reset_IE7,CV: in bit;
reverse: inout bit;
Q: out bit_vector (4 downto 1));
end component;

```

Далі, таким ж чином описуються наступні порти такі, як: порти D-тригера, формувача, зсувного регістру (додаток А).

Наступне, що було описане для даної програми – це сигнали: t1,t2,R,C,nA,A,Del,Clock_IE8,P,CV,Clock_IE7.

```

signal t1,t2,R,C,nA,A,Del,Clock_IE8,P,CV,Clock_IE7: bit; -- опис
сигналів

```

```

signal D_sx: bit_vector (4 downto 1);
begin -- опис зв'язків компонентів, що входять в основну програму
p1: TSH port map (Reset_sx,t1);
p2: TSH port map (t1,R);
p3: TSH port map (C,t2);
p4: generator port map (C);
p5: DFF port map (Reset_sx,Clock_IE7,nA,R,A,nA);
p6: DFF port map (Reset_sx,C,Del,Reset_sx,Clock_IE8,Del);
p7: counter_IE8 port map (t1,Clock_IE8,P);
p8: Formirovatel port map (P,CV);
p9: counter_IE7 port map (t1,CV,Clock_IE7,D_sx);
p10: sdvig_reg port map (R,C,A,nA,P,D_sx,Q_sx);

```

end BEHAVIOR;

Розділ Entity описує зовнішній інтерфейс схем, тобто містить список сигналів, розділ Architecture описує, як ця схема функціонує, тобто описує те, що у схемі всередині: порти, сигнали та зв'язки усіх елементів, які мають входити до електричної схеми.

Так, як було вже описано основні входи і виходи елементів, що входять до складу пристрою, тоді наступним кроком є опис саме архітектури елементів, що входять до складу розробленого пристрою. В даній роботі було описано програму лічильника, текст програми чотирихрозрядного реверсного лічильника, формувача коду, зсувного регістра, програми генератора імпульсів, двохрозрядного мультиплексора на 4 входи, Т-тригера з асинхронними інверсними S і R, асинхронного D-тригера. Весь код опису пристрою можна переглянути у додатку А.

3.3 Верифікація проекту

На рисунках 3.2 та 3.3 зображені компоненти пристрою Counter IE7 і Counter IE8.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		32

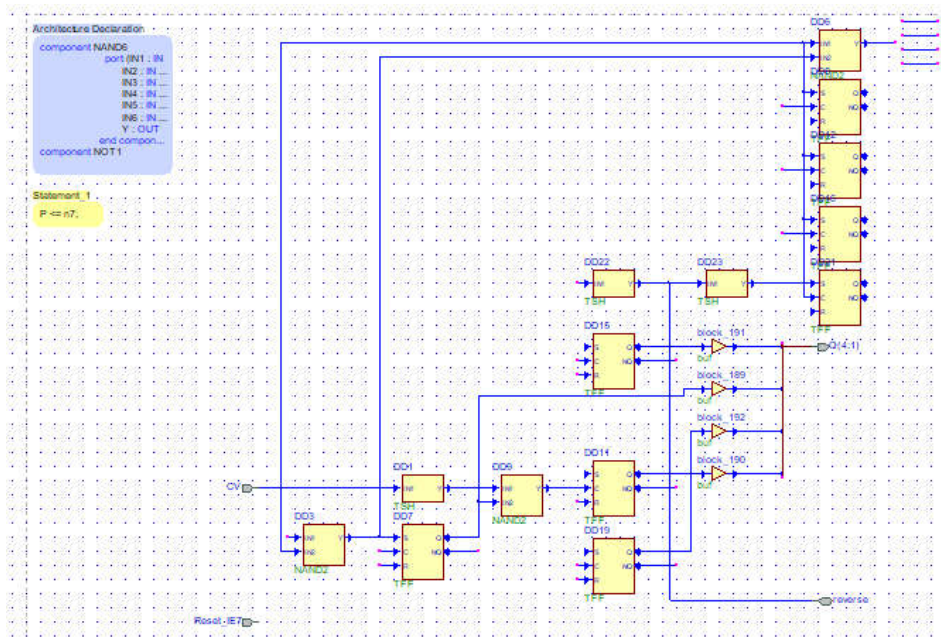


Рисунок 3.2 – Лічильник Counter IE7

Як видно з рисунку 3.2 лічильник Counter IE7 має описану компоненту NAND6, що діє за принципом логічного вентиля І-НЕ, який здійснює операцію кон'юнкції з інверсним результатом. Дана компонента має порти Reset_IE7 та CV з типом значень bit, що задається двома значеннями: логічний нуль '0' та логічна одиниця '1', також порт reverse з типом значень inout bit, та вихід Q з типом значень out bit_vector (4 downto 1).

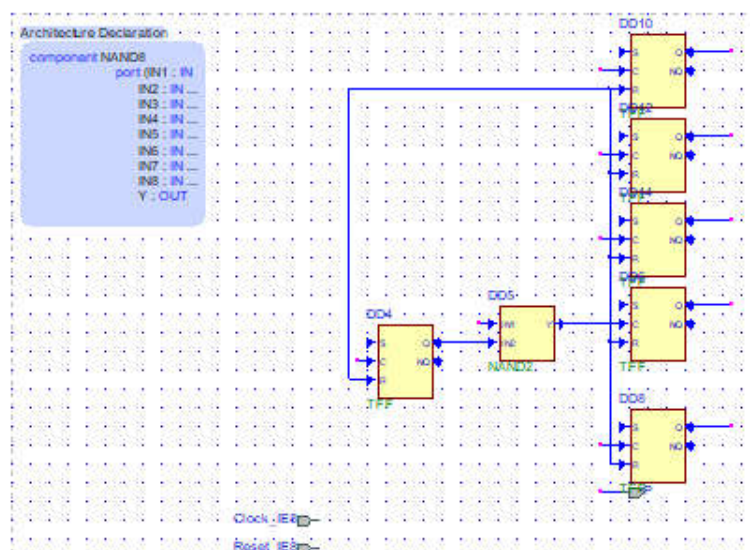


Рисунок 3.3 – Лічильник Counter IE8

Лічильник Counter IE8 має описану той же принцип дії, що й попередній Counter IE7.

На рисунку 3.4 зображений асинхронний D-тригер. Він має два інформаційні входи R (Reset – скидання) та S (Set – встановлення), тактовий вхід C (від слова Clock) та інформаційний - D для встановлення в стан 1 або 0.

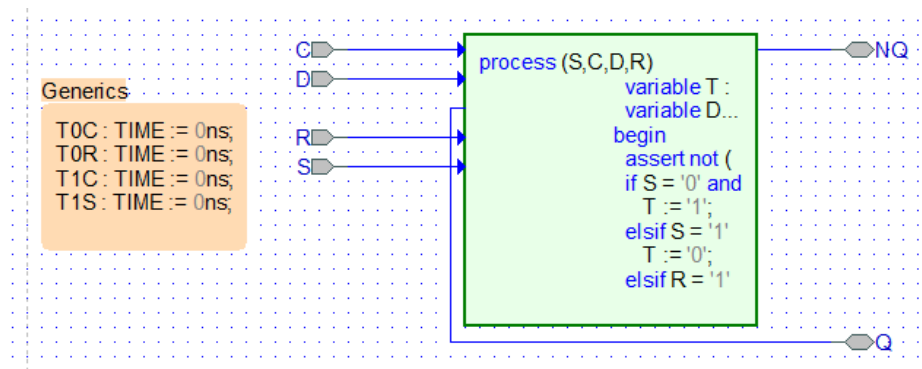


Рисунок 3.4 - Асинхронний D-тригер

На рисунку 3.5 зображений формувач коду, який має елемент NAND2, що діє за принципом логічного І-НЕ з двома входами IN1, IN2 та вихідом Y типу bit і елемент задтримки с інверцією - TSH, де є вхід IN1 та вихід Y типу bit.

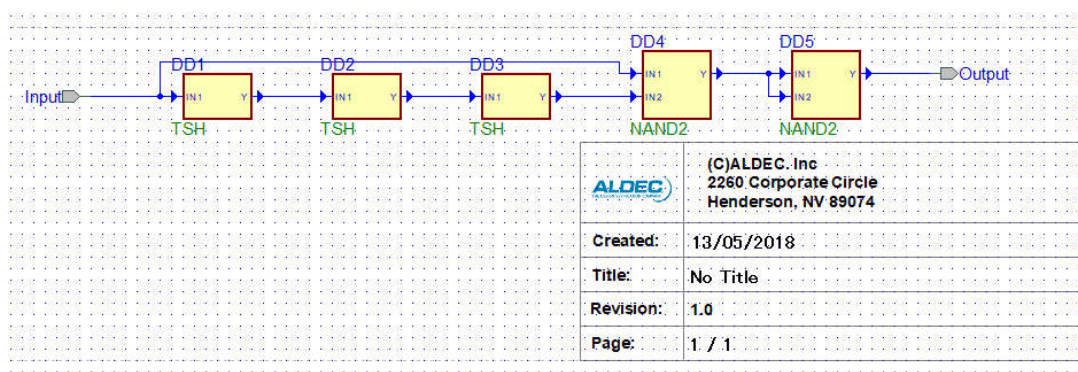


Рисунок 3.5 – Формувач коду

Зсувний регістр, який зображений на рисунку 3.6, має порти R, C, A, nA, P типу in bit, D типу in bit_vector (4 downto 1), тобто 4-х бітовий сигнал та порт Q з типом out bit_vector (4 downto 1). Зсувний регістр також має компоненти \NOT\, NAND2, Mux_4 (двохрозрядний мультиплексор на 4 входи) і DFF (асинхронний D-тригер).

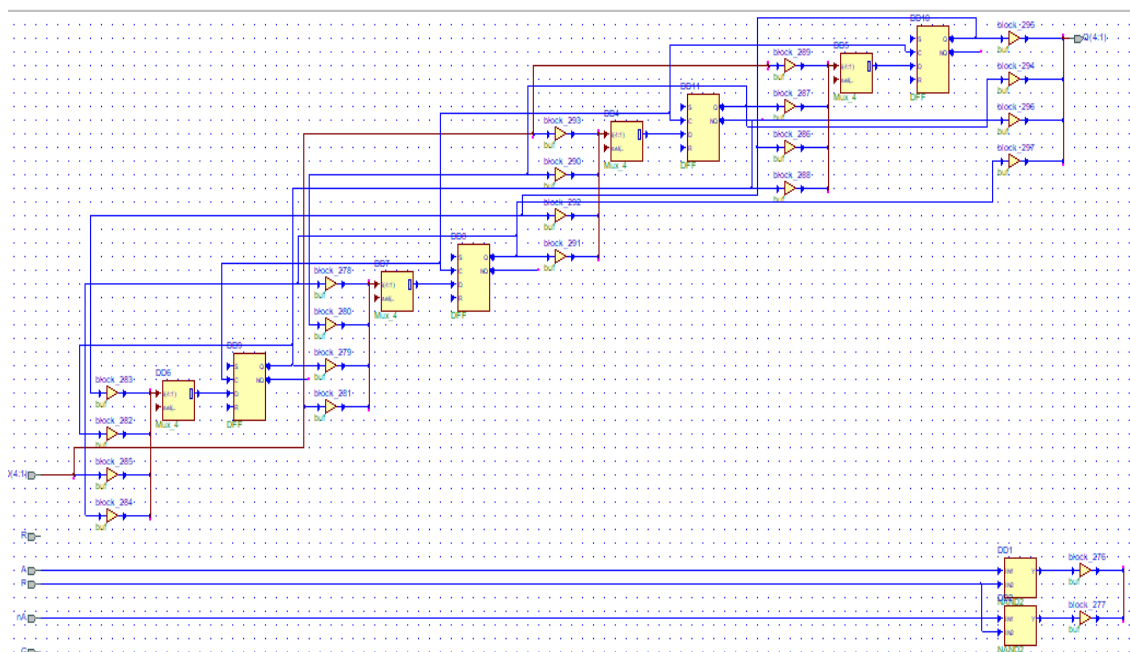


Рисунок 3.6 – Зсувний регістр

Головна логічна схема device, яка має всі зв'язані між собою компоненти зображена на кресленні ДП.КСМ.07114/14.00.001 С1. Вона має компоненту generator (генератор імпульсів), TSH елемент затримки з інверсією, лічильники counter_IE8 та counter_IE7, D-тригер DFF, формувач коду Formirovatel та зсувний регістр sdvig_reg is.

Результати роботи розробленого пристрою можна побачити на часовій діаграмі, яка зображена на рисунку 3.8. Вона показує входи та виходи схеми і вказує значення її проміжних сигналів.

					ДП.КСМ.07114/14.00.000 ПЗ		Арк.
Зм.	Арк.	№ докум.	Підпис	Дата			35

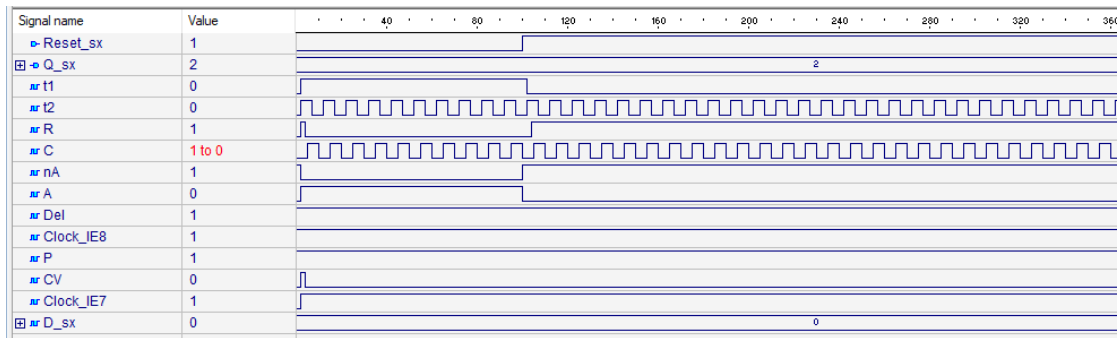


Рисунок 3.8 – Часова діаграма роботи пристрою

Як видно з рисунка 3.8 значення одиниці набувають сигнали t1, t2, R, A, CV та лічильник Clock_IE7. R та CV відразу ж змінюють свої значення на протилежне, тоді тактовий лічильник C набуває значення одиниці. І так з кожним імпульсом, що надходить від генератора змінюється стан тактового лічильника. Відповідно за ним буде змінюватися вхідний код пристрою.

Значення тактового лічильника C та часу t2 є інверсними, тому коли тактовий лічильник набуває значення одиниці, t2 має значення рівне нулю, і навпаки. Після значення тактового імпульсу, яке задане перемикачем програми, Reset_sx та nA набувають значення одиниці, а сигнали t1 і A значення рівне нулю, тобто пристрій реверсу збільшує стан першого і змінює дію другого. В результаті програмний запам'ятовуючий пристрій здійснюється в протилежному напрямку. Тоді лічильник збільшує своє значення на 1, (формується комбінація 0001), викликаючи повну програму, що записується у програмований запам'ятовуючий пристрій, після чого ми можемо побачити перший результат на діодах, що світяться.

При наступному значенні тактового імпульсу, заданого програмою комбінація 0001 буде перезаписуватися в зсувний регістр, тоді формувач коду знову інкрементується і в ньому встановлюється нова комбінація – 0010.

4 ТЕХНІКО-ЕКОНОМІЧНИЙ РОЗДІЛ

4.1 Стадії технологічного процесу

У розробці проектного рішення задіяні наступні спеціалісти - розробники, а саме: керівник проекту (К); студент-дипломант (С); консультант техніко-економічного розділу (КТЕО).

Форму поділу робіт по всіх основних етапах і видах робіт, які повинні бути виконані показано в таблиці 4.1.

Таблиця 4.1 - Середній час виконання проекту та стадії технологічного процесу

№ п/п	Назва операції (стадії)	Виконавець, посада	Середній час виконання операції, год.
1.	Підготовка	Студент	7
2	Розробка проекту системи	Керівник ДП	20,5
		Консультант ТЕО, доцент	2
		Студент	216
3	Проектування технічної частини системи	Студент	21
4	Розробка програмного продукту системи	Студент	6
5	Встановлення та налаштування прогр. зас.	Студент	8
6	Тестування системи	Студент	3
Разом			283,5

4.2 Визначення витрат на оплату праці та відрахувань на соціальні заходи

Витрати на оплату праці включають заробітну плату (ЗП) всіх категорій працівників, безпосередньо зайнятих на всіх етапах проектування.

Витрати на оплату праці розробників проекту визначаються за формулою:

$$B_{оп} = \sum_{i=1}^N \sum_{j=1}^M n_{ij} \cdot t_{ij} \cdot C_{ij}, \quad (4.1)$$

де n_{ij} – чисельність розробників i -ої спеціальності j -го тарифного розряду, осіб;

t_{ij} – затрачений час на розробку проекту співробітником i -ої спеціальності j -го тарифного розряду, год;

C_{ij} – годинна ставка працівника i -ої спеціальності j -го тарифного розряду, грн..

Середньо годинна ставка працівника може бути розрахована за формулою:

$$C_{ij} = \frac{C_{ij}^0(1+h)}{PЧ_i}, \quad (4.2)$$

де C_{ij}^0 – основна місячна заробітна плата розробника i -ої спеціальності j -го тарифного розряду, грн.;

h – коефіцієнт, що визначає розмір додаткової заробітної плати (при умові наявності доплат);

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						38
Зм.	Арк.	№ докум.	Підпис	Дата		

$РЧ_i$ - місячний фонд робочого часу працівника i -ої спеціальності j -го тарифного розряду, год. (приймаємо 168 год.).

Таблиця 4.2 - Вихідні дані для розрахунку витрат на оплату праці

№ п/п	Посада виконавців	Місячний оклад (стипендія), грн.	Коефіцієнт Додаткової з/п	Підсумок
1	Керівник ДП, доцент, к.т.н.	5286	0,94	10254,84
2	Консультант техніко-економічного розділу, доцент	6026	1,47	14884,22
4	Студент	1287	0	1287

Звідси, загальні витрати на оплату праці ($B_{оп}$) дорівнюють:

$$B_{оп} = 20,5 \cdot \frac{10254,84}{168} + 2 \cdot \frac{14884,22}{168} + 240 \cdot \frac{1287}{168} = 3267 \text{ грн.}$$

Крім того, слід визначити відрахування на соціальні заходи. Величну відрахувань у спеціальні державні фонди визначають у відсотковому співвідношенні від суми основної та додаткової заробітних плат. Згідно діючого нормативного законодавства сума відрахувань у спеціальні державні фонди складає 16,4% від суми заробітної плати:

$$B_{\phi} = \frac{21}{100} \cdot 3267 = 686 \text{ грн.}$$

										ДП.КСМ.07114/14.00.000 ПЗ	Арк.
											39
Зм.	Арк.	№ докум.	Підпис	Дата							

4.3 Розрахунок матеріальних витрат

Матеріальні витрати — це вартість витрачених матеріалів, малоцінних та швидкозношуваних предметів на виробництво продукції, робіт або послуг, а також матеріалів і МШП, витрачених на адміністративні, збутові та інші потреби підприємства.

Загальна сума витрат на матеріальні ресурси (B_M) визначається за формулою:

$$B_M = \sum_{i=1}^n K_i \cdot C_i, \quad (4.3)$$

де K_i - витрата i -го типу матеріалу, натуральні одиниці вимірювання;

C_i - ціна за одиницю i -го типу матеріалу, грн.;

i - тип матеріального ресурсу;

n - кількість типів матеріальних ресурсів.

Звідси, витрати на матеріальні ресурси дорівнюватимуть:

$$B_M = 263,0 \text{ грн.}$$

Проведені розрахунки занесемо у таблицю 4.3.

Таблиця 4.3- Розрахунок витрат на матеріали та комплектуючі

№ п/п	Найменування купованих виробів	Одиниця виміру	Ціна, грн	Кількість купованих виробів	Сума, грн	Транспортні витрати (10% від суми)	Загальна сума, грн
1	2	3	4	5	6	7	8
1	Папір (формат А4)	уп	80,0	2	160,00	16,0	176,0

					ДП.КСМ.07114/14.00.000 ПЗ			Арк.
Зм.	Арк.	№ докум.	Підпис	Дата				40

Продовження таблиці 4.3

1	2	3	4	5	6	7	8
2	Ручка кулькова	<i>шт</i>	5,0	2	10,00	1,0	11,0
3	Олівець простий	<i>шт</i>	2	2	4,00	0,4	4,40
4	Диски CD-R	<i>шт</i>	5,0	2	10,00	1,0	11,10
5	Зошит, 96 арк	<i>шт</i>	15,0	1	15,0	1,5	16,5
6	Тонер для принтера	<i>уп</i>	40,0	1	40,0	4,0	44,0
Разом							263,0

4.4 Розрахунок витрат на електроенергію

Якщо для розробки КС використовується електрообладнання, то необхідно розрахувати витрати на електроенергію.

Загальна сума витрат на електроенергію розраховується за формулою:

$$B_E = \sum_{i=1}^n P_i \cdot k_i \cdot T_i \cdot C, \quad (4.4)$$

де P_i - паспортна потужність i -го електрообладнання, кВт;

k_i - коефіцієнт використання потужності i -го електрообладнання (приймається 0.7 , 0.9);

T_i - час роботи i -го устаткування за весь період розробки, год;

C - ціна електроенергії, грн / кВт· год;

i - тип електрообладнання;

n - кількість електрообладнання.

Для розробки проекту даної системи використовується два блоки живлення (один для живлення плати Raspberry pie, а другий для живлення usb-hub, до якого будуть підключені інші периферійні пристрої) потужність їх є

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						41
Зм.	Арк.	№ докум.	Підпис	Дата		

однакова і дорівнює $P = 10 \text{ Вт} = 0,01 \text{ кВт}$. Дзвінок на двері має своє власне живлення, і потужність пристрою $P = 0,009 \text{ кВт}$.

Для розробки проекту даної системи використовується один ноутбук потужністю $P = 0,5 \text{ кВт}$, який за весь період розробки працює 100 годин, та друкуючий пристрій потужністю $P = 0,37 \text{ кВт}$, який працює 2 години.

Проміжні розрахунки на витрату електроенергії подані в таблиці 4.4.

Таблиця 4.4 - Витрати на електроенергію

Найменування устаткування	Паспортна потужність, кВт	Коефіцієнт використання потужності	Час роботи обладнання для розробки, год	Ціна електроенергії, $\frac{\text{грн}}{\text{кВт} \cdot \text{год}}$	Сума, грн.
Ноутбук	0,5	0,9	200	0,98	88,2
Принтер	0,37	0,9	2	0,98	0,653
Разом					88,85

4.5 Розрахунок суми амортизаційних відрахувань

Амортизація – це процес перенесення вартості основних фондів на вартість новоствореної продукції з метою їх повного відновлення. Амортизаційні відрахування використовуються для повної реновації, а також для їх часткового відновлення, тобто на модернізацію або капітальний ремонт.

Для визначення амортизаційних відрахувань застосуємо метод прямолінійного списання.

Загальна сума амортизаційних відрахувань (B_{AM}) визначається за формулою:

$$B_{AM} = \sum_{i=1}^n \frac{B_i \cdot H_i}{100}, \quad (4.5)$$

де B_i - вартість i -го устаткування на початок звітного періоду, грн.;

H_i - річна норма амортизації i -го устаткування, %;

i - тип обладнання;

n - кількість устаткування.

Для проектування даної системи використовувався один ноутбук 6700 грн., та принтер вартістю 3000 грн.

Тоді:

$$B_{AM} = \frac{6700,0 \cdot 10}{100} + \frac{3000,0 \cdot 20}{100} = 1270,0 \text{ грн.}$$

Таблиця 4.5 - Амортизація основних фондів

Найменування устаткування	Вартість устаткування, грн.	Річна норма амортизації, %	Сума, грн.
Ноутбук	6700,0	10	670,0
Принтер	3000,00	20	600,0
Разом			1270,0

4.6 Визначення транспортних витрат

Транспортні витрати слід прогнозувати у розмірі 8–12 % від загальної суми матеріальних витрат.

$$B_T = 0.12 \cdot B_M, \quad (4.6)$$

де B_T – транспортні витрати.

$$B_T = 0,12 \cdot 263,0 = 31,56 \text{ грн.}$$

4.7 Обчислення накладних витрат

Накладні витрати пов'язані з обслуговуванням виробництва, утриманням апарату управління підприємства (фірми) та створення необхідних умов праці можуть становити 60–100 % від суми основної та додаткової заробітної плати працівників. Накладні витрати для даного проекту подані далі.

$$H_B = 0,7 \cdot B_{оп}, \quad (4.7)$$

де H_B – накладні витрати.

$$H_B = 0,7 \cdot 3267 = 2286,9 \text{ грн.}$$

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						44
Зм.	Арк.	№ докум.	Підпис	Дата		

4.8 Складання кошторису витрат та визначення собівартості

Загальні витрати ($B_{КС}$) розраховуємо за формулою:

$$B_{КС} = B_{ОП} + B_{\phi} + B_{М} + B_{Е} + B_{АМ} + B_{Т} + B_{В} \quad (4.8)$$

Тобто:

$$B_{КС} = 7893,31 \text{ грн.}$$

Результати проведених розрахунків зведемо у таблицю 4.6.

Таблиця 4.6 - Кошторис витрат

Зміст витрат	Сума, грн.
Витрати на оплату праці (осн. і дод. ЗП)	3267
Відрахування на соціальні заходи	686
Матеріальні витрати	263,0
Витрати на електроенергію	88,85
Амортизаційні відрахування	1270
Транспортні витрати	31,56
Накладні витрати	2286,9
Разом	7893,31

4.9 Розрахунок ціни проекту

Договірна ціна ($Ц_{Д}$) для проектних рішень розраховується за формулою:

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		45

$$Ц_{д} = B_{КС} \cdot \left(1 + \frac{p}{100}\right), \quad (4.9)$$

де $B_{КС}$ – кошторисна вартість, грн.;

p - середній рівень рентабельності, % (приймаємо 30% за погодженням з керівником).

$$Ц_{д} = 7893,31 \cdot (1 + 0,3) = 10261,3 \text{ грн.}$$

4.10 Визначення економічної ефективності і терміну окупності капітальних вкладень

Економічна ефективність — досягнення найбільших результатів за найменших затрат живої та уречевленої праці. Економічна ефективність є конкретною формою дії закону економії часу. За капіталістичного способу виробництва узагальнюючий показник економічної ефективності — норма прибутку.

Економічна ефективність (E_p) полягає у відношенні результату виробництва до затрачених ресурсів:

$$E_p = \frac{\Pi}{B_{КС}}, \quad (4.10)$$

де Π – прибуток, грн.;

$B_{КС}$ – кошторисна вартість, грн..

$$E_p = 5000,00 \text{ грн.} / 7893,31 \text{ грн.} = 0,63.$$

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
						46
Зм.	Арк.	№ докум.	Підпис	Дата		

Поряд із економічною ефективністю розраховують термін окупності капітальних вкладень (T_p):

$$T_p = \frac{1}{E_p} . \quad (4.11)$$

Тобто:

$$T_p = 1/0,63 = 1,6 \text{ р.}$$

Прийнятним вважається термін окупності близький до 7 років.

Розраховані економічні показники проекту занесемо до таблиці 4.7.

Таблиця 4.7 - Економічні показники розробки

№ п/п	Показник	Значення
1.	Собівартість, грн.	10 553,11
2.	Плановий прибуток, грн.	3 166,00
3.	Ціна, грн.	13 719,72
4.	Економічна ефективність	0,63
5.	Термін окупності, рік	1,6

Враховуючи основні економічні показники з таблиці 4.7, можна зробити висновок, що при економічній ефективності 0,63 та терміні окупності – 1,6 роки проводити роботи по впровадженню даної системи є доцільним та економічно вигідним. Тому, з метою зниження вартості системи, варто було б здійснювати закупівлю обладнання у офіційних дилерів вказаних марок обладнання.

ВИСНОВКИ

В даному дипломному проекті було проведено моделювання схеми пристрою управління світлодинамічній індикацією на мові опису апаратури VHDL. Також виконано моделювання роботи схеми на мові опису апаратури VHDL, побудована тимчасова діаграма роботи. Обробка результатів моделювання та розробка програми здійснювалися на власному персональному комп'ютері. Написаний VHDL код можна застосувати для синтезу до великої інтегральної схеми, що дозволить реалізувати пристрій в одній мікросхемі.

Також під час розробки дипломного проекту було виконано наступні завдання:

- 1) досліджено область розробки пристрою, розвиток і основні поняття мови опису апаратних засобів комп'ютера;
- 2) досліджено та проаналізовано сучасні мови опису апаратних засобів комп'ютера;
- 3) описано застосування мови VHDL при розробці пристрою управління світлодинамічної індикації
- 4) досліджено сучасні пристрої світлодинамічної індикації та описано алгоритм роботи розробленого пристрою зі світлодинамічною індикацією
- 5) описано техніко-економічне обґрунтування, де оцінено сукупність різноманітних технічних аспектів інвестиційного проекту та зроблено відповідний висновок про техніко-технологічну, економічну обґрунтованість запропонованого проектного рішення.

Отже, даний пристрій має наступні переваги: невисока собівартість, велика кількість реалізованих світлових ефектів, витримка часу перед початком роботи та можливість ручного керування.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		48

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Бибило П.Н. Синтез логических схем с использованием языка VHDL – М.: СОЛОН-Р, 2002.8.
2. Градиль В.П. Справочник по Единой системе конструкторской документации /В. П. Градиль, А. К. Моргун, Р. А. Егачин, под ред. А. Ф. Раба. – Х.: Прапор, 1988. – 255с.
3. Григорьянц В.Г. Импульсные схемы РЛС/ В. Г. Григорьянц – М.: Воениздат, 1981. – 540с.
4. Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. - СПб.: БХВ-Петербург, 2002. - 608
5. ГОСТ 12.1.038-82. ССБТ. Электробезопасность. Предельно допустимые значения напряжения прикосновения и токов. – Введен 01.01.88.
6. ГОСТ 12.1.003-83. ССБТ. Шум. Общие требования безопасности. – Введён 01.07.89.
7. Додик С.Д. Источники электропитания на полупроводниковых приборах. Проектирование и расчет / С.Д. Додик, Е.И. Гальперин: Советское радио, 1969. – 448с.
8. Дубчак Л.О., Ігнатєв І.В. Методичні вказівки до виконання лабораторних робіт з дисципліни «Технології проектування комп'ютерних систем» (частина II) для студентів напряму підготовки 6.050102 «Комп'ютерна інженерія» / Дубчак Л.О., Ігнатєв І.В.– Тернопіль: ТНЕУ, 2016. – 57 с.
9. Ивченко В.Г. Применение языка VHDL при проектировании специализированных СБИС: Учебное пособие / В.Г. Ивченко - Таганрог: Изд-во ТРТУ, 1999. – 80с.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		49

10. Лавриненко В.Ю. Справочник по полупроводниковым приборам / В.Ю. Лавриненко – К.: Техника, 1984. – 424 с.
11. Поляков А.К. Языки VHDL и Verilog в проектировании цифровой аппаратуры / А.К. Поляков – М.: СОЛОН-Пресс, 2003. – 320 с.
12. Перельройзен Е.З. Проектируем на VHDL / М.: СОЛОН-Пресс, 2004. – 240с.
13. ПУЭ. Правила устройства электроустановок / М.: Энергоатомиздат, 1984. – 222с.
14. СНиП II-4-79. Естественное и искусственное освещение. Нормы проектирования. - М.: Стройиздат, 1980. – 48с.
15. Тутевич В.Н. Телемеханика / В.Н. Тутевич – М.: Высшая школа, 1985. – 423с.
16. Шило В.Л. Популярные цифровые микросхемы: Справочник / В.Л. Шило - М.: Радио и связь, 1988. – 352 с.

					ДП.КСМ.07114/14.00.000 ПЗ	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		50