



УКРАЇНА

(19) **UA** (11) **140623** (13) **U**
(51) МПК (2020.01)
G06F 3/00

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

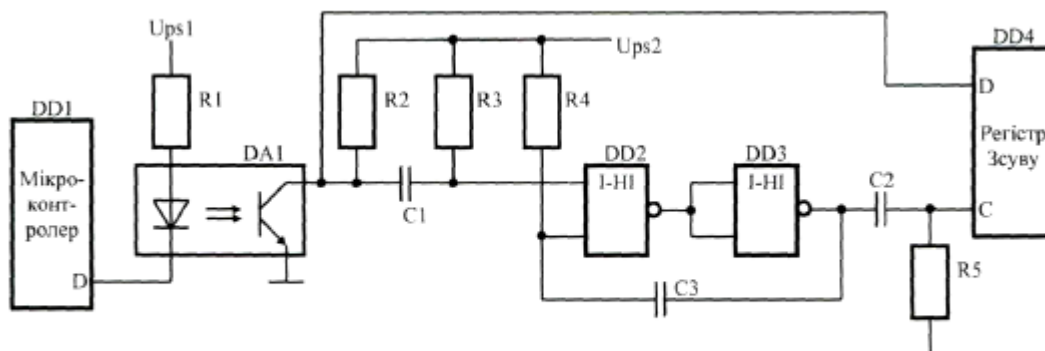
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2019 07654	(72) Винахідник(и): Кочан Орест Володимирович (UA), Кочан Роман Володимирович (UA), Кочан Володимир Володимирович (UA)
(22) Дата подання заявки: 08.07.2019	(73) Власник(и): Кочан Орест Володимирович, вул. Наукова, 57/133, м. Львів, 79071 (UA), Кочан Роман Володимирович, вул. Львівська, 7, кв. 46, м. Тернопіль, 46020 (UA), Кочан Володимир Володимирович, вул. Львівська, 7, кв. 3, м. Тернопіль, 46020 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.03.2020	
(46) Публікація відомостей про видачу патенту: 10.03.2020, Бюл.№ 5	

(54) ПОСЛІДОВНИЙ СИНХРОННИЙ ІНТЕРФЕЙС З ГАЛЬВАНІЧНОЮ РОЗВ'ЯЗКОЮ

(57) Реферат:

Послідовний синхронний інтерфейс з гальванічною розв'язкою містить послідовно з'єднані оптрон і регістр зсуву. Між виходом оптрона та тактовим входом регістра зсуву ввімкнено подвійний формувач імпульсів у складі послідовно з'єднаних першого конденсатора, логічного елемента І-НІ, інвертора та другого конденсатора. Вихід оптрона та два входи першого логічного елемента через резистори підключено до джерела живлення. Між виходом інвертора та другим входом першого елемента ввімкнено третій конденсатор. Тактовий вхід регістра зсуву через резистор підключено до землі.



Фіг. 1

UA 140623 U

Корисна модель належить до імпульсних пристроїв, що використовуються у вимірювальній та обчислювальній техніці, зокрема, при побудові інформаційно-вимірювальних і керуючих систем.

У відомих послідовних синхронних інтерфейсах [1], наприклад, SPI [2], передбачено супроводження імпульсів даних (логічні нулі та одиниці, що послідовно поступають у першу лінію зв'язку) синхронізуючими імпульсами (що поступають у другу лінію зв'язку). Перевагою таких інтерфейсів є незалежність швидкостей передачі та приймання даних. Навіть якщо швидкості передачі або часові параметри імпульсів суттєво відрізняються, дані все одно будуть прийняті правильно - вони приймаються згідно поступлення фронтів синхроімпульсів (обмежена лише максимальна швидкість передавача здатністю приймача приймати дані та синхроімпульси). Недоліками таких інтерфейсів є їх апаратна складність (необхідність двох ліній зв'язку) та труднощі у створенні мережі обміну даними. Наприклад, у інтерфейсі SPI [2] передбачено третю лінію зв'язку для тимчасового передавання прав ведучого пристрою (Master) одному із ведених (Slave) та додатковій лінії адресування ведених пристроїв. Ці недоліки сильніше проявляють себе при необхідності забезпечення гальванічної розв'язки, яка дуже часто критично необхідна при побудові інформаційно-вимірювальних і керуючих систем.

Перелічені недоліки практично відсутні у послідовних асинхронних інтерфейсах [1], наприклад, RS232M [3]. Ці інтерфейси використовують лише одну лінію зв'язку, а синхронізація відбувається за рахунок жорстко заданих частоти передачі/приймання та параметрів імпульсів даних. Саме це і є основним недоліком асинхронних інтерфейсів - при різниці у частотах передачі та приймання більших за декілька відсотків виникають помилки та збої.

Задачею даного технічного рішення є поєднання переваг синхронного та асинхронного інтерфейсів - створення інтерфейсу, який є простішим за синхронний інтерфейс (вимагає однієї лінії зв'язку) та споживає менше енергії, але не вимагає чіткого встановлення частоти передачі даних. Тому важко виділити конкретний найближчий аналог - синхронний чи асинхронний інтерфейси. Хоча за максимумом спільних ознак вибрано синхронний інтерфейс.

Слід відзначити, що позитивні якості пропонований інтерфейс проявляє лише при необхідності гальванічної розв'язки за допомогою оптронів [4].

Заявлена корисна модель, аналогічно до синхронного інтерфейсу, містить послідовно з'єднані оптрон і регістр зсуву (куди поступають прийняті дані). Для самосинхронізації кожного біта даних між виходом оптрона та тактовим входом регістра зсуву ввімкнено подвійний формувач імпульсів у складі послідовно з'єднаних першого конденсатора, логічного елемента I-NI, інвертора та другого конденсатора. При цьому, для створення логічних одиниць, вихід оптрона та два входи першого логічного елемента через резистори підключено до джерела живлення. Логічний елемент та інвертор створюють перший формувач імпульсів, для чого між виходом інвертора та другим входом першого елемента ввімкнено третій конденсатор. Другий формувач імпульсів створюють другий конденсатор і його розрядний резистор. Останній підключає до землі тактовий вхід регістра зсуву.

Принципова схема пропонованого інтерфейсу подана на Фіг. 1, а діаграми її роботи - на Фіг. 2. Для коректної роботи пропонованого інтерфейсу імпульси логічного нуля і одиниці, що поступають від мікроконтролера, що передає дані, повинні мати різну тривалість (інформаційна ознака). У цій схемі необхідно, щоб тривалість формованого мікроконтролером логічного нуля (суцільна лінія на Фіг. 2) перевищувала тривалість логічної одиниці (штрихова лінія на Фіг. 2).

Імпульс мікроконтролера поступає на оптрон (див. Фіг. 1) і повторюється на його виході (див. Фіг. 2). При надходженні цього імпульсу на перший конденсатор його фронти диференціюються. Отриманий короткий імпульс надходить на вхід першого формувача (логічного елемента I-NI) та запускає формувач. При цьому спочатку на виході елемента I-NI формується логічна 1, на виході інвертора - логічний 0, що через другий вхід логічного елемента I-NI підтверджує його стан навіть тоді, коли дія імпульсу на його першому вході закінчилася. При цьому проходить перезаряд третього конденсатора - напруга на другому вході елемента I-NI зростає. При досягненні рівня спрацювання логічного елемента I-NI на його виході формується логічний 0, а на виході інвертора - логічна 1, яка через третій конденсатор поступає на другий вхід логічного елемента I-NI та підтверджує його стан. Як видно з цього опису, у схемі першого формувача діє додатний зворотний зв'язок, тому фронти формованих ним імпульсів мають малу тривалість.

Ланка C2, R5 диференціює вихідний імпульс першого формувача. При цьому на тактовий вхід регістра зсуву поступає додатний імпульс, який записує у регістр поточний стан його інформаційного входу. Як видно з Фіг. 2, тривалість формованого першим формувачем імпульсу повинна бути більшою за тривалість формованої мікроконтролером логічної 1 та меншою за тривалість логічного 0. Тоді потрібний біт даних буде записаний у регістр зсуву правильно.

Таким чином, пропонуваний інтерфейс має властивість самосинхронізації до кожного біта даних, що поступають на його вхід. При цьому вимоги до тривалості імпульсів не є жорсткими, при правильному конструюванні зміни тривалості формованих імпульсів на 20 % не приведуть до збоїв та помилок. А через самосинхронізацію до кожного біта зокрема частота поступлення

5 вхідних даних може бути довільною (єдиним обмеженням є необхідність закінчення перехідного процесу перезаряду третього конденсатора (див. Фіг. 2)). При цьому пропонуваний інтерфейс вимагає лише однієї лінії передачі даних і одного оптрона. Елемент, що споживає найбільший струм - оптрон - ввімкнений лише на час передачі даних. Тому пропонуваний інтерфейс додатково енергоощадний. Такі переваги пропонуваного інтерфейсу дають можливість його широкого використання при побудові інформаційно-вимірювальних і керуючих систем [4]. Вплив на результати вимірювання завад загального виду вимагає для забезпечення високої точності та завадостійкості використання гальванічної розв'язки, де переваги пропонуваного інтерфейсу повністю себе проявляють.

Джерела інформації:

15 1. Мячев А.А., Иванов В.В. Интерфейсы вычислительных систем на базе мини- и микроЭВМ /Под ред. Б.Н. Наумова. - М.: Радио и связь. 1986. - 248 с.: ил.

2. Introduction to PC and SPI protocols <https://www.bvteparadigm.com/applications/introduction-to-i2c-and-spi-protocols/?/article/AA-00255/22/Introduction-to-SPI-and-IC-protocols.html>.

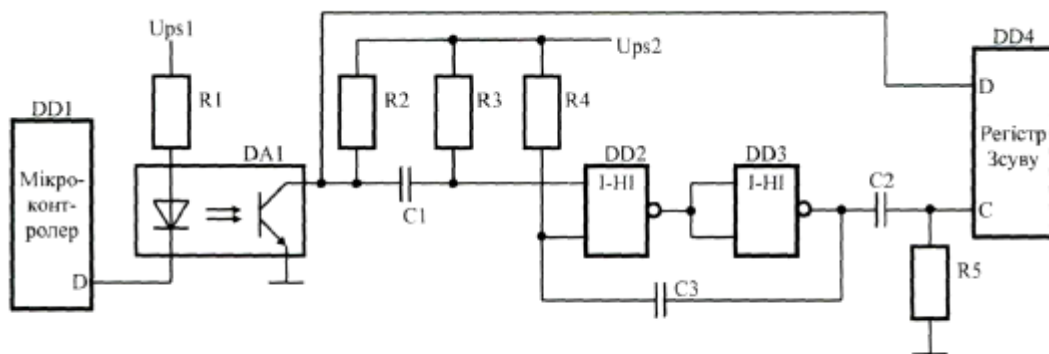
20 3. Патент 25609А України, МПК G06F 15/00. Двопровідна локальна обчислювальна мережа, повторювач сигналу та інвертор для використання в ній /В.В. Кочан, В.О. Тимчишин (Україна). - № 97105295; заявл. 30.10.97; видано 30.10.98.

4. Гурвич И.С. Защита ЭВМ от внешних помех. - 2-е изд., перераб. и доп. - М.: Энергоатомиздат, 1984. - 224 с., ил.

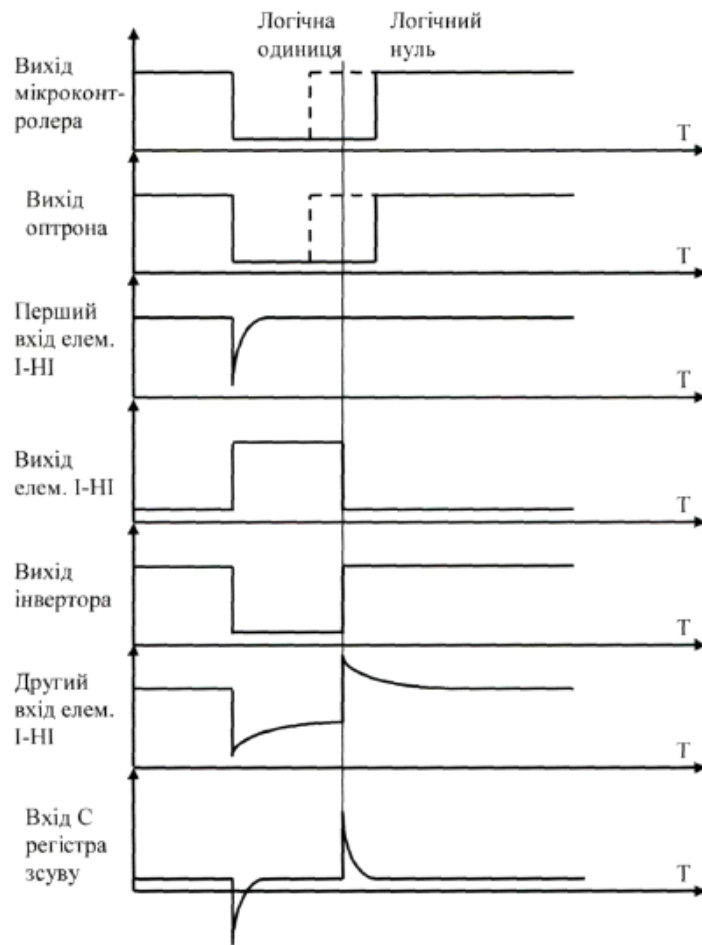
25 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Послідовний синхронний інтерфейс з гальванічною розв'язкою, що містить послідовно з'єднані оптрон і регістр зсуву, який **відрізняється** тим, що між виходом оптрона та тактовим входом регістра зсуву ввімкнено подвійний формувач імпульсів у складі послідовно з'єднаних першого конденсатора, логічного елемента І-НІ, інвертора та другого конденсатора, причому вихід оптрона та два входи першого логічного елемента через резистори підключено до джерела живлення, між виходом інвертора та другим входом першого елемента ввімкнено третій конденсатор, а тактовий вхід регістра зсуву через резистор підключено до землі.

30



Фіг. 1



Фіг. 2

Комп'ютерна верстка О. Гергіль

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601