



УКРАЇНА

(19) **UA** (11) **144302** (13) **U**
(51) МПК (2020.01)
G06F 7/00

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

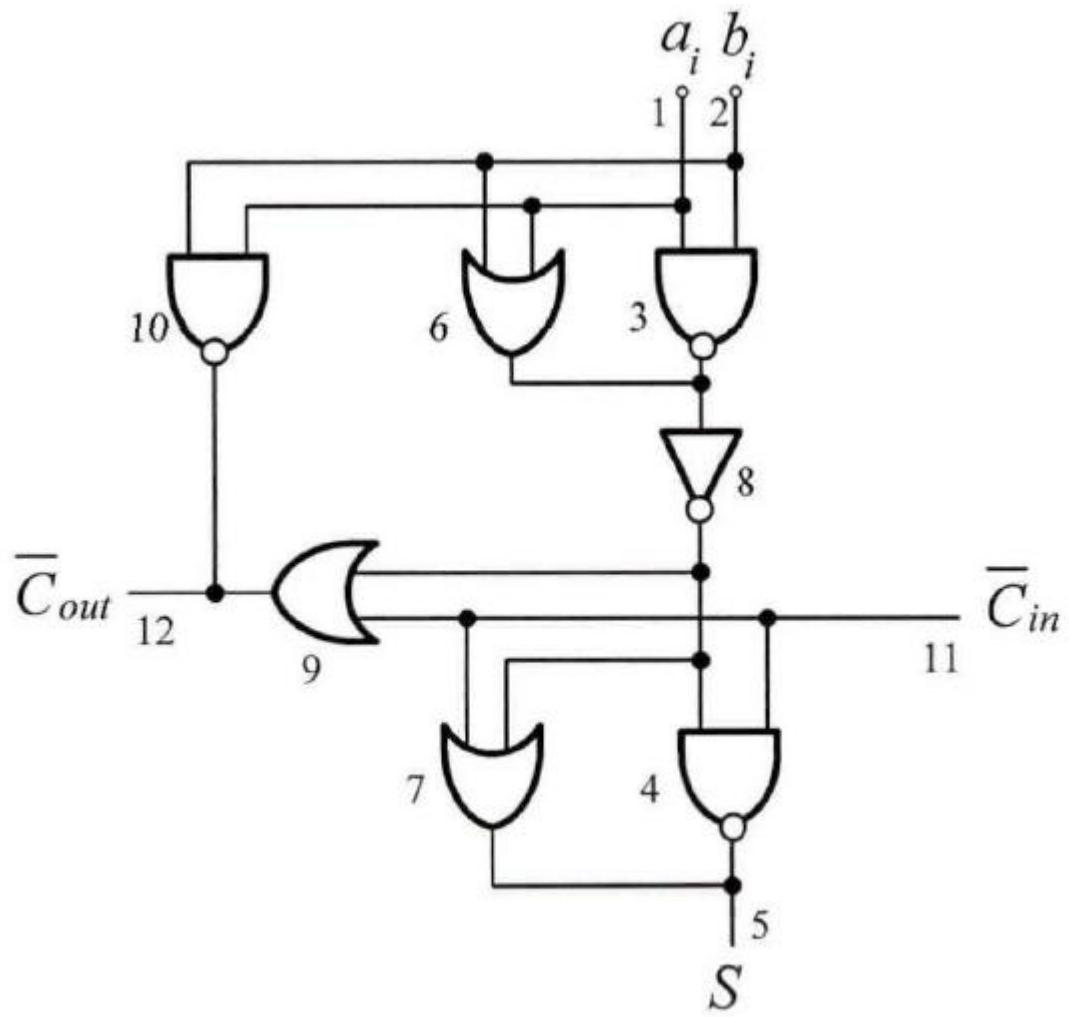
<p>(21) Номер заявки: u 2020 01191</p> <p>(22) Дата подання заявки: 24.02.2020</p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: 26.09.2020</p> <p>(46) Публікація відомостей про державну реєстрацію: 25.09.2020, Бюл.№ 18</p>	<p>(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Грига Людмила Петрівна (UA)</p> <p>(73) Володілець (володільці): Грига Володимир Михайлович, пров. Івана Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA)</p>
---	--

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Повний одnorozрядний суматор містить перший вхід a_i , який з'єднано з першим входом першого логічного елемента I-NI та першим входом першого логічного елемента АБО. Другий вхід b_i одnorozрядного суматора з'єднано з другим входом першого логічного елемента АБО та другим входом першого логічного елемента I-NI, вихід якого з'єднано з виходом першого логічного елемента АБО та входом логічного елемента NI, вихід якого з'єднано з першим входом другого логічного елемента АБО. Містить другий логічний елемент I-NI, перший та другий вхід якого відповідно з'єднано з першим та другим входом суматора. Вихід з'єднано з інверсним виходом переносу (C_{out}) суматора та виходом другого логічного елемента АБО, другий вхід якого з'єднано з інверсним входом переносу (C_{in}) та першими входами третього логічного елемента I-NI та третього логічного елемента АБО, виходи яких з'єднані між собою та є виходами суми (S) суматора. Другі входи третього логічного елемента I-NI та третього логічного елемента АБО, які з'єднані між собою, додатково з'єднані з виходом логічного елемента NI.

UA 144302 U



Фиг. 4

Корисна модель належить до засобів обчислювальної техніки та може бути використана як компонент багаторозрядних двійкових суматорів, матричних перемножувачів, арифметико-логічних пристроїв мікропроцесорів та спецпроцесорів сортування та шифрування даних.

Відомий аналог двійковий однорозрядний суматор [http://phg.su/basis2/x134.HTM, с. 1/6, 11.5], який містить два прямих входи, які з'єднані з відповідними першим і другим входами першого логічного елемента "Виключаюче АБО", вихід якого з'єднано з першим входом другого логічного елемента "Виключаюче АБО", вихід якого є прямим виходом суми. Перший і другий вхід першого логічного елемента "Виключаюче АБО" з'єднані з відповідними першими і другими входами першого логічного елемента "І". Вихід першого логічного елемента "Виключаюче АБО" з'єднано з першим входом другого логічного елемента "І", другий вхід якого з'єднано з прямим входом переносу з молодшого розряду, а вихід з'єднано з першим входом логічного елемента АБО, другий вхід якого з'єднано з виходом першого логічного елемента "І", а вихід є прямим виходом переносу в старший розряд (Фіг. 1). Кожен логічний елемент "Виключаюче АБО" містить два інвертори та три логічних елементи "2І-НІ", відповідно з'єднаних між собою [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г, С. 57, Рис. 1.35 в, м] (Фіг. 2 а, б).

Недоліком такого суматора є велика апаратна складність та низька швидкодія, що відповідно підвищує апаратну та часову складність мікроелектронних пристроїв, в яких такі суматори використано як базові компоненти, наприклад у багаторозрядних матричних перемножувачах Брауна і Дадда [Орлов С.А., Цилькер Б.Я. Организация ЭВМ и систем: Учебник для вузов. 2-е изд. - СПб.: Питер, 2011, С. 194] та арифметико-логічних пристроях. Велику апаратну складність обумовлено наявністю 13 логічних елементів у структурі суматора (А=13 вентилів). Низьку швидкодію обумовлено затримкою сигналів формування суми та переносів між наступними входами та виходами:

$a_i b_i \rightarrow S - 6v$ (v - затримка сигналів в логічному елементі за один мікротакт); $a_i b_i \rightarrow \bar{C}_{out} - 2$ або $5v$, $\bar{C}_{in} \rightarrow \bar{C}_{out} - 2v$.

Найближчим аналогом корисної моделі є повний однорозрядний суматор [Николайчук Я.М., Грига В.М., Возна Н.Я., Давлетова А.Я. Патент на корисну модель № 124563 бюл. № 7 від 10.04.2018 р.), що наведений на Фіг. 3, який містить перший вхід a_i , що з'єднано з першим входом логічного елемента І-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора з'єднано з другим входом логічного елемента АБО та другим входом логічного елемента І-НІ, другий логічний елемент І-НІ, перший вхід якого з'єднано з першим входом другого логічного елемента АБО, третій логічний елемент І-НІ, перший вхід якого з'єднано з першим входом першого логічного елемента АБО, другий вхід з'єднано з другим входом першого логічного елемента АБО, вихід якого з'єднано з виходом першого логічного елемента І-НІ, вихід якого з'єднано з першим входом другого логічного елемента І-НІ та входом першого логічного елемента НІ, вихід якого з'єднано з першим входом логічного елемента АБО, вихід якого з'єднано з виходом третього логічного елемента І-НІ і є інверсним виходом, а другий вихід логічного елемента АБО з'єднано з інверсним входом переносу однорозрядного суматора, другий логічний елемент І-НІ, з'єднано з другим логічним елементом АБО, вихід якого з'єднано з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.

Недоліком такого суматора є велика апаратна складність, оскільки такий пристрій містить 8 логічних елементів (3 двовходових логічних елементи І-НІ, 3 двовходових логічних елементи АБО та 2 логічних елементи НІ та характеризується наступними затримками сигналів суми та переносу:

$a_i b_i \rightarrow S - 2v$, $a_i b_i \rightarrow \bar{C}_{out} (1 \text{ або } 3v)$, $\bar{C}_{in} \rightarrow \bar{C}_{out} - 1v$.

В основу корисної моделі поставлена задача досягти гранично-мінімальної апаратної складності однорозрядного повного двійкового суматора та гранично-мінімальної затримки інверсних сигналів наскрізного переносу тривалістю 1 мікротакт, шляхом вилучення зі структури відомого суматора другого одновходового логічного елемента НІ та додаткового з'єднання виходу першого логічного елемента НІ з першим входом другого логічного елемента І-НІ та першим входом другого логічного елемента АБО. При цьому логічна функція "Виключаюче І", яка формує вихідний сигнал суми $S = 0$, коли на входах другого логічного елемента І-НІ і другого логічного елемента АБО надходять сигнали з виходів схеми НІ та \bar{C}_{in} сигнали 11 або 00.

Поставлена задача вирішується тим, що у повному однорозрядному суматорі, що містить перший вхід a_i , який з'єднано з першим входом першого логічного елемента І-НІ та першим

входом першого логічного елемента АБО, другий вхід b_i однорозрядного суматора з'єднано з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ, вихід якого з'єднано з виходом першого логічного елемента АБО та входом логічного елемента НІ, вихід якого з'єднано з першим входом другого логічного елемента АБО, містить другий логічний елемент І-НІ, перший та другий вхід якого відповідно з'єднано з першим та другим входом суматора, вихід з'єднано з інверсним виходом переносу (\bar{C}_{out}) суматора та виходом другого логічного елемента АБО, другий вхід якого з'єднано з інверсним входом переносу (\bar{C}_{in}) та першими входами третього логічного елемента І-НІ та третього логічного елемента АБО, виходи яких з'єднані між собою та є виходами суми (S) суматора, згідно з корисною моделлю, другі входи третього логічного елемента І-НІ та третього логічного елемента АБО, які з'єднані між собою, додатково з'єднані з виходом логічного елемента НІ.

Корисна модель пояснюється кресленням (Фіг. 4), де представлено структуру пристрою, який містить: 1, 2 - відповідні інформаційні входи a_i та b_i ; 3, 4 - відповідно перший та другий логічні елементи І-НІ; 5 - вихід суми; 6, 7 - відповідно перший та другий логічні елементи АБО; 8 - логічний елемент НІ; 9 - третій логічний елемент АБО; 10 - третій логічний елемент І-НІ; 11, 12 - відповідно інверсний вхід (\bar{C}_{in}) та інверсний вихід (\bar{C}_{out}) переносу однорозрядного суматора.

Однорозрядний суматор працює наступним чином.

При подачі на входи a_i 1 та b_i 2 логічних значень "0" або "1" на монтажно з'єднаному виході першого логічного елемента І-НІ 3 та першого логічного елемента АБО 6 із затримкою на 1 мікротакт формується логічний сигнал, який відповідає модульній сумі $a_i \oplus b_i$, який надходить на вхід логічного елемента НІ 8 та входи логічного елемента І-НІ 4 та логічного елемента АБО 7, на об'єднаних виходах яких формується сигнал суми 5, вхідні сигнали a_i та b_i на входах суматора 1, 2 надходять на входи логічного елемента І-НІ 10, який з'єднаний з виходом логічного елемента АБО 9, формує вихідний інверсний сигнал виходу переносу \bar{C}_{out} 12, вхідний інверсний сигнал переносу \bar{C}_{in} 11, який надходить на вхід логічного елемента АБО 9, якщо на виході логічного елемента І-НІ формується сигнал "0" і на інверсному вході переносу також сигнал "0", то на виході логічного елемента АБО 9 формується нульовий вихідний сигнал інверсного переносу. Якщо на виході логічного елемента 8 НІ формується логічний сигнал 1 або на інверсному вході переносу логічний сигнал 1, то на виході суматора 5 формується сигнал суми 1.

Запропонований повний однорозрядний суматор характеризується наступними затримками сигналів суми та переносу: $a_i b_i \rightarrow S - 3v$, $a_i b_i \rightarrow \bar{C}_{out} (1 \text{ або } 3v)$, $\bar{C}_{in} \rightarrow \bar{C}_{out} - 1v$, $\bar{C}_{in} \rightarrow S - 1v$.

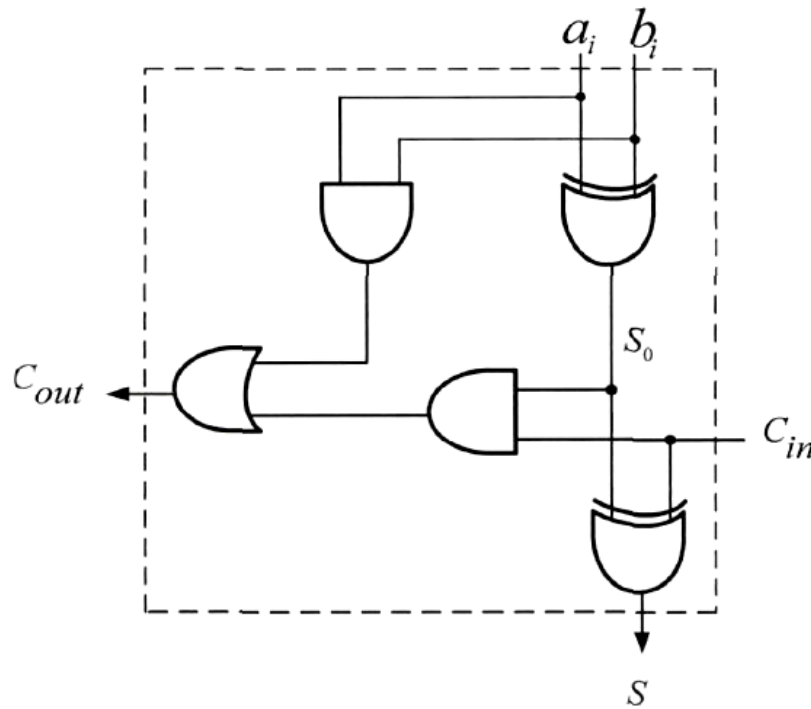
Технічний результат. Корисна модель характеризується зменшенням апаратної складності у $\frac{8}{7} = 1,14$ разів, тобто порівняно з найближчим аналогом, та $\frac{11}{7} = 1,6$ разів порівняно з класичною структурою повного однорозрядного суматора (аналога). Тобто при розрядності багаторозрядного суматора 1024 біти, який використовується для шифрування даних згідно алгоритму RSA зменшення об'єму мікроелектронного обладнання при його реалізації на ПЛІС порівняно з найближчим аналогом складає 1024 вентиля, а порівняно з аналогом відповідно складає 4096 вентилів. При застосуванні такого суматора в матричних перемножувачах із кількістю суматорів в перемножуваній матриці $n \times (n-1)$ при $n = 1024$, відповідне зменшення апаратної складності складає порівняно з найближчим аналогом 1047552 вентилів, а порівняно з аналогом - 4190208, що складає 35-40 % економії інформаційної ємності кристалу.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

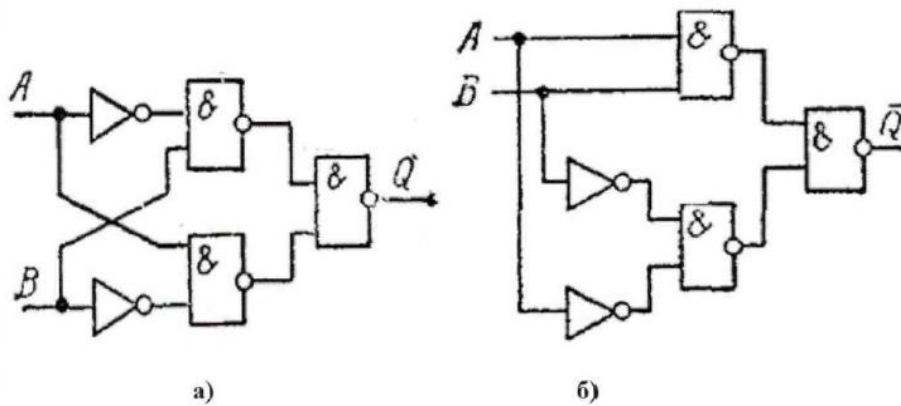
Повний однорозрядний суматор, що містить перший вхід a_i , який з'єднано з першим входом першого логічного елемента І-НІ та першим входом першого логічного елемента АБО, другий

5 вхід b_i однорозрядного суматора з'єднано з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ, вихід якого з'єднано з виходом першого логічного елемента АБО та входом логічного елемента НІ, вихід якого з'єднано з першим входом другого логічного елемента АБО, містить другий логічний елемент І-НІ, перший та другий вхід якого відповідно з'єднано з першим та другим входом суматора, вихід з'єднано з інверсним виходом переносу (\bar{C}_{out}) суматора та виходом другого логічного елемента АБО, другий вхід якого з'єднано з інверсним входом переносу (\bar{C}_{in}) та першими входами третього логічного елемента І-НІ та третього логічного елемента АБО, виходи яких з'єднані між собою та є виходами суми (S) суматора, який відрізняється тим, що другі входи третього логічного елемента І-НІ та третього логічного елемента АБО, які з'єднані між собою, додатково з'єднані з виходом логічного елемента НІ.

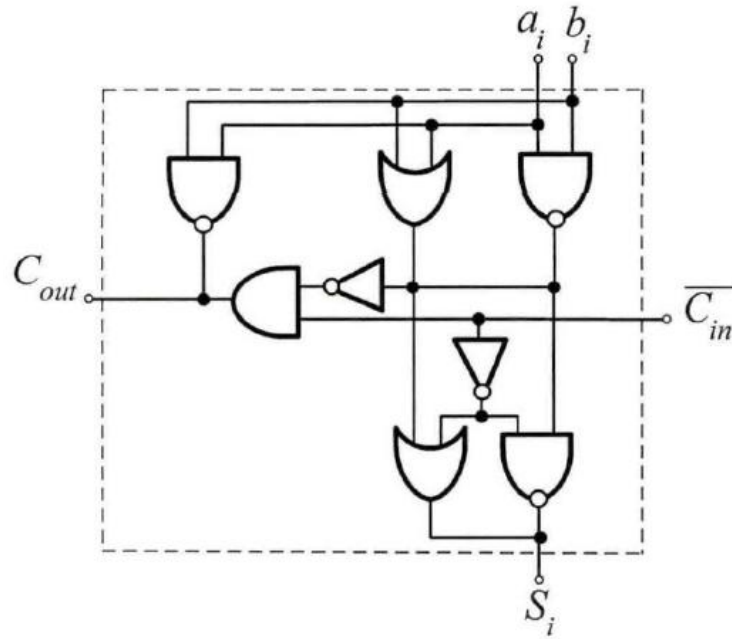
10



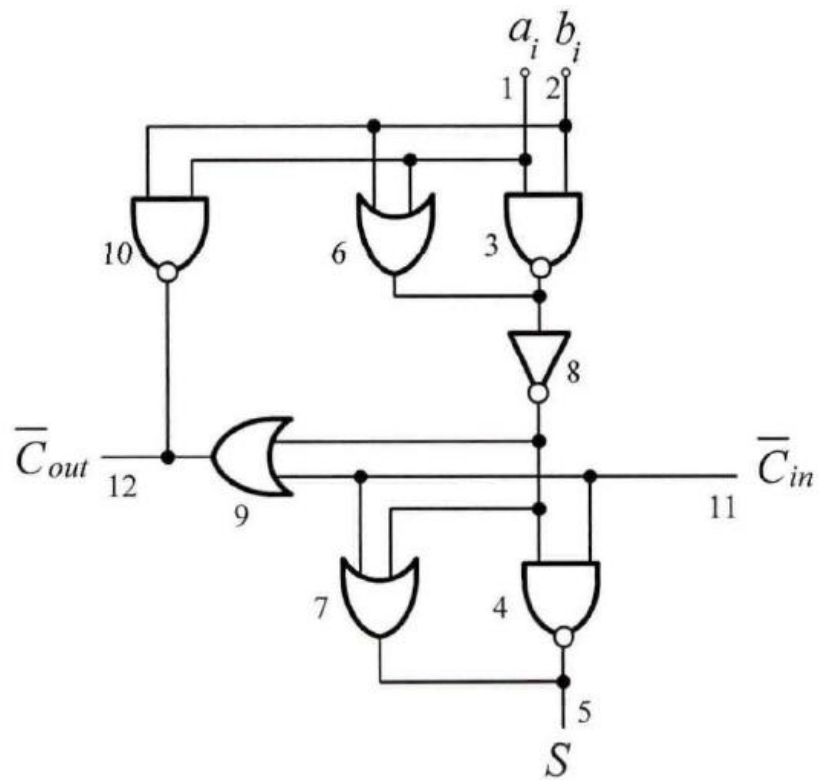
Фиг. 1



Фиг. 2



Фіг. 3



Фіг. 4

Комп'ютерна верстка О. Рябко

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601