



УКРАЇНА

(19) UA (11) 147277 (13) U
(51) МПК (2021.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

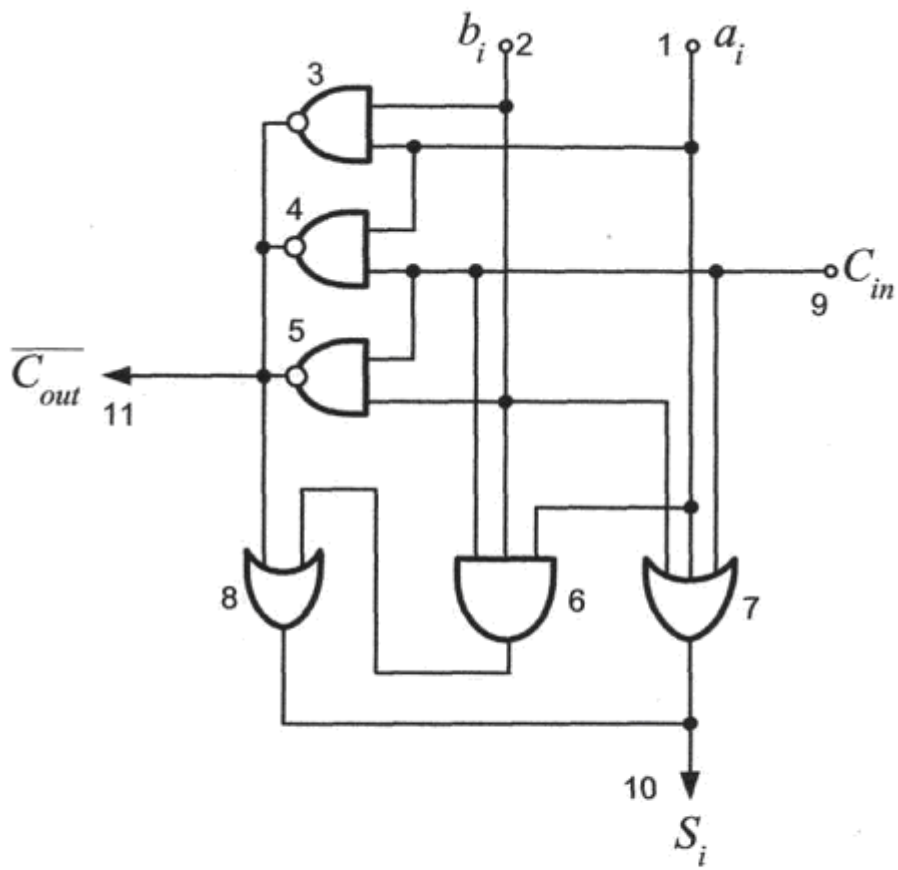
(21) Номер заявки: u 2020 06410	(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Грига Володимир Михайлович (UA), Николайчук Любов Михайлівна (UA), Пітух Ігор Романович (UA)
(22) Дата подання заявки: 05.10.2020	
(24) Дата, з якої є чинними права інтелектуальної власності: 29.04.2021	
(46) Публікація відомостей про державну реєстрацію: 28.04.2021, Бюл.№ 17	(73) Володілець (володільці): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Николайчук Любов Михайлівна, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Пітух Ігор Романович, вул. Куліша, 7, кв. 11, м. Бучач, Тернопільська обл., 48000 (UA)

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Повний однорозрядний суматор, який містить перший a_i та другий b_i інформаційні входи, логічні елементи I-NI, NI та АБО структурно з'єднані між собою відповідним чином, третій вхід наскрізного переносу C_{in} , перший інверсний вихід C_{out} наскрізного переносу та другий вихід S_i суми, у якому перший вхід a_i та другий вхід b_i з'єднані з відповідними першим та другим входами першого логічного елемента I-NI, вихід якого з'єднаний з першим інверсним виходом суматора C_{out} , причому додатково введений другий логічний елемент I-NI, вихід якого додатково з'єднаний з виходом першого логічного елемента NI-I, перший вхід якого додатково з'єднаний з другим входом першого логічного елемента I-NI, другий вхід додатково з'єднаний з додатково введеним прямим входом наскрізного переносу суматора C_{in} та першим входом третього логічного елемента I-NI, другий вхід якого додатково з'єднаний з другим входом b_i суматора, а вихід додатково з'єднаний з виходом другого логічного елемента I-NI, додатково введений логічний елемент I, перший вхід якого додатково з'єднаний з першим входом другого логічного елемента I-NI, другий вхід додатково з'єднаний з другим входом b_i суматора та першим входом першого логічного елемента АБО, третій вхід додатково з'єднаний з другим входом першого логічного елемента АБО та першим входом a_i суматора, третій вхід логічного елемента АБО додатково з'єднаний з третім входом наскрізного переносу C_{in} , вихід додатково з'єднаний з виходом S_i суматора та виходом другого логічного елемента АБО, перший вхід якого додатково з'єднаний з виходом логічного елемента I, а другий вхід додатково з'єднаний з виходом наскрізного переносу суматора C_{out} .

UA 147277 U



Фиг. 3

Повний однорозрядний суматор належить до засобів обчислювальної техніки і може бути використаний як швидкодіючий компонент багаторозрядних двійкових суматорів, матричних перемножувачів, арифметико-логічних пристроїв універсальних комп'ютерів, мікроконтролерів та високопродуктивних спецпроцесорів опрацювання цифрових даних та оцифровування сигналів.

Відомий аналог - повний однорозрядний двійковий суматор [A. Anand Kumar Fundamentals of Digital Circuits / Prentice-Hall of India Pvt.Ltd, 2007 p. 235 fig. 7.4], який містить (фіг. 1) перший вхід a_i , який з'єднаний з першим входом першого логічного елемента I та першим входом першого логічного елемента "ВИКЛЮЧНЕ АБО", другий вхід однорозрядного суматора b_i з'єднаний з другим входом першого логічного елемента I та другим входом першого логічного елемента "ВИКЛЮЧНЕ АБО", вихід якого з'єднаний з першим входом другого логічного елемента "ВИКЛЮЧНЕ АБО", вихід якого є першим виходом суми S_i однорозрядного суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента "ВИКЛЮЧНЕ АБО" та першим входом другого логічного елемента I, другий вхід якого з'єднаний з виходом першого логічного елемента "ВИКЛЮЧНЕ АБО", а вихід з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом першого логічного елемента I, а вихід логічного елемента АБО є прямим другим виходом переносу однорозрядного суматора C_{out} .

У відомому суматорі при різних структурних реалізаціях логічних елементів "ВИКЛЮЧНЕ АБО", [Шило В.П. Популярные цифровые микросхемы: Справочник.- М.: Радио и связь, 1988 г. - С. 57, рис. 1.35], які містять від 4 до 5 логічних елементів, 3 з яких з'єднані послідовно і затримка сигналів складає не менше 3 мікротакти.

Відомий найближчий аналог - повний однорозрядний суматор [Николайчук Я.М., Грига В.М., Возна Н.Я., Давлетова А.Я. Патент на корисну модель № 124563 бюл. №7 від 10.04.2018р.), який містить перший a_i та другий b_i інформаційні входи, логічні елементи I-НІ, НІ та АБО структурно з'єднані між собою відповідним чином, третій вхід наскрізного переносу C_{in} , перший інверсний вихід C_{out} наскрізного переносу та другий вихід S_i суми.

Недоліком такого суматора є велика апаратна складність (8 логічних елементів). Іншим недоліком є низька швидкодія формування бітів суми S_i та сигналів вихідних наскрізних переносів C_{out} , яка обумовлена часовою затримкою сигналів:

$$\begin{aligned} a_i, b_i &\rightarrow C_{out} = 3 \text{ мікротакти;} \\ C_{in} &\rightarrow C_{out} = 2 \text{ мікротакти;} \\ C_{in} &\rightarrow S_i = 2 \text{ мікротакти.} \end{aligned}$$

В основу корисної моделі поставлена задача зменшення апаратної складності пристрою до 6-ти логічних елементів та підвищення швидкодії формування наскрізних переносів шляхом вилучення із структури такого суматора двох логічних інверторів НІ, додатковим введенням тривходових логічних елементів I та АБО та відповідною зміною структури з'єднань між компонентами запропонованого суматора.

Поставлена задача вирішується тим, що повний однорозрядний суматор, який містить перший a_i та другий b_i інформаційні входи, логічні елементи I-НІ та АБО структурно з'єднані між собою відповідним чином, третій вхід наскрізного переносу C_{in} , перший інверсний вихід C_{out} , наскрізного переносу та другий вихід S_i суми, у якому перший вхід a_i та другий вхід b_i з'єднані з відповідними першим та другим входами першого логічного елемента I-НІ, вихід якого з'єднаний з першим інверсним виходом суматора C_{out} , у якому згідно з корисною моделлю додатково введений другий логічний елемент I-НІ, вихід якого додатково з'єднаний з виходом першого логічного елемента НІ-I, перший вхід якого додатково з'єднаний з другим входом першого логічного елемента I-НІ, другий вхід додатково з'єднаний з додатково введеним прямим входом наскрізного переносу суматора C_{in} та першим входом третього логічного елемента I-НІ, другий вхід якого додатково з'єднаний з другим входом b_i суматора, а вихід додатково з'єднаний з виходом другого логічного елемента I-НІ, додатково введений логічний елемент I, перший вхід якого додатково з'єднаний з першим входом другого логічного елемента I-НІ, другий вхід додатково з'єднаний з другим входом b_i суматора та першим входом першого логічного елемента АБО, третій вхід додатково з'єднаний з другим входом першого логічного

елемента АБО та першим входом a_i суматора, третій вхід логічного елемента АБО додатково з'єднаний з третім входом наскрізного переносу C_{in} , вихід додатково з'єднаний з виходом S_i суматора та виходом другого логічного елемента АБО, перший вхід якого додатково з'єднаний з виходом логічного елемента I, а другий вхід додатково з'єднаний з виходом наскрізного переносу суматора C_{out} .

Корисна модель ілюструється кресленням (фіг. 3), де представлена структура пристрою, який містить: 1, 2 - відповідні інформаційні входи a_i та b_i ; 3, 4, 5 - відповідно перший, другий та третій логічні елементи I-NI; 6 - логічний елемент I; 7, 8 - відповідні перший та другий логічні елементи АБО; 9 - вхід наскрізного переносу C_{in} ; 10 - вихід суми S_i ; 11- інверсний вихід C_{out} наскрізного переносу однорозрядного суматора.

Однорозрядний повний суматор працює наступним чином: при подачі на входи a_i (1) та b_i (2) логічних значень "0" або "1" на виходах першого (3), другого (4) та третього (5) логічних елементів I-NI і відповідно на інверсному виході наскрізного переносу C_{out} (11) суматора формується біт "0" при наявності комбінацій сигналів на входах a_i , b_i та C_{in} (фіг. 3): (000; 001; 010; 100) та біт $C_{out} = 1$ при наявності на входах a_i , b_i та C_{in} суматора комбінацій (фіг.3) (011; 101; 110; 111). Отриманий біт "0" або "1" з виходу C_{out} (11) надходить на перший вхід другого логічного елемента АБО (8), вихід якого формує відповідний біт "1" або "0" у залежності від наявності на виході логічного елемента I (6) біта "1", коли на його всіх входах сигнали "1". Біт "0" на виході суми S_i (10) формується, якщо на всіх входах першого логічного елемента АБО (7) надходять сигнали "0".

На кресленні (фіг. 4) представлені 8 варіантів проходження вхідних сигналів (a_i , b_i та C_{in}) у запропонованому суматорі, які демонструють правильність формування відповідних вихідних сигналів C_{out} та S_i .

Технічний результат.

Запропонований повний однорозрядний суматор містить шість логічних елементів (фіг. 3) і характеризується зменшеною апаратною складністю у порівнянні з найближчим аналогом, який містить вісім логічних елементів (фіг. 2). Тобто досягнуте зменшення апаратної складності у $8/6=1.33$ рази.

Підвищення швидкодії наскрізних переносів у запропонованому суматорі обумовлене зменшенням часових затримок між його входами та виходами у структурах:

$$a_i, b_i \rightarrow C_{out} = 1 \text{ мікротакти;}$$

$$C_{in} \rightarrow C_{out} = 1 \text{ мікротакти;}$$

$$C_{in} \rightarrow S_i = 2 \text{ мікротакти.}$$

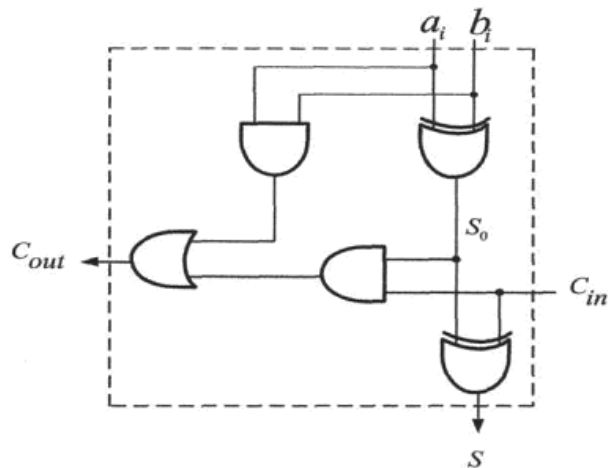
Таким чином, досягнуте підвищення швидкодії запропонованого повного однорозрядного суматора при формуванні наскрізних переносів між входами a_i , b_i та C_{out} досягнуто зменшенням часової затримки у 3 рази, а при формуванні наскрізних переносів $C_{in} \rightarrow C_{out}$ у 2 рази. При комбінації вхідних сигналів (000) формування сигналу S_i здійснюється за 1 мікротакт.

Монтажне об'єднання виходів логічних елементів АБО у структурі пристрою технологічно допустиме для найбільш швидкодіючої технології мікроелектроніки ЕЗЛ, на виході яких є транзисторні інтерфейсні компоненти [Якубовский СВ., Ниссельсон Л.П., Кулешова В.И. и др.; Под ред. СВ. Якубовского. - М.: Радио и связь, 1990. - С. 105, рис. 2.19].

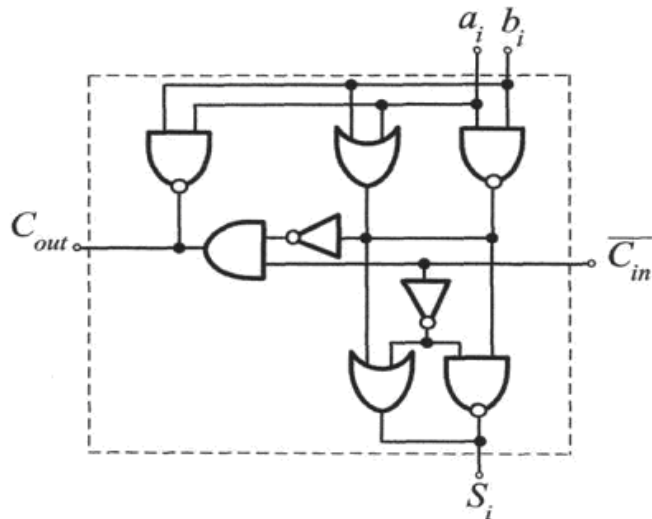
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Повний однорозрядний суматор, який містить перший a_i та другий b_i інформаційні входи, логічні елементи I-NI, NI та АБО структурно з'єднані між собою відповідним чином, третій вхід наскрізного переносу C_{in} , перший інверсний вихід C_{out} наскрізного переносу та другий вихід S_i суми, у якому перший вхід a_i та другий вхід b_i з'єднані з відповідними першим та другим входами першого логічного елемента I-NI, вихід якого з'єднаний з першим інверсним виходом суматора C_{out} , який **відрізняється** тим, що додатково введений другий логічний елемент I-NI, вихід якого додатково з'єднаний з виходом першого логічного елемента NI-I, перший вхід якого

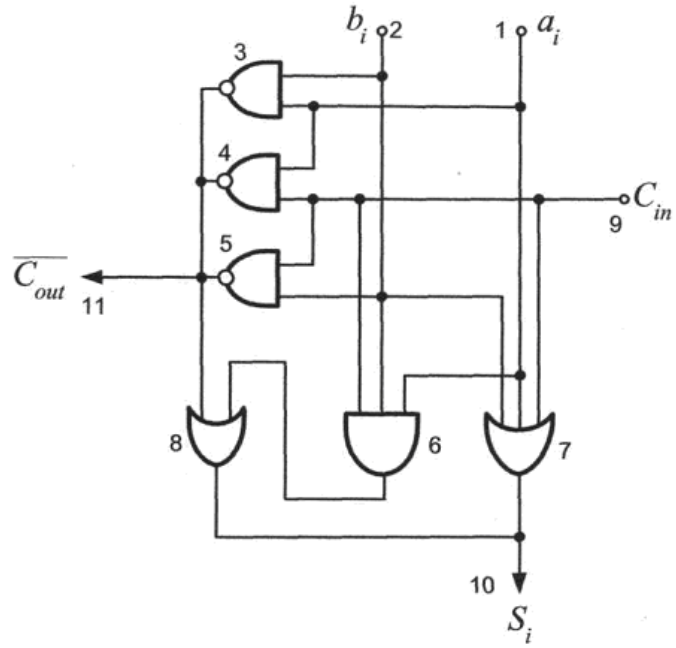
- додатково з'єднаний з другим входом першого логічного елемента І-НІ, другий вхід додатково з'єднаний з додатково введеним прямим входом наскрізного переносу суматора C_{in} та першим входом третього логічного елемента І-НІ, другий вхід якого додатково з'єднаний з другим входом b_i суматора, а вихід додатково з'єднаний з виходом другого логічного елемента І-НІ,
- 5 додатково введений логічний елемент І, перший вхід якого додатково з'єднаний з першим входом другого логічного елемента І-НІ, другий вхід додатково з'єднаний з другим входом b_i суматора та першим входом першого логічного елемента АБО, третій вхід додатково з'єднаний з другим входом першого логічного елемента АБО та першим входом a_i суматора, третій вхід логічного елемента АБО додатково з'єднаний з третім входом наскрізного переносу C_{in} , вихід
- 10 додатково з'єднаний з виходом S_i суматора та виходом другого логічного елемента АБО, перший вхід якого додатково з'єднаний з виходом логічного елемента І, а другий вхід додатково з'єднаний з виходом наскрізного переносу суматора C_{out} .



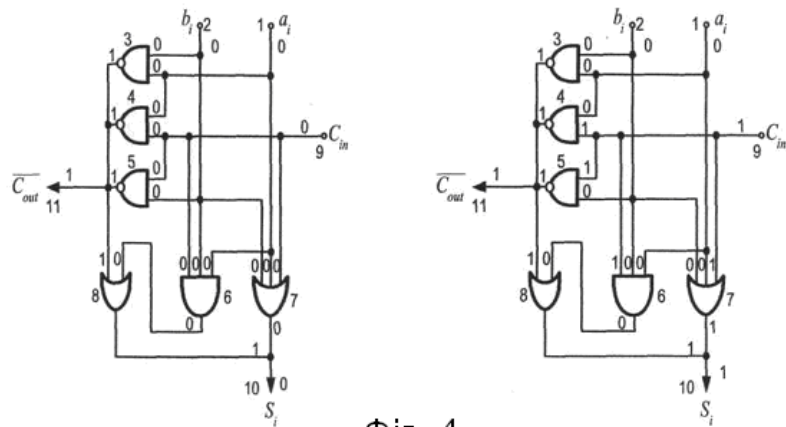
Фиг. 1



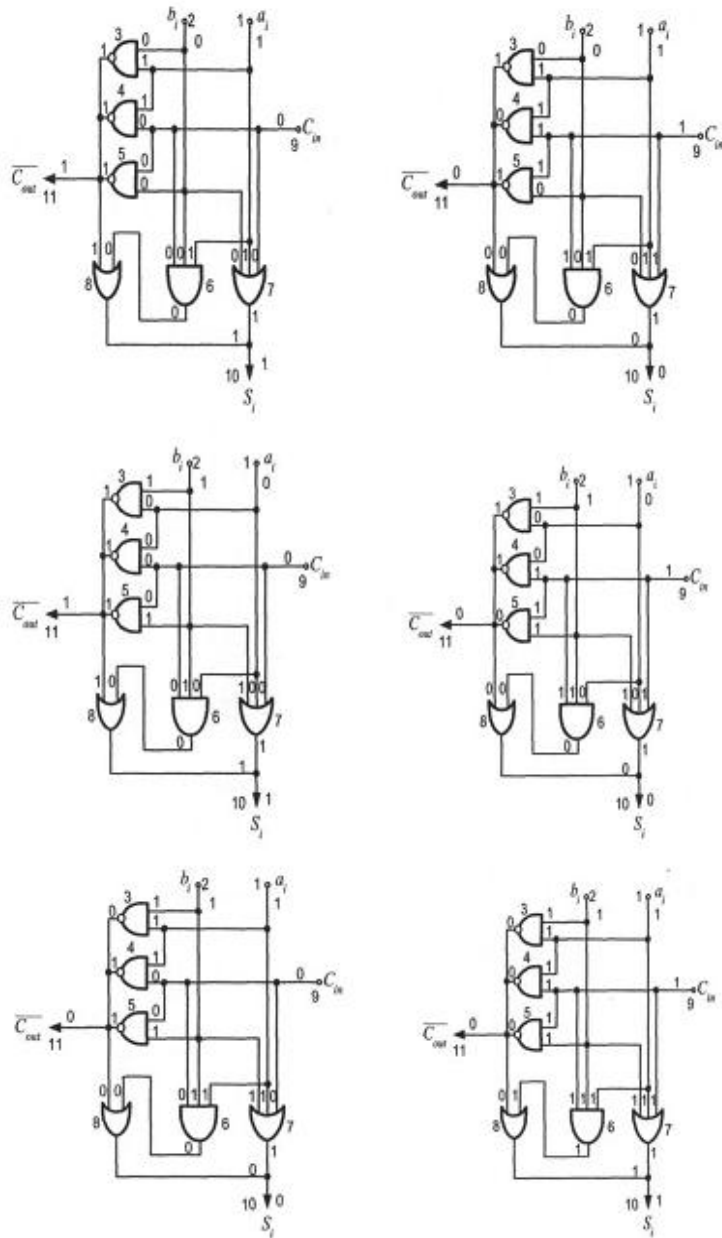
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 4