



УКРАЇНА

(19) **UA** (11) **150332** (13) **U**
(51) МПК
G06F 7/575 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

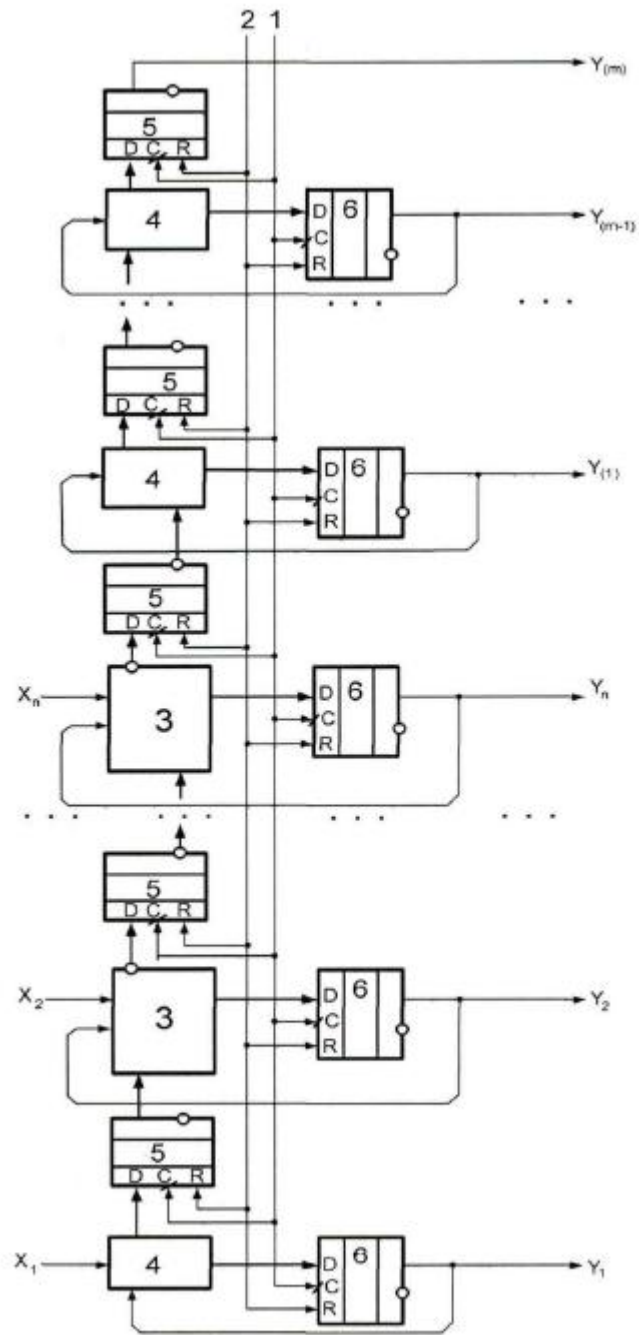
<p>(21) Номер заявки: u 2021 04277</p> <p>(22) Дата подання заявки: 21.07.2021</p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: 03.02.2022</p> <p>(46) Публікація відомостей про державну реєстрацію: 02.02.2022, Бюл.№ 5</p>	<p>(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Возна Наталя Ярославівна (UA), Грига Володимир Михайлович (UA), Пітух Ігор Романович (UA), Давлетова Аліна Ярославівна (UA), Грига Людмила Петрівна (UA)</p> <p>(73) Володілець (володільці): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Возна Наталя Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, Тернопільська обл., 46016 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Пітух Ігор Романович, вул. Куліша, 7, кв. 11, м. Бучач, Тернопільська обл., 48000 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p>
--	--

(54) НАКОПИЧУЮЧИЙ ДВІЙКОВИЙ СУМАТОР

(57) Реферат:

Накопичуючий двійковий суматор містить $(n+m)$ -розрядний накопичуючий суматор, n -молодших входів якого з'єднані з першими n -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, прямі виходи якого з'єднані з другими входами накопичуючого суматора і відповідними виходами пристрою, вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та S -входами всіх D -тригерів паралельного регістра пам'яті. Додатково в пристрій введені D -тригери регістра наскрізних переносів, S -входи яких додатково з'єднані з першою входною шиною синхронізації, R -входи додатково з'єднані між собою та R -входами тригерів паралельного регістра пам'яті і другою додатково введеною шиною пристрою. D -входи тригерів регістра наскрізних переносів молодших розрядів пристрою додатково з'єднані з інверсними виходами наскрізних переносів і-их однорозрядних двійкових суматорів. Інверсні виходи D -тригерів додатково з'єднані з прямими входами переносу $(i+1)$ -их двійкових однорозрядних суматорів. Наймолодший та старші m -розряди накопичуючого суматора пристрою додатково містять неповні однорозрядні i -ті суматори, прямі виходи яких додатково з'єднані з D -входами тригерів $(i+1)$ -их розрядів регістра наскрізних переносів пристрою.

UA 150332 U



Фиг. 4

Накопичуючий двійковий суматор належить до засобів обчислювальної техніки і може бути використаний як швидкодіючі компоненти алгебраїчного додавання великого числа двійкових чисел у спецпроцесорах обчислення інтегральних, статистичних, кореляційних, спектральних та ентропійних оцінок, а також в структурах багаторозрядних арифметико-логічних пристроях (АЛП) векторних та скалярних суперпроцесорів.

Відомий аналог - накопичуючий суматор [Тарабрин Б.В. Справочник по интегральным микросхемам /Б.В. Тарабрин. С.В. Якубовский, Н.А. Барканов и др. Под ред. Б.В. Тарабрина. - 2-е изд., перераб. и доп. - М.: Энергия, 1981, рис. 5-250, стр. 741], який містить повні однорозрядні суматори послідовно з'єднані між собою виходами та входами наскрізних переносів, регістри пам'яті, в якому вхідна шина з'єднана з першими входами багаторозрядного двійкового суматора, виходи якого з'єднані з відповідними першими входами регістрів пам'яті та виходами пристрою, другі входи регістрів пам'яті з'єднані між собою та другим входом "обнулення", треті входи з'єднані між собою та третім входом тактової синхронізації пристрою, а виходи регістрів пам'яті з'єднані з другими входами комбінаційного суматора.

На фіг. 1 показана структурна схема такого накопичуючого суматора, а на фіг. 2. структурна схема повного однорозрядного двійкового суматора на логічних елементах I-НІ, який є компонентом пристрою.

Недоліком такого пристрою є низька швидкодія та велика апаратна складність.

Низька швидкодія пристрою обумовлена тим, що сигнали тактової синхронізації можуть подаватися з затримкою на інтервал часу, який необхідний для розповсюдження і завершення всіх наскрізних переносів у комбінаційному суматорі та затримкою сигналів формування суми в першому розряді на шість мікротактів, а наскрізних переносів у кожному розряді на два мікротакти.

Велика апаратна складність такого пристрою обумовлена застосуванням у кожному розряді комбінаційного суматора повних однорозрядних двійкових суматорів, які містять дев'ять логічних елементів I-НІ (фіг. 2).

Відомий найближчий аналог - пристрій для сумування [Соловьев Б.И., Устройство для суммирования //Патент RU № 2546569, Бюл. № 13, 2014], структурна схема якого ілюструється кресленням на фіг. 3, що містить накопичуючий суматор, паралельний регістр пам'яті, n -молодших інформаційних входів накопичуючого суматора з'єднані з n -першими входами пристрою, а m -старших інформаційних входів, відповідно з'єднані з нульовим потенціалом, виходи $(n+m)$ -розрядного двійкового суматора з'єднані з відповідними входами паралельного регістра пам'яті, відповідні виходи якого з'єднані з другими відповідними входами накопичуючого суматора і з відповідними виходами пристрою, а вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою.

Недоліком такого пристрою для сумування є низька швидкодія, яка обумовлена тим, що сигнали синхронізації та запису в паралельний регістр пам'яті можливо подавати тільки тоді, коли закінчаться всі наскрізні переноси у комбінаційній схемі накопичуючого суматора.

Іншим недоліком такого пристрою є велика апаратна складність, яка обумовлена застосуванням у кожному розряді накопичуючого суматора повного однорозрядного двійкового суматора з числом вентилів 11-13 [A. Anand Kumar Fundamentals of Digital Circuits /Prentice-Hall of India Pvt.Ltd, 2007 p. 235 fig. 7.4].

У такому суматорі при різних структурних реалізаціях логічних елементів "Виключне АБО", [Шило В.П. Популярные цифровые микросхемы: Справочник. – М6 Радио и связь, 1988 г., - С. 57, рис. 1.35], які містять від чотирьох до п'яти логічних елементів, три з яких з'єднані послідовно, тому затримка сигналів складає не менше трьох мікротактів.

В основу корисної моделі поставлена задача зменшення апаратної складності та підвищення швидкодії пристрою шляхом застосування у першому та m -старших розрядах пристрою неповних однорозрядних двійкових суматорів з мінімаксними характеристиками апаратної складності (два логічних елементи) та швидкодії (один мікротакт), між входами та виходами наскрізних переносів однорозрядних суматорів, додатково введені D-тригери регістра пам'яті наскрізних переносів та додатково уведений другий вхід синхронізації пристрою.

Поставлена задача вирішується тим, що пристрій містить $(n+m)$ -розрядний накопичуючий суматор, n -молодших входів якого з'єднані з першими n -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, відповідні прямі виходи якого з'єднані з другими відповідними входами накопичуючого суматора і відповідними входами пристрою, перший вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та С-входами всіх D-тригерів паралельного регістра пам'яті, згідно з корисною моделлю містить додатково введені D-тригери регістра наскрізних переносів, С-входи яких додатково з'єднані з першою вхідною шиною синхронізації,

R-входи з'єднані між собою та додатково з'єднані з R-входами D-тригерів паралельного регістра пам'яті і другою додатково уведеною шиною пристрою, D-входи тригерів регістра наскрізних переносів молодших розрядів пристрою додатково з'єднані з інверсними виходами наскрізних переносів і-их однорозрядних двійкових суматорів, інверсні виходи D-тригерів додатково з'єднані з прямими входами переносу (i+1)-их двійкових однорозрядних суматорів, а наймолодший та старші m-розряди накопичуючого суматора пристрою додатково містять неповні однорозрядні і-ті суматори, прямі виходи яких додатково з'єднані з D-входами тригерів (i+1)-их розрядів регістра наскрізних переносів пристрою.

Корисна модель ілюструється кресленням, де на фіг. 4 показана структурна схема пристрою, який містить вхідну шину (X_1, X_2, \dots, X_n); вихідну шину ($Y_1, Y_n, Y_{(1)}, \dots, Y_{(m)}$); 1 - першу вхідну шину синхронізації; 2- другу вхідну шину скиду всіх тригерів регістрів пам'яті в нульовий стан; 3 - повні однорозрядні суматори; 4 - неповні однорозрядні суматори; 5-D-тригери регістра наскрізних переносів; 6-D-тригери паралельного регістра пам'яті.

Пристрій працює наступним чином.

На початку циклу накопичення інформації, сигналом вхідної шини (2) по R-входах, всі тригери регістрів наскрізних переносів (5) та пам'яті (6) скидаються в нульовий стан. У кожному мікроциклі роботи пристрою сигнали шини (1) подаються на С-входи всіх D-тригерів пристрою, запис інформації в які здійснюється по D-входах. При цьому, у кожному мікроциклі роботи пристрою у молодших n-розрядах відбувається додавання в повних однорозрядних (3) та неповних однорозрядних (4) суматорах вхідного коду (X_1, X_2, \dots, X_n) та вихідного коду ($Y_1, Y_n, Y_{(1)}, \dots, Y_{(m)}$), які запам'ятовуються в тригерах наскрізного переносу (5) та регістрі пам'яті (6). Відповідно, у молодших та старших (m+n)-розрядах пристрою відбувається додавання вихідного коду ($Y_1, Y_n, Y_{(1)}, \dots, Y_{(m)}$) з прямими входами відповідних неповних однорозрядних суматорів (5). У кінці циклу накопичення 2^m вхідних кодів (X_1, X_2, \dots, X_n), на вхід вхідної шини пристрою (1) подається (n+m) синхронізуючих імпульсів, які забезпечують зчитування та сумування всіх наскрізних переносів тригерів (5) і формування кінцевого вихідного коду накопиченої суми вхідних даних на виходах (n+m)-розрядного регістра пам'яті. У процесі зчитування вихідного коду накопиченої суми вхідних двійкових чисел на вхідній шині формується n-розрядний нульовий двійковий код, що реалізується за допомогою n-розрядного клапана на 2-входових логічних елементах І (що на фіг. 4 не показано).

Зменшення апаратної складності пристрою досягається шляхом застосування у першому та m-старших розрядах пристрою неповних однорозрядних суматорів з прямими входами, прямими виходами суми та наскрізних переносів [Давлетова А.Я., Николайчук Я.М., Однорозрядний напівсуматор. Патент України № 115861u (бюл. № 8, 2017 р., фіг. 2)], які містять три логічних елементи (фіг. 5).

Як повні однорозрядні суматори, у молодших розрядах пристрою, крім першого розряду, застосована структура повного однорозрядного суматора з прямими входами, прямим виходом суми, прямим входом та інверсним виходом наскрізного переносу, який з'єднаний з D-входом відповідного D-тригера регістра наскрізного переносу (5) [Грига В.М., Круліковський Б.Б., Возна Н.Я., Николайчук Л.М., Давлетова А.Я. Перемножувач потоків багаторозрядних даних. Патент на корисну модель № 142006u (бюл. № 9, 2020 р., (фіг. 4)], які містять шість логічних елементів (фіг. 6).

При цьому, кожен D-тригер регістра наскрізних переносів (5), крім запам'ятовування біта переносу, реалізує функцію інвертування вихідного інверсного сигналу наскрізного переносу однорозрядного повного суматора, що дозволяє зменшити його апаратну складність до шести логічних елементів.

Прямі виходи неповних і-их однорозрядних суматорів (4) з'єднані з D-входами і-их тригерів, прямі виходи яких з'єднані з відповідними входами (i+1)-их неповних одно розрядних суматорів.

Технічний результат. У результаті запропонованої структури накопичуючого двійкового суматора досягнуто зменшення апаратної складності та підвищення швидкодії у порівнянні з найближчим аналогом.

Часова складність відомого пристрою розраховується згідно виразу: $\tau_1 = (n + \log_2 m) \times (\tau_s + \tau_T)$, де: n, m - відповідна розрядність вхідних двійкових кодів та їх кількість; τ_s - затримка сигналів у однорозрядному повному двійковому суматорі ($\tau_s = 4-8$ мікротакти), τ_T - тривалість переключення RS-тригера ($\tau_T = 2$ мікротакти).

Таким чином загальна затримка сигналів при виконанні циклу сумування одного двійкового числа у відомому накопичуючому суматорі складає: $\tau_1 = (8+8) \times ((4 \div 8) + 2) = 96 \div 160$ мікротактів, а загальна кількість мікротактів накопичення 256-ох 8-ми розрядних двійкових чисел буде складати:

$$N_1 = m \times (n + \log_2 m) \times (\tau_s + \tau_T) = 24576 \div 40960 \text{ мікротактів.}$$

Апаратна складність відомого пристрою, в якому застосовуються повні одно-розрядні суматори, які містять 9-11 логічних елементів [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г, с. 154, рис. 1.112] при аналогічній розрядності вхідних даних та кількості сумувань відповідно складає:

5 $A_1=(n+m) \times (A_s+A_T)$,
де $A_s=(9-11)v$ - (вентилів) - апаратна складність класичного повного одно розрядного суматора, $A_T=2v$ - апаратна складність D-тригера. Тобто, при накопиченні в такому пристрої 256-ох 8-ми розрядних двійкових кодів апаратна складність відомого пристрою складає:
 $A_1=(8+8) \times ((9 \div 11)+2)=176 \div 208 (v)$.

10 Затримка сигналів в одному мікроциклі роботи запропонованого пристрою відповідно складає: $\tau_1 = \tau_p + \tau_{T1}$, де $\tau_p = 1v$, $\tau_{T1} = 2v$ - відповідні затримки сигналів у однорозрядному двійковому суматорі та D-тригерах регістра наскрізного переносу. Тобто, $\tau_1 = 3v$. Відповідно затримка сигналів формування суми на виході повного однорозрядного суматора складає: $\tau_s = 2v$, а тригера паралельного регістра пам'яті $\tau_T = 2v$, що складає загальну затримку

15 сигналів в одному мікроциклі роботи пристрою 4 мікротакти.
Швидкодія запропонованого пристрою, в кінці повного циклу роботи пристрою, наприклад при $n=8, m=8$, розраховується згідно виразу:

$$\tau_2 = \tau_T + 256 \times \tau_{NS} + (n+m) \times \tau_T,$$

20 де: $\tau_T=2v$ - затримка сигналів при скиданні всіх D-тригерів паралельного регістра пам'яті та регістра наскрізних переносів у нульовий стан на початку циклу сумування 256 (8-ми) розрядних двійкових чисел; τ_{NS} - затримка сигналів на 2 мікротакти, яка відбувається одночасно у повному однорозрядному суматорі (фіг. 6) та D-тригерах регістрів паралельного та наскрізного переносу складає: $(n+m) \times \tau_T = (8+8) \times 2 = 32v$, що відповідає затримці сигналів в кінці циклу сумування при зчитуванні запам'ятованих бітів у D-тригерах регістрів пам'яті (6) та наскрізних переносів (5).

25 Апаратна складність запропонованого пристрою розраховується згідно виразу:

$$A_2=(1+m) \times A_{S1} + n \times A_{S2} + 2(n+m)A_T,$$

де $A_{S1}=3v$ - апаратна складність неповного однорозрядного суматора, $A_{S2}=6v$ -апаратна складність повного однорозрядного суматора, $A_T = 2v$ - апаратна складність D-тригера.

30 Тобто, апаратна складність запропонованого пристрою при $n=8$ та $m=8$ складає:
 $A_2=(1+8) \times 3 + 8 \times 6 + 2 \times (8+8) = 27 + 48 + 32 = 107v$.

При накопиченні двійкових чисел іншої кількості та іншої розрядності апаратна складність розраховується аналогічно згідно виразу A_2 .

Отже підвищення швидкодії в одному мікроциклі роботи запропонованого пристрою у порівнянні з найближчим аналогом складає: $\frac{96}{4} = (24 \div 40)$ разів, а загальна затримка

35 сигналів у кінці повного циклу роботи пристрою складає:

$$\tau_2 = 2 + 256 \times 2 + (8+8) \times 2 = 2 + 512 + 32 = 546v \text{ (мікротактів)}.$$

Відповідно досягнуто зменшення апаратної складності запропонованого пристрою у порівнянні з найближчим аналогом у $K_A = \frac{104}{127} = (1,5 \div 1,8)$ разів. Відповідно, підвищення

швидкодії запропонованого накопичуючого суматора у порівнянні з найближчим аналогом складає $K_T = \frac{2436}{546} = (4,5 \div 7,5)$

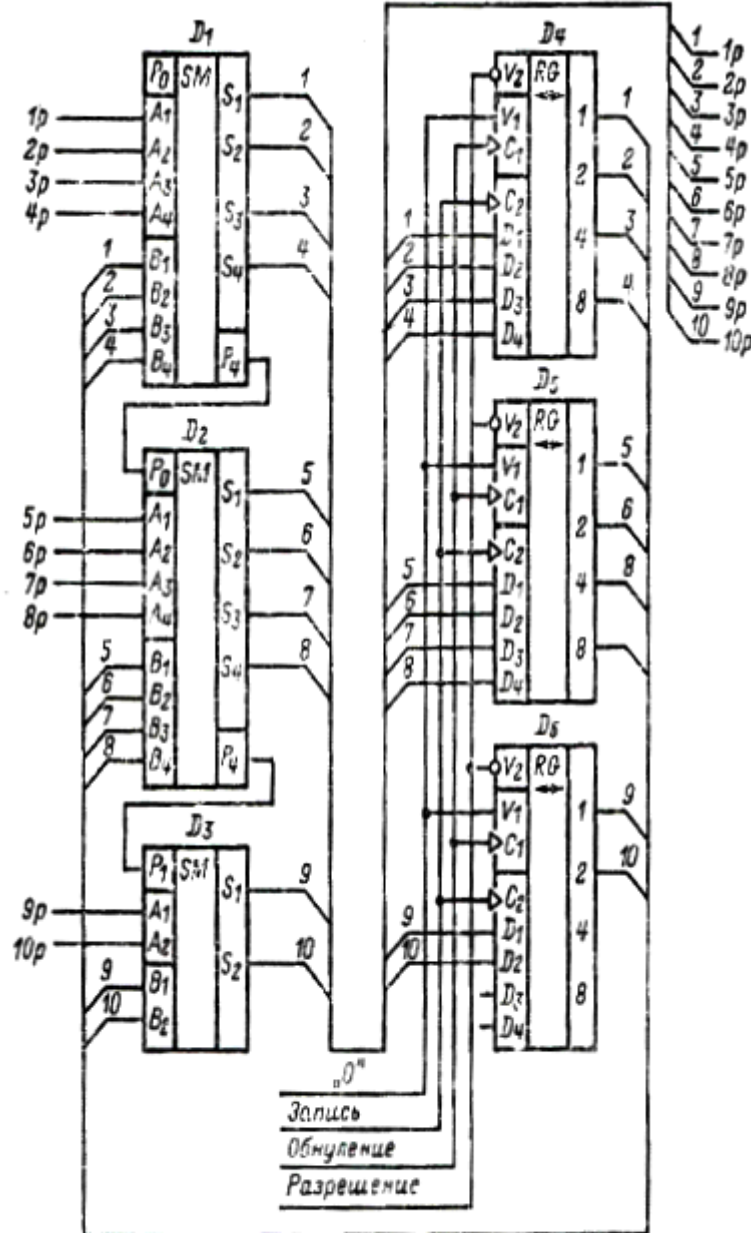
40 разів.

При зростанні кількості сумувань до 1024 8-ми розрядних двійкових чисел, підвищення швидкодії запропонованого пристрою практично зростає на два порядки, а апаратна складність зменшується у два рази.

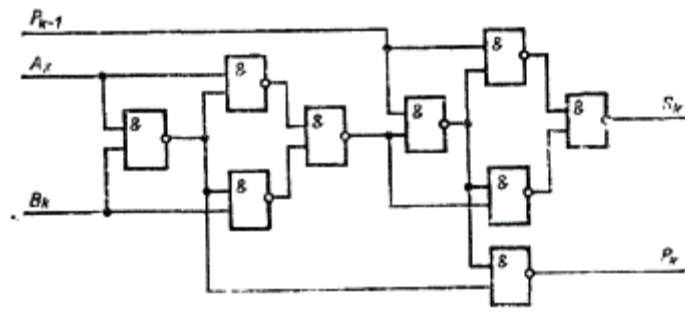
45 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Накопичуючий двійковий суматор, що містить $(n+m)$ -розрядний накопичуючий суматор, n -молодших входів якого з'єднані з першими n -входами пристрою, виходи накопичуючого суматора з'єднані з відповідними входами паралельного регістра пам'яті, прямі виходи якого з'єднані з другими входами накопичуючого суматора і відповідними виходами пристрою, вхід синхронізації паралельного регістра пам'яті з'єднаний з першим входом синхронізації пристрою та С-входами всіх D-тригерів паралельного регістра пам'яті, який **відрізняється** тим, що додатково введені D-тригери регістра наскрізних переносів, С-входи яких додатково з'єднані з першою вхідною шиною синхронізації, R-входи додатково з'єднані між собою та R-входами тригерів паралельного регістра пам'яті і другою додатково введеною шиною пристрою, D-входи

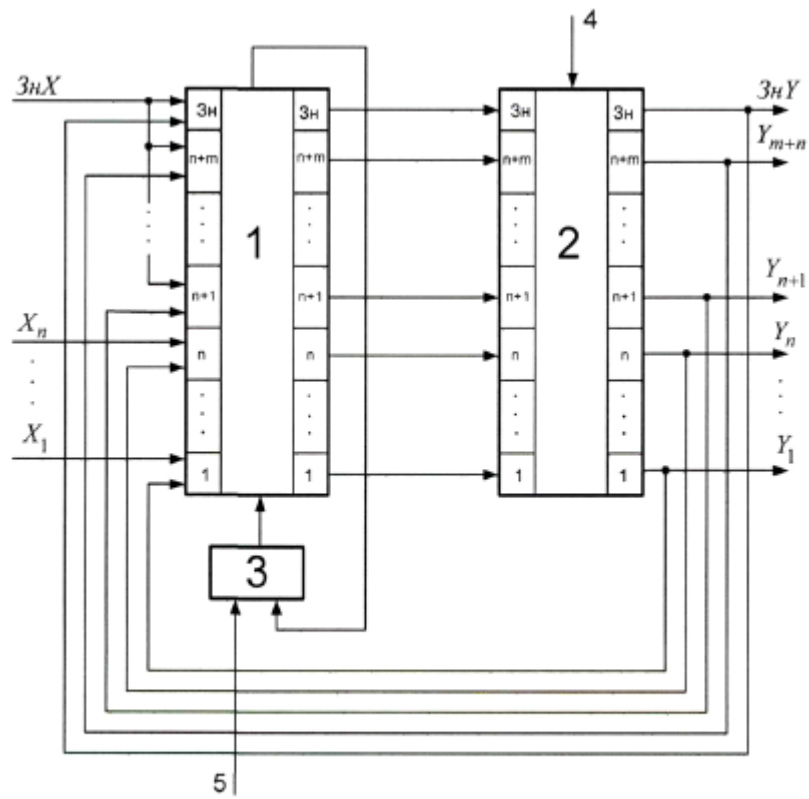
тригерів реєстра наскрізних переносів молодших розрядів пристрою додатково з'єднані з інверсними виходами наскрізних переносів і-их однорозрядних двійкових суматорів, інверсні виходи D-тригерів додатково з'єднані з прямими входами переносу (i+1)-их двійкових однорозрядних суматорів, а наймолодший та старші m-розряди накопичуючого суматора пристрою додатково містять неповні однорозрядні і-ті суматори, прямі виходи яких додатково з'єднані з D-входами тригерів (i+1)-их розрядів реєстра наскрізних переносів пристрою.



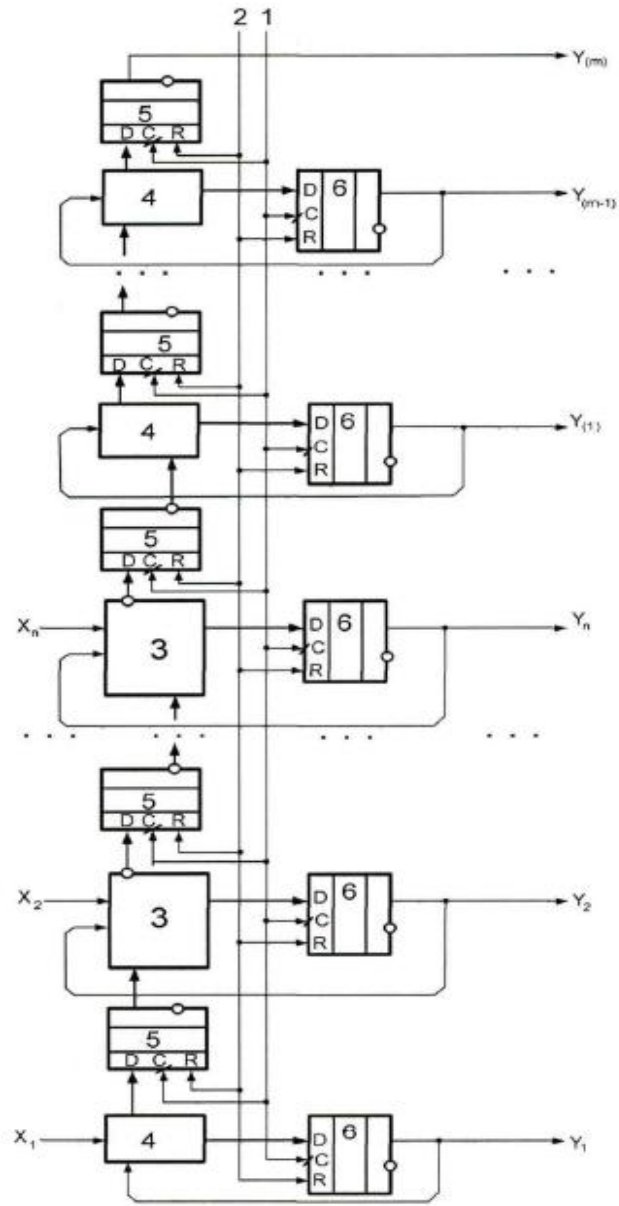
Фиг. 1



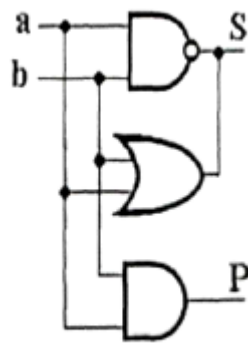
Фиг. 2



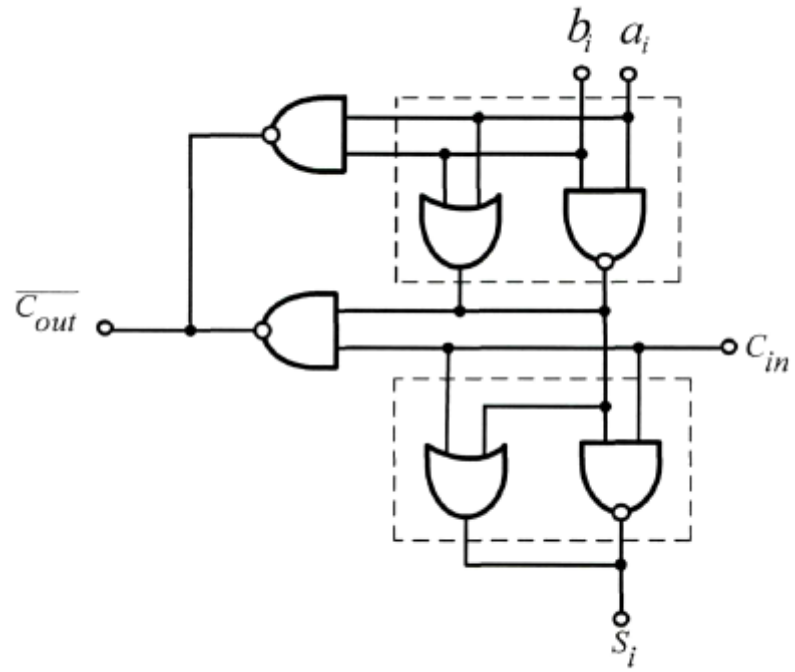
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6