

КОНВЕЕРНАЯ РЕАЛИЗАЦИЯ НА FPGA СУММАТОРОВ И УМНОЖИТЕЛЕЙ

Волошин Д.Н.¹⁾, Зинченко Ю.Е.²⁾, Войтов Г.В.³⁾

Донецкий национальный технический университет

¹⁾ магистр; ²⁾ к.т.н., доцент; ³⁾ аспирант

I. Постановка проблемы

Одним из перспективных направлений исследований является конвейеризация FPGA-проектов, что позволяет существенно повышать быстродействие по сравнению с традиционным проектированием [1]. Так как арифметические схемы занимают значительную часть среднестатистического вычислительного устройства, то построение быстродействующих структур таких схем играет ключевую роль [2-3].

II. Цель работы

Целью работы является разработка и исследование конвейерных схем и методики проектирования сумматоров и умножителей, ориентированных на реализацию на FPGA.

III. Реализация конвейерного сумматора и умножителя

Конвейерный сумматор строится путем добавления в классическую схему сумматора ступеней (уровней) синхронных триггерных элементов (FF) так, как показано на рис.1 (синхросигналы не показаны, но подразумеваются [4]).

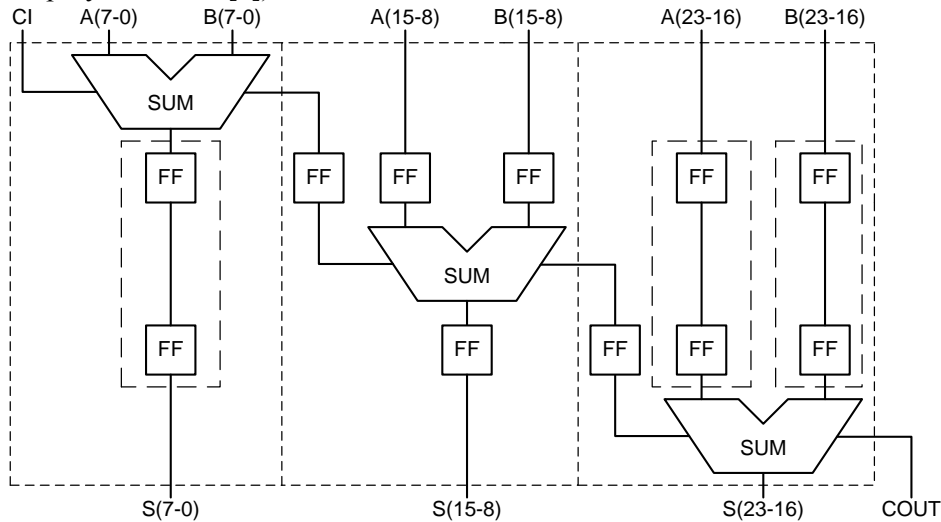


Рисунок 1 – Схема конвейерного сумматора

Так как матричный умножитель также строится на основе сумматоров [2], то его конвейерная модификация может быть построена по аналогичной схеме (см. рис. 2).

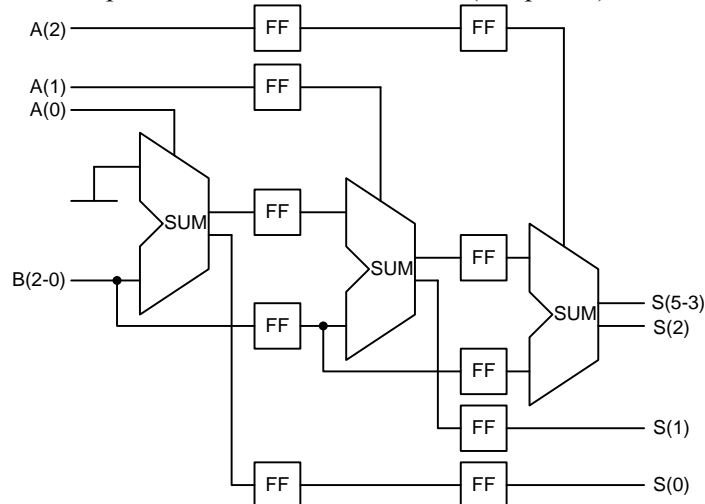


Рисунок 2 – Схема конвейерного умножителя

В таблицах 1 и 2 приведены сравнительные результаты реализации предложенных структур на FPGA семейства Virtex6 в среде Xilinx ISE 12.4 (www.xilinx.com) в зависимости от их разрядности и числа ступеней.

Таблица 1

Разрядность, n	Число ступеней, m	Комбинационный		Конвейерный	
		Затраты, LUTs	Задержка, ps	Затраты, LUTs	Задержка, ps
512	2	512	9189	513	5151
	4			1539	2975
	8			1799	1887
256	2	256	4837	257	2975
	4			771	1887
	8			903	1343
	16			975	1071
	32			1023	935

Таблица 2

Разрядность, n	Комбинационный		Конвейерный		Прирост аппаратных затрат
	Задержка, ps	Затраты, LUTs	Задержка, ps	Затраты, LUTs	
8	7755	64	935	90	41%
16	16144	256	1071	314	23%
32	32824	1024	1343	1146	12%

На основе анализа результатов синтеза можно сделать следующие выводы:

- быстродействие схемы при конвейеризации зависит от числа ступеней конвейера и соотношения быстродействия комбинационной и регистровой частей и стремиться к значению t/m , где t – время работы исходной схемы, m – число ступеней конвейера;
- прирост аппаратных затрат на реализацию конвейерного метода обработки от уровня к уровню зависит от соотношения затрат на реализацию комбинационной и регистровой частей и стремиться к нулю;
- конвейеризация операции суммирования требует значительно больших затрат запоминающих элементов и даёт меньший прирост по быстродействию по сравнению с конвейерным вариантом умножения;
- использование предложенных схем хотя и приводит к дополнительным аппаратным затратам, но обеспечивает повышение быстродействия операций суммирования и умножения в 2-3 раза.

Выводы

В данной работе были предложены структуры конвейерных схем сумматоров и матричных умножителей. Проведенные исследования показали, что за счет использования дополнительных ресурсов FPGA может быть существенно повышено быстродействие арифметических устройств.

Предложенные в работе структур могут быть использованы при построении более сложных устройств кодирования, шифрования, аппаратной сортировки и архивации, цифровой обработки сигналов.

Список использованных источников

1. Keshab K. Parhi. VLSI Digital Signal Processing Systems: Design and Implementation. John Wiley & Sons, 1999. ISBN: 0-471-24186-5. Chapter 2: Pipelining and Parallel Processing.
2. Alex Panato, Sandro Silva, Flavio Wagner, Marcelo Johan, Ricardo Reis, Sergio Bampi. Design of Very Deep Pipelined Multiplier for FPGAs. Proceedings of the conference on Design, automation and test in Europe - Volume 3. IEEE Computer Society Washington, DC, USA ©2004. ISBN:0-7695-2085-5.
3. Mathew Wojko. Pipelined Multipliers and FPGA Architecture. FPL '99 Proceedings of the 9th International Workshop on Field-Programmable Logic and Applications. Springer-Verlag London, UK ©1999. ISBN:3-540-66457-2.
4. Oswaldo Cadenas, Graham Megson. A clocking technique for FPGA pipelined designs. Journal of System Architecture 50 (2004) 687-696.