



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **75137** (13) **U**
(51) МПК
G06F 7/72 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2012 04832</p> <p>(22) Дата подання заявки: 17.04.2012</p> <p>(24) Дата, з якої є чинними права на корисну модель: 26.11.2012</p> <p>(46) Публікація відомостей про видачу патенту: 26.11.2012, Бюл.№ 22</p>	<p>(72) Винахідник(и): Яцків Василь Васильович (UA), Саченко Анатолій Олексійович (UA), Су Цзюнь (CN)</p> <p>(73) Власник(и): ТЕРНОПІЛЬСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ, вул. Львівська, 11, м. Тернопіль, 46020 (UA)</p>
--	---

(54) ПРИСТРІЙ ДЛЯ ПЕРЕТВОРЕННЯ ПАРАЛЕЛЬНОГО ДВІЙКОВОГО КОДУ В КОД СИСТЕМИ ЗАЛИШКОВИХ КЛАСІВ

(57) Реферат:

Пристрій для перетворення паралельного двійкового коду в код системи залишкових класів містить вхідний n розрядний регістр зберігання даних, шифратори та суматори по відповідному модулю.

UA 75137 U

Корисна модель належить до засобів обчислювальної техніки і може бути використана в процесорах оброблення даних, які працюють в системі залишкових класів.

Відомий аналог - пристрій для формування залишку по заданому модулю [1] містить Т блоків формування часткових залишків з інформаційним входом на n розрядів, входом 5 первинних залишків на $(n - p - 1) \cdot (p + 1)$ розряд, входом ініціалізації, синхровхід і виходом на $(p + q)$ розрядів відповідно, два паралельних $(p + 2) - i$ $(p + 1) -$ розрядних регістра з синхровхід, входом і виходом даних відповідно, мультиплексор з двома входами даних, керуючим входом і виходом, компаратор з двома входами і виходом, блок віднімання з входами зменшуваного і від'ємника, а також з виходом різниці.

Недоліком даного аналога є низька швидкодія формування залишку за рахунок використання блоків попереднього формування часткових залишків.

Інший відомий аналог - пристрій для перетворення двійкового коду в код системи залишкових класів [2], який містить вхідний регістр, комутатор, мультиплексор, схему корекції, два суматора по модулю, два регістра для фіксації проміжних результатів додавання по 15 модулях, три вихідних регістра.

Недоліком такого пристрою є обмежена швидкодія перетворення двійкового коду в код системи залишкових класів, яка обумовлена тим, що перетворення відбувається послідовно.

Відомий найближчий аналог - перетворювач двійкового коду в код системи залишкових класів [3], який містить вхідний регістр, схему управління, шифратори та суматори по модулю, 20 виходи регістрів з'єднані з входами схеми управління, інші входи схеми управління з'єднані з входами формувачів коефіцієнтів, виходи схеми управління з'єднані з шифраторами, входи суматорів по модулю під'єднанні до виходів шифраторів.

Недоліком (найближчого аналога) перетворювача двійкового коду в код системи залишкових класів є обмежена швидкість перетворення двійкового коду в код системи залишкових класів, яка обумовлена тим, що перетворення відбувається послідовно. У першому 25 такті на один з входів елемента "I" надходить сигнал, який відповідає вазі нульового розряду, а на другий вхід сигнал надходить у випадку, коли в розряді a_0 знаходиться одиниця. З виходу елемента "I" на вхід суматорів через схеми шифраторів поступають двійково-кодовані

результати наступних виразів: $|2^{\circ}|_{p_1}; |2^{\circ}|_{p_2}; |2^{\circ}|_{p_n}$. Для повного перетворення двійкового числа в систему залишкових класів необхідно здійснити $k+1$ додавання, де k - розрядність двійкового 30 числа.

В основу корисної моделі поставлена задача вдосконалення пристрою для перетворення паралельного двійкового коду в код системи залишкових класів шляхом формування коефіцієнтів перетворення в шифраторах та їх паралельного додавання в багаторозрядних 35 пірамідальних суматорах, що дозволяє підвищити швидкодію виконання перетворення двійкового коду в код системи залишкових класів.

Поставлена задача вирішується тим, що в пристрої для перетворення паралельного двійкового коду в код системи залишкових класів, що містить вхідний n розрядний регістр зберігання даних, шифратори та суматори по відповідному модулю, виходи шифраторів з'єднані 40 з входами суматорів по модулю, згідно з корисною моделлю, вводиться те, що відсутня схема керування, а залишки по заданому модулю від основи два у відповідному степені формуються в неповних шифраторах, входи яких підключені до виходів регістра, виходи шифраторів підключені до входів пірамідального суматора по заданих модулях, код системи залишкових класів формується на виходах пірамідальних суматорів по відповідних модулях.

Корисна модель ілюструється кресленням, де на фіг.1 зображена структурна схема пристрою: 1 - вхідний паралельний регістр; 2 - неповні шифратори; 3 - пірамідальні суматори по 45 заданому модулю. На фіг. 2 зображена структурна схема неповного шифратора: a_i - значення розряду двійкового числа; c_i - двійковий код коефіцієнтів. На фіг. 3 зображена структурна схема пірамідального суматора по модулю: 1 - суматор по модулю; c_i - значення i - го коефіцієнта; b_i - код системи залишкових класів.

Пристрій працює наступним чином. Двійковий код, який підлягає перетворенню надходить на вхідний регістр 1, з виходу регістра паралельний двійковий код надходить на входи неповних шифраторів (фіг. 2), при наявності в j розряді двійкового коду одиниці на виході шифратора 2 50 формується значення $c_{ij} = (2^j) \bmod p_i$, де p_i - модуль системи числення, $i = \overline{1, n}$, n - кількість модулів, з виходу неповних шифраторів значення c_{ij} надходять на вхід пірамідальних суматорів (фіг. 3), які працюють по модулях p_i . На виходах пірамідальних суматорів формується код системи залишкових класів по заданих модулях. Виходи пірамідальних суматорів 3 є виходами пристрою.

Розроблений пристрій реалізований на програмованій логічній інтегральній схемі (ПЛІС) і може бути використаний для введення даних, представлених в двійковому коді, в процесори оброблення інформації, які працюють в системі залишкових класів і забезпечують високу швидкість виконання арифметичних операцій в системах реального часу.

5 Джерела інформації:

1. Захаров В. М., Столов Е. Л., Шалагин С. В. Устройство для формирования остатка по заданному модулю / Патент RU № 2421781, кл. МПК G06F 7/72, H03M 7/18, опубліковано 20.06.2011г.

10 2. Любомудров А.А. Устройство для преобразования двоичного кода в код системы остаточных классов (СОК) / Патент RU № 2413279, кл. МПК G06F 7/72, H03M 7/18, опубліковано 27.02.2011г.

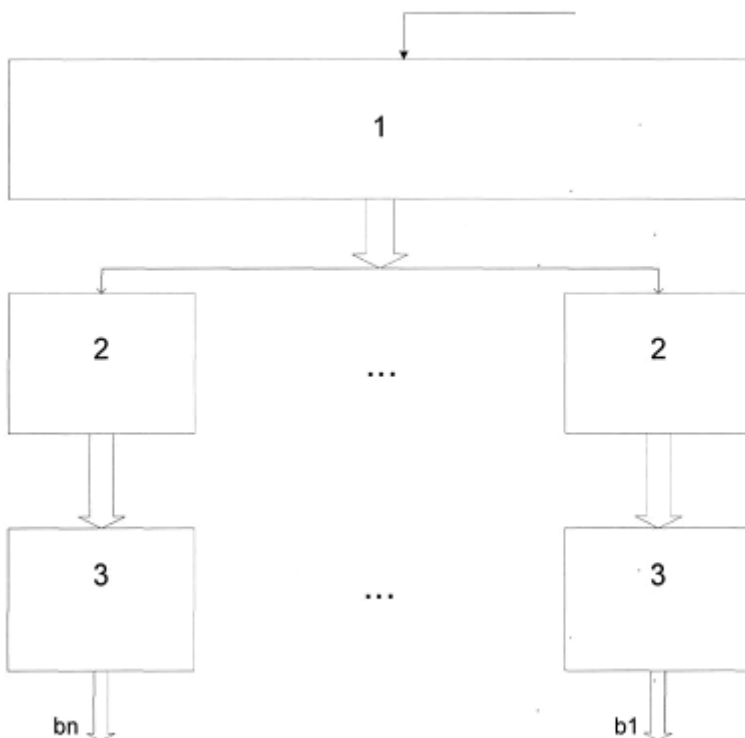
3. Червяков Н. И., Сахнюк П. А., Шапошников А. В., Ряднов С. А. Модулярные параллельные вычислительные структуры нейропроцессорных систем // Под. ред. Н.И. Червякова. - М.: ФИЗМАТ ЛИТ, 2003. -288 с.

15

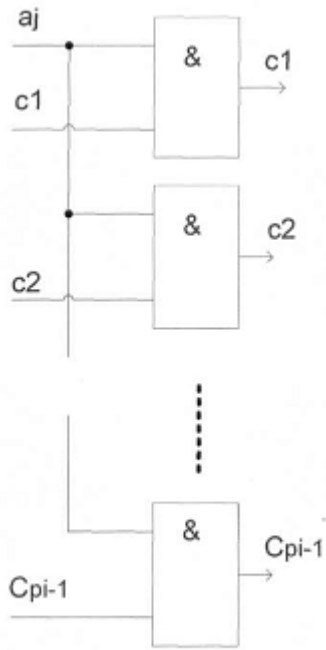
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для перетворення паралельного двійкового коду в код системи залишкових класів, що містить вхідний n розрядний регістр зберігання даних, шифратори та суматори по відповідному модулю, виходи шифраторів з'єднані з входами суматорів по модулю, який **відрізняється** тим, що відсутня схема керування, а залишки по заданому модулю від основи два у відповідному степені формуються в неповних шифраторах, входи яких підключені до виходів регістра, виходи шифраторів підключені до входів пірамідального суматора по заданих модулях, код системи залишкових класів формується на виходах пірамідальних суматорів по відповідних модулях.

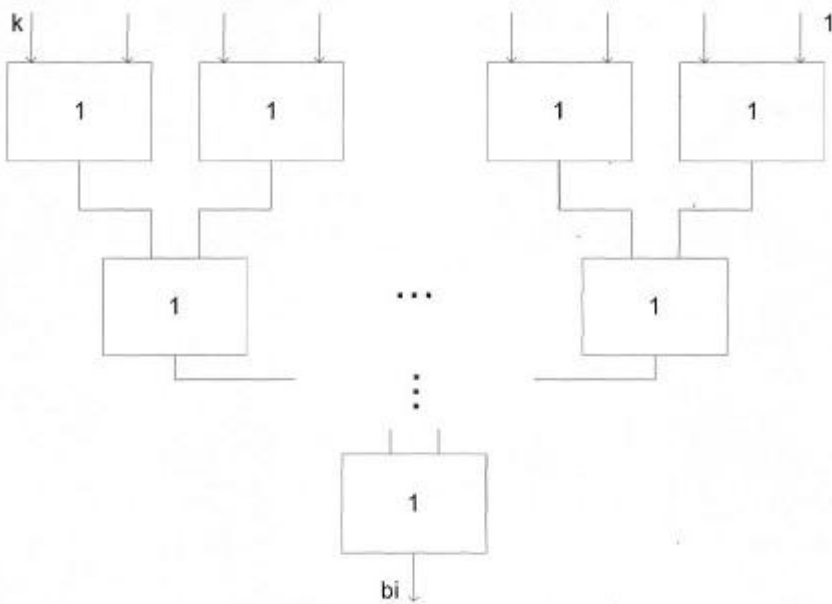
25



Фиг. 1



Фиг. 2



Фиг. 3

5