



УКРАЇНА

(19) **UA** (11) **76622** (13) **U**
(51) МПК
G06F 17/15 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2012 07741</p> <p>(22) Дата подання заявки: 25.06.2012</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.01.2013</p> <p>(46) Публікація відомостей про видачу патенту: 10.01.2013, Бюл.№ 1</p>	<p>(72) Винахідник(и): Албанський Іван Богданович (UA), Николайчук Ярослав Миколайович (UA), Волинський Орест Ігорович (UA)</p> <p>(73) Власник(и): Албанський Іван Богданович, вул. Вишнева, 9, с. Кобилля, Збаразький р-н, Тернопільська обл., 47334 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Волинський Орест Ігорович, вул. Вагилевича, 6/2, м. Надвірна, Івано- Франківська обл., 78400 (UA)</p>
---	--

(54) ЦИФРОВИЙ АВТОКОРЕЛЯТОР

(57) Реферат:

Цифровий автокорелятор, в якому другий вихід генератора імпульсів з'єднаний з входами стирання регістрів пам'яті накопичувальних суматорів і синхронізуючим виходом зчитування автокорелятора, додатково на виході аналого-цифрового перетворювача формують паралельні коди базису Хаара у вигляді кодів залишків системи залишкових класів по взаємно простих модулях p_1, p_2, \dots, p_k , які надходять на відповідні входи блоку пам'яті, виходи якого по кожному p_i модулю перемножуються у додатково введених вентильних матрицях по кожному модулю p_i у кожному каналі автокорелятора з відповідними текучими кодами Хаара-Крестенсона, які формують на виходах аналого-цифрового перетворювача, вихідні коди вентильних матриць перемноження по модулю p_i підсумовують у додатково введених вентильних матрицях накопичувальних суматорів з кодами, які накопичують у відповідних регістрах пам'яті кожного каналу, виходи яких у кожному каналі підключені до додатково введених дешифраторів, виходи яких є виходами автокорелятора.

UA 76622 U

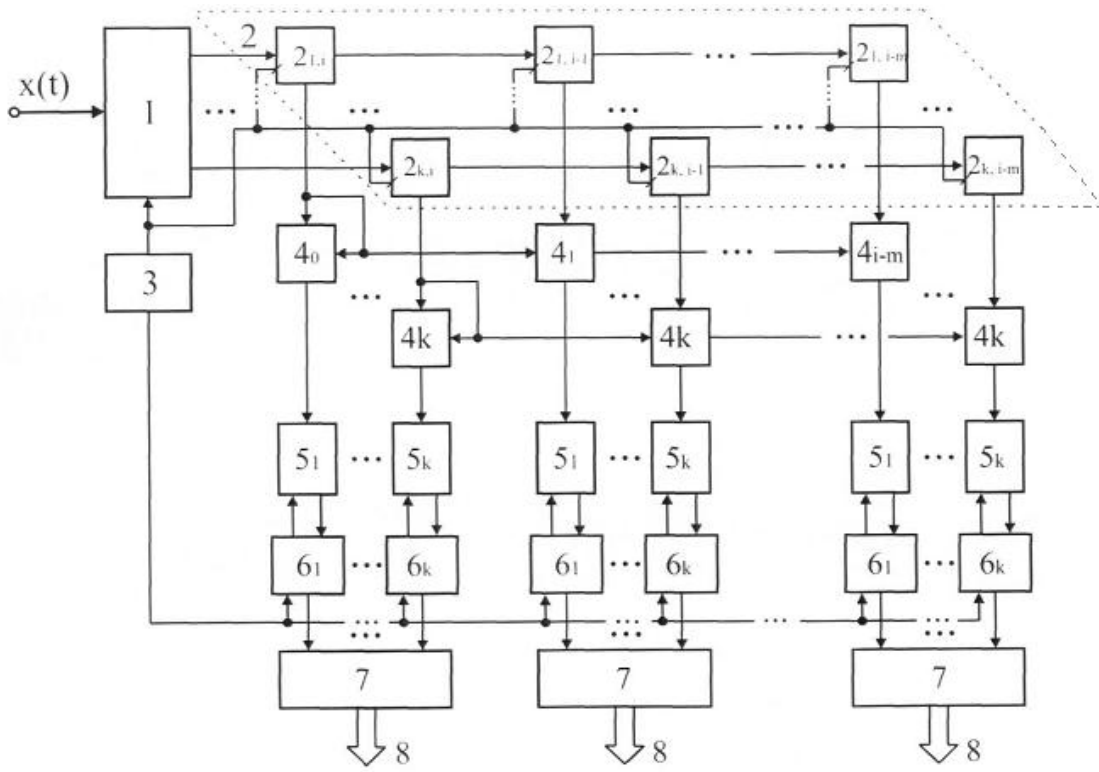


Fig. 1

Корисна модель належить до галузі обчислювальної техніки і призначена для статистичного аналізу випадкових процесів шляхом обчислення коваріаційної функції, згідно алгоритму

$$K_{xx}(j) = \frac{1}{N} \sum_{i=0}^{N-1} x_i \cdot x_{i-j}, \text{ де } N - \text{об'єм вибірки, } X_i, X_{i-j}, \text{ відповідно текучі та затримані на } j \text{ тактів у}$$

пам'яті цифрові відліки вхідних аналогових сигналів на виході аналого-цифрового перетворювача, $j=1,2,3/\dots M$, де M число обчислювальних значень автоковаріаційної функції.

Відомий аналог - багатоканальний цифровий корелятор - призначений для обчислення автокореляційної функції на основі дискретів центрованих процесів, який містить синхронізатор, багатокаскадний регістр зсуву, накопичувачі, часоімпульсний перетворювач аналог-код [А.С. СССР № 337784, кл. G06F15/34. - Бюллетень № 15,-1972].

Недоліком даного пристрою є низька швидкодія обумовлена тим, що пристрій містить часоімпульсний перетворювач "аналог-код", а операція накопичення суми добутоків текучих та зміщених кодів виконується шляхом унітарного сумування кодів, які зсуваються у багатокаскадному регістрі зсуву.

Відомий прототип - цифровий автокорелятор, який містить M блоків множення, виходи яких з'єднані з входами відповідних суматорів, аналого-цифровий перетворювач, інформаційний вхід якого є входом автокорелятора, а вихід з'єднаний з інформаційним входом блока пам'яті, керуючі входи аналого-цифрового перетворювача (АЦП) і блока пам'яті об'єднані і підключені до виходу генератора імпульсів [Л.С. СССР № 968819 кл. G06F15/336. - Бюллетень № 39.-1982].

Недоліком цифрового автокорелятора низька швидкодія обумовлена тим, що АЦП формує паралельні K - розрядні коди двійкової системи числення теоретико-числового базису Радемахера, при цьому у матричному перемножувачі двійкових чисел за схемою Брауна [Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем: /учебник для вузов/. - ПИТЕР. - 2004. - С. 353.], який формується на базі $K \cdot K$ матриці тривходових суматорів, виникає $3K$ переносів, причому кожен тривходовий суматор формується не менше ніж з трьох послідовно включених логічних елементів [Майоров С.А. Принципы организации цифровых машин/ С.А. Майоров, Г.И. Новиков -Л.: Машиностроение, 1974. - с. 144, рис. 4.36] плюс один такі переключення логічних елементів "1" на входах суматорів, тобто, загальний час спрацювання K - розрядного матричного перемножувача двійкових чисел визначається згідно виразу $3K \cdot \tau(\Sigma) + 1$.

Наприклад:

- при розрядності АЦП $K=4$ час спрацювання матричного перемножувача буде рівний $\tau_{\Pi} = 4 \cdot 9 + 1 = 37v$ тактів, де v - час спрацювання мікроелектронного вентиля;

- при розрядності АЦП $K=8$ відповідно $\tau_{\Pi} = 8 \cdot 9 + 1 = 73v$.

Крім того отримані $2K$ - розрядні двійкові коди на виході перемножувача сумують в двійкових $2K + \log N$ - розрядних накопичувальних суматорах, в яких також виникають наскрізні переноси.

При цьому час спрацювання накопичувальних суматорів з врахуванням регістра пам'яті на D -тригерах в їх структурі, розраховується згідно виразу $\tau_{\Sigma} = (2K + \log_2 N) \cdot 3v$, тобто при $K=4$ і $K=8$ і об'ємі вибірки $N=256$ час спрацювання накопичувального суматора буде рівний відповідно $(2 \cdot 4 + 8) \cdot 3v + 1v = 49v$ та $(2 \cdot 8 + 8) \cdot 3v + 1v = 43v$.

Отже, сумарний час виконання операції перемноження та сумування двійкових кодів у відомому кореляторі з врахуванням спрацювання D -тригерів регістра зсуву пам'яті при $K=4$ та $K=8$ буде рівний відповідно:

$$\tau_{\Pi} + \tau_{\Sigma} = 37v + 49v + 1v = 87v \text{ та } \tau_{\Pi} + \tau_{\Sigma} = 73v + 73v + 1v = 147v.$$

З урахуванням тривалості спрацювання АЦП відповідно:

$$\tau_{\text{автокор}} = \tau_{\text{АЦП}} + (2 \cdot 4 + 8) \cdot 3v + 1v = 49v,$$

$$\tau_{\text{автокор}} = \tau_{\text{АЦП}} + (2 \cdot 8 + 8) \cdot 3v + 1v = 73v,$$

де $\tau_{\text{АЦП}} = \tau_{\text{компл.}} + \tau_{\text{ЛЕ}} = 10v + 1v$. Тобто при $K=4$ і $K=8$:

$$\tau_{\text{автокор}} = 11v + 87v = 98v, \quad \tau_{\text{автокор}} = 11v + 147v = 158v.$$

В основу корисної моделі поставлена задача вдосконалення цифрового автокорелятора шляхом підвищення швидкодії та розширення функціональних можливостей, який містить M блоків множення, виходи яких з'єднані з входами відповідних суматорів, аналого-цифровий перетворювач, інформаційних вхід якого с входом автокорелятора, а вихід з'єднаний з інформаційним входом блока пам'яті, керуючі входи аналого-цифрового перетворювача і блока пам'яті об'єднані і підключені до першого виходу генератора імпульсів, другий додатково

введений вихід генератора імпульсів з'єднаний з входами стирання регістрів пам'яті накопичувальних суматорів і синхронізуючим виходом зчитування авто корелятора, додатково на виході аналого-цифрового перетворювача формуються паралельні коди базису Хаара у вигляді кодів залишків системи залишкових класів по взаємно простих модулях p_1, p_2, \dots, p_k , які поступають на відповідні входи блоку пам'яті, виходи якого по кожному p_i модулю перемножуються згідно корисної моделі у додатково введених вентилях матрицях по кожному модулю p_i у кожному каналі автокорелятора з відповідними текучими кодами Хаара-Крестенсона, які формуються на виходах аналого-цифрового перетворювача, вихідні коди вентилях матриць перемноження по модулю p_i сумуються у додатково введених вентилях матриць накопичувальних суматорів з кодами, які накопичуються у відповідних регістрах пам'яті кожного каналу, виходи яких у кожному каналі підключені до додатково введених дешифраторів, виходи яких є виходами автокорелятора.

Поставлена задача вирішується тим, що кодування та цифрове опрацювання цифрових значень вхідних сигналів у теоретико-числовому базисі (ТЧБ) Хаара-Крестенсона. Тобто в АЦП паралельного типу відсутній шифратор, який перетворює код на виході логічних елементів "Виключне АБО" у двійковий код базису Радемахера. При цьому у матричному шифраторі Хаара-Крестенсона відбувається формування паралельних кодів Хаара залишків по взаємно простих модулів системи залишкових класів базису Крестенсона. Такий принцип кодування інформації в автокореляторі дозволяє виконувати модульні операції множення і сумування за один такт у вентилях матрицях. Таким чином запропоноване рішення забезпечує наступну оцінку швидкодії автокорелятора згідно виразу:

$$\tau_{\text{автокор}} = \tau_{\text{АЦП}} + \tau_{\text{КМ}} + \tau_{\text{М}} + \tau_{\text{Р}} + \tau_{\Sigma} + \tau_{\text{Т}} + \tau_{\text{Н}},$$

де $\tau_{\text{АЦП}} = \tau_{\text{К}} + \tau_{\text{ЛЕ}}$;

$\tau_{\text{К}} = 10\tau$ - тривалість переключення компаратора;

$\tau_{\text{ЛЕ}} = 1\tau$ - тривалість переключення логічного елемента;

$\tau_{\text{КМ}} = 1\tau$ - тривалість переключення кодової матриці;

$\tau_{\text{М}} = 1\tau$ - тривалість переключення D-тригера пам'яті корелятора;

$\tau_{\text{Р}} = 2\tau$ - тривалість переключення вентилях матриці перемноження по модулю P_i ;

$\tau_{\Sigma} = 2\tau$ - тривалість переключення вентилях матриці сумування по модулю P_i ;

$\tau_{\text{Т}} = 1\tau$ - тривалість переключення D-тригера регістра пам'яті накопичувального суматора;

$\tau_{\text{Н}} = 2\tau$ - тривалість переключення вентилях матриці шифратора.

Таким чином сумарний час переключення автокорелятора згідно корисної моделі буде рівний $\tau_{\text{автокор}} = 20\tau$, тобто у 5-7 разів перевищує швидкодію прототипу.

Корисна модель ілюструється кресленнями (Фіг. 1), де показано структурну схему автокорелятора, на Фіг. 2 представлена структура аналого-цифрового перетворювача з матричним шифратором для формування вихідних кодів Хаара-Крестенсона, Фіг. 3 ілюструє структуру вентилях матриці перемноження по модулю 11, Фіг. 4 ілюструє приклад вентилях матриці сумування по модулю 11.

Цифровий автокорелятор включає в себе: 1 - АЦП паралельного типу з вихідним кодом базису Хаара, 2 - блок пам'яті, 3 - генератор імпульсів, 4 - вентилях матриці перемноження по модулю, 5 - вентилях матриці сумування по модулю, 6 - регістр пам'яті, 7 - шифратор.

Автокорелятор працює наступним чином.

На початку циклів визначення значень автоковаріаційної функції на другому виході генератора імпульсів 3 формується імпульс, який скидає в нуль D-тригери регістрів пам'яті. Кожен N циклів, де N - об'єм вибірки, сигналами першого виходу генератора імпульсів 3 тактується робота АЦП 1 і виконуються зсуви інформації в пам'яті автокорелятора 2, при цьому в кожному циклі виконується перемноження текучих та зсунутих кодів Хаара по модулю P_i у всіх M каналах автокорелятора, які підсумовуються по модулю P_i в матричних суматорах 5 і накопичуються в регістрах пам'яті 6. В кінці N циклів роботи автокорелятора на виході шифраторів 7 формуються двійкові коди базису Радемахера обчислених значень коваріаційної функції $K_{xx}(j)$, зчитування яких синхронізується імпульсами генератора імпульсів 3 і відбувається стирання інформації, накопиченої в попередньому циклі в регістрах пам'яті 6.

Приклади розрахунку параметрів автокорелятора при різній розрядності АЦП K, числа каналів автокорелятора M і об'ємі вибірки N:

Приклад 1

Вихідні дані автокорелятора $K=4$, $M=16$, $N=256$. Шукаємо набір взаємно простих модулів (P_1, P_2, \dots, P_k) добуток яких найменше перевищує суму добутоків максимальних значень $x_i \cdot x_{i-j}$,

тобто $\prod_{i=1}^k P_i \geq \sum_{i=1}^{256} x_i \max \cdot x_{i-j} \max$. Для нашого прикладу $x_i \max = 2^4 - 1 = 15$, отже $\sum_{i=1}^{256} 15^2 = 57600$.

5 Вибираємо набір наступних взаємно простих модулів: $p_1=11$, $p_2=13$, $p_3=15$, $p_4=31$. Їх добуток рівний $P=11 \cdot 13 \cdot 15 \cdot 31=66495$, що задовольняє діапазон кодування чисел в системі залишкових класів. Структура аналого-цифрового перетворювача для формування вихідних кодів Хаара-Крестенсона для обраного набору модулів має вигляд показаний на Фіг. 2.

10 На Фіг. 3 показана структура вентильної матриці перемноження по модулю 11, де точка перетину двох шин відповідає двоходовому логічному елементу "I-HE". На Фіг. 4 показаний приклад вентильної матриці сумування по модулю 11.

Приклад 2

Вихідні дані автокорелятора $K=8$, $M=16$, $N=256$. Діапазон кодування чисел в кожному каналі автокорелятора $255^2 \cdot 256^2=16646400$.

15 Вибраний набір модулів: $p_1=25$, $p_2=27$, $p_3=28$, $p_4=29$, $p_5=31$. Їх добуток рівний $P=25 \cdot 27 \cdot 28 \cdot 29 \cdot 31=16991100$, що задовольняє умову однозначного кодування результатів обчислень у автокореляторі в системі залишкових класів базису Крестенсона.

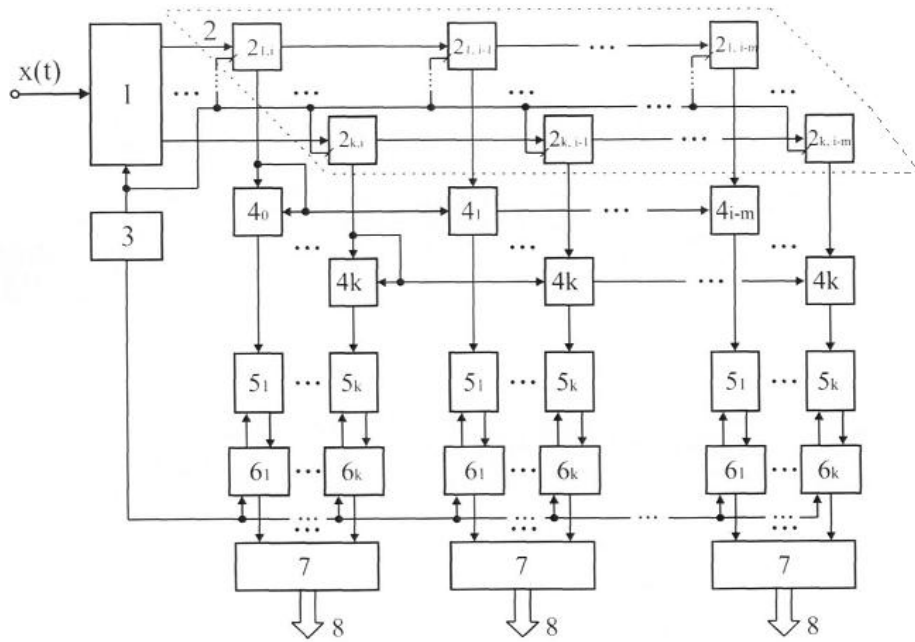
20 В шифраторах автокорелятора 7 виконується перетворення кодів залишків базису Хаара у двійкові коди базису Радемахера та перетворення їх з системи залишкових класів у двійкову систему з відкиданням 8-ми молодших розрядів як операції ділення на N згідно формули обчислення коваріаційної функції.

Таким чином, наприклад, при тактовій частоті спрацювання мікроелектронних вентилів 100 МГц тактова частота виконання операції додавання та множення, у відомому кореляторі буде приблизно у 100 разів нижчою, що підтверджує низьку швидкодію відомого корелятора, який працює у двійковій системі числення базису Радемахера.

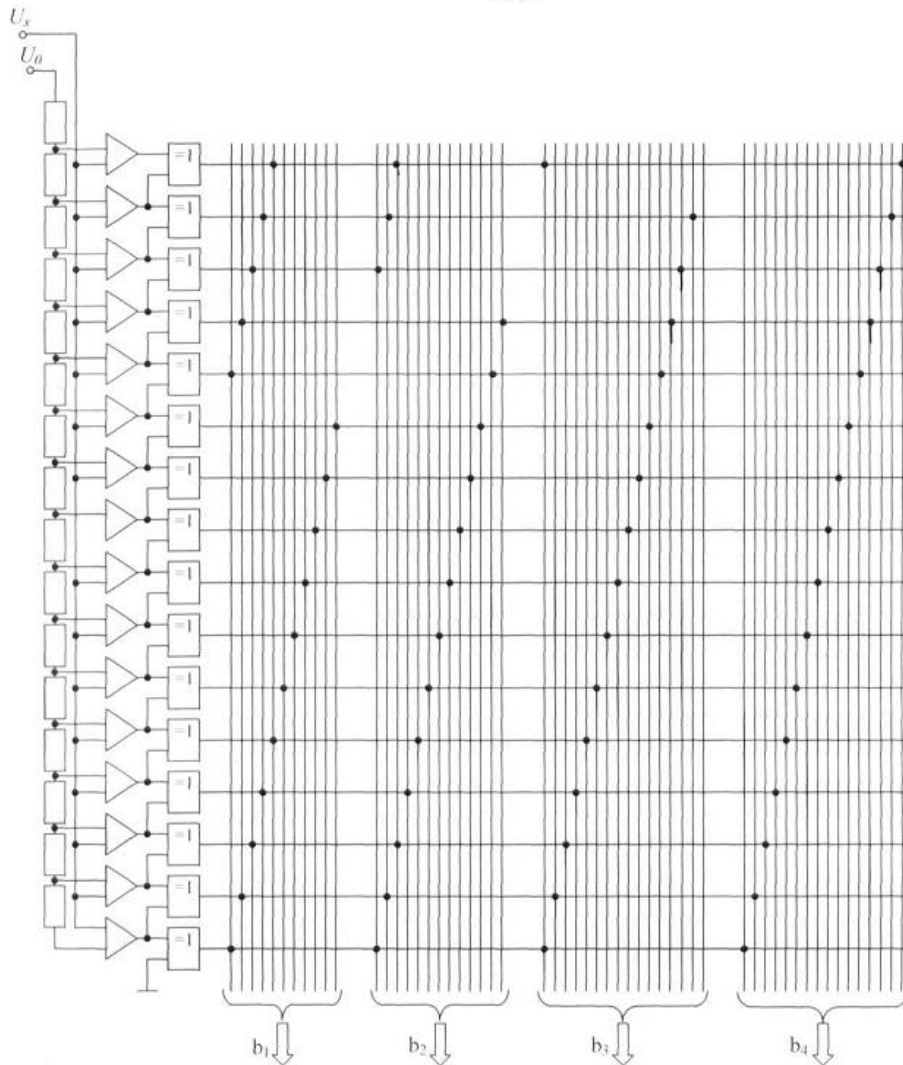
25 30 За рахунок обчислення коваріаційної функції на основі представлення цифрових відліків x_i та x_{i-j} , базису Хаара-Крестенсона системи залишкових класів реалізуються однотактні перемноження та сумування кодів залишків у вентильних матрицях перемноження та сумування, що забезпечує максимально високу швидкодію автокорелятора згідно корисної моделі. Швидкодія автокорелятора згідно корисної моделі не залежить від розрядності АЦП - K , об'єму вибірки - N та числа каналів автокорелятора - M . Матриці модульного перемножувача та суматора реалізуються на основі типових програмовано-логічних матриць (ПЛМ).

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

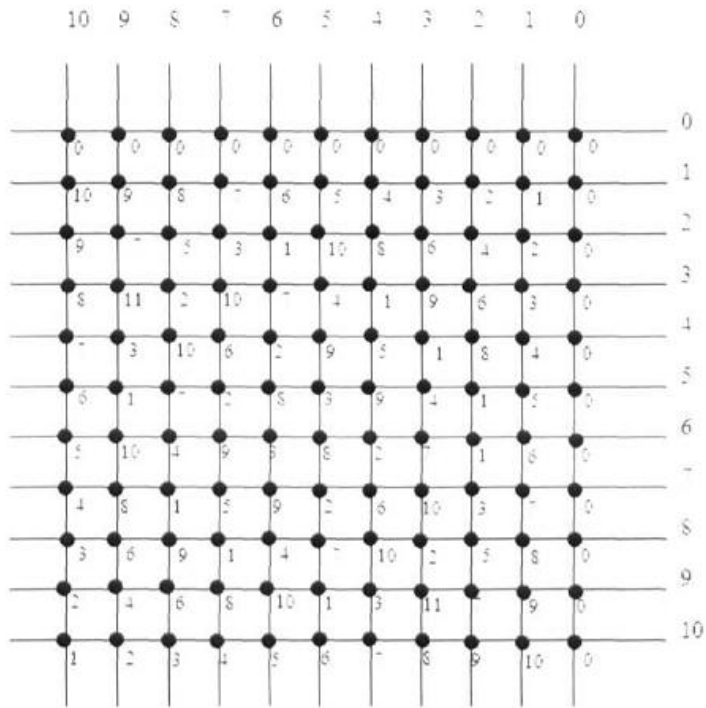
35 Цифровий автокорелятор, який містить M блоків множення, виходи яких з'єднані з входами відповідних суматорів, аналого-цифровий перетворювач, інформаційних вхід якого є входом автокорелятора, а вихід з'єднаний з інформаційним входом блока пам'яті, керуючі входи аналого-цифрового перетворювача та блока пам'яті об'єднані і підключені до першого виходу генератора імпульсів, який **відрізняється** тим, що другий додатково введений вихід генератора імпульсів з'єднаний з входами стирання регістрів пам'яті накопичувальних суматорів і синхронізуючим виходом зчитування автокорелятора, додатково на виході аналого-цифрового перетворювача формуються паралельні коди базису Хаара у вигляді кодів залишків системи залишкових класів по взаємно простих модулях p_1, p_2, \dots, p_k , які надходять на відповідні входи блоку пам'яті, виходи якого по кожному p_i модулю перемножують у додатково введених вентильних матрицях по кожному модулю p_i у кожному каналі автокорелятора з відповідними текучими кодами Хаара-Крестенсона, які формуються на виходах аналого-цифрового перетворювача, вихідні коди вентильних матриць перемноження по модулю p_i підсумовують у додатково ведених вентильних матрицях накопичувальних суматорів з кодами, які накопичують у відповідних регістрах пам'яті кожного каналу, виходи яких у кожному каналі підключені до додатково введених дешифраторів, виходи яких є виходами автокорелятора.



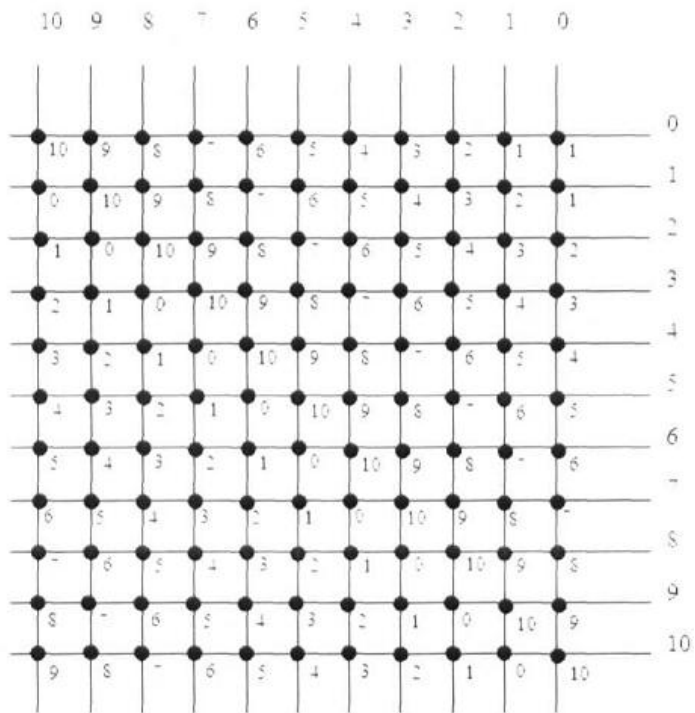
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601