



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **115751** (13) **C2**  
(51) МПК  
**G06F 7/501** (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

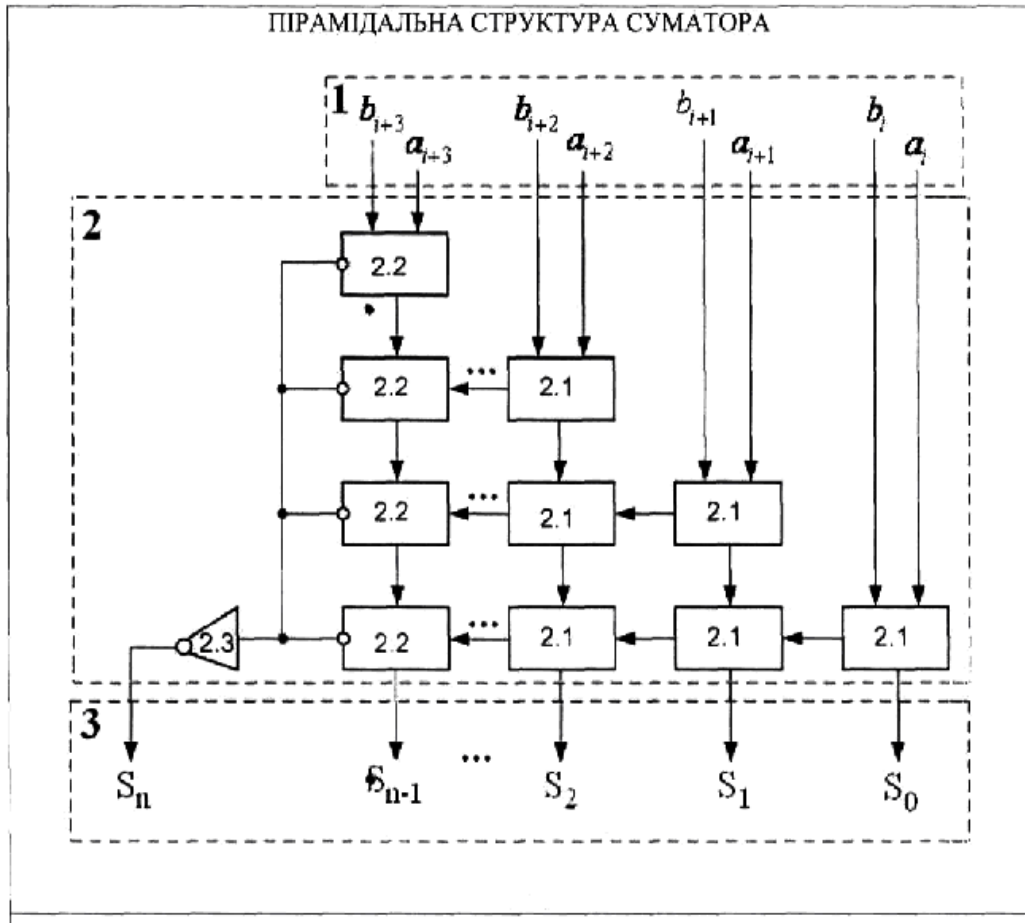
<p>(21) Номер заявки: <b>а 2017 01347</b></p> <p>(22) Дата подання заявки: <b>13.02.2017</b></p> <p>(24) Дата, з якої є чинними права на винахід: <b>11.12.2017</b></p> <p>(41) Публікація відомостей про заяву: <b>10.07.2017, Бюл.№ 13</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>11.12.2017, Бюл.№ 23</b></p>	<p>(72) Винахідник(и): <b>Возна Наталія Ярославівна (UA), Круліковський Борис Борисович (UA), Грига Володимир Михайлович (UA), Давлетова Аліна Ярославівна (UA), Николайчук Ярослав Миколайович (UA)</b></p> <p>(73) Власник(и): <b>Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)</b></p> <p>(56) Перелік документів, взятих до уваги експертизою: RU 2514785 C1 10.05.2014 UA 109136 U, 10.08.2016 SU 1543399 A1, 15.02.1990 RU 2262736 C1, 20.10.2005 US 5731716 A, 24.03.1998</p>
--	--

## (54) КОМБІНАЦІЙНИЙ СУМАТОР

### (57) Реферат:

Винахід належить до засобів обчислювальної техніки і може бути використаний як компонент швидкодіючих арифметико-логічних пристроїв та процесорів опрацювання цифрових даних. Комбінаційний суматор містить  $2n$ -розрядну вхідну шину, на виході якої формуються прямі коди двох багаторозрядних двійкових чисел, які подаються на входи пірамідальної структури з вертикальними та горизонтальними інформаційними зв'язками між однорозрядними неповними двійковими суматорами, у старшому розряді якої містяться однорозрядні неповні суматори з інверсним виходом переносу, які з'єднані між собою та входом інвертора, вихід якого з'єднаний з  $n+1$ -им входом вихідної шини пристрою. Технічним результатом є розширення функціональних можливостей пристрою введенням  $2n$ -розрядної вхідної шини та  $n+1$ -розрядної вихідної шини, зменшення апаратної складності більш, ніж у 1,5 рази введенням швидкодіючих однорозрядних неповних суматорів, які містять 3 логічні елементи та підвищенням швидкодії пристрою більш ніж у 2 рази введенням однорозрядних неповних двійкових суматорів з затримкою сигналів на 1 мікротакт.

UA 115751 C2



Фиг. 1

Комбінаційний суматор належить до засобів обчислювальної техніки і може бути використаний як компонент швидкодіючих арифметико-логічних пристроїв та процесорів опрацювання цифрових даних.

Відомий аналог - комбінаційний суматор [Дрозд О.В., Харченко В.С. Робоче діагностування безпечних інформаційно-керуючих систем, Харків: "ХАІ", 2012, - С. 99, рис. 4.3], який містить вхідну шину, з'єднану з відповідними входами пірамідальної структури, що містить з'єднані між собою вертикальними та горизонтальними зв'язками логічні елементи І та АБО, виходи якої з'єднані з відповідними входами вихідної шини, яка є виходом пристрою.

Недоліком такого комбінаційного суматора є обмежені функціональні можливості, обумовлені тим, що такий суматор виконує додавання бітів вхідного двійкового число-імпульсного коду і представляє результат додавання у розрядно-позиційному двійковому коді. Тому такий комбінаційний суматор не забезпечує додавання двох паралельних двійкових кодів і представлення результату додавання у коді двійкової системи числення.

Відомий прототип - комбінаційний суматор [Гринберг И.П., Комбинационный сумматор //Патент RU № 2514785, Бюл. № 13, 2014], який містить 6-ти розрядну вхідну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить, з'єднані між собою горизонтальними та вертикальними інформаційними зв'язками, логічні елементи Виключне АБО та І", виходи якої з'єднані з відповідними входами вихідної шини, яка є виходом пристрою.

Недоліками такого комбінаційного суматора є обмежені функціональні можливості, висока апаратна складність та низька швидкодія.

Обмежені функціональні можливості такого суматора обумовлені тим, що відомий суматор дозволяє виконувати додавання тільки трирозрядного двійкового числа. Висока апаратна складність такого суматора обумовлена тим, що ланцюг послідовно з'єднаних входами та виходами логічних елементів Виключне АБО у старшому розряді пірамідальної структури такого суматора, кожен з яких містить не менше 4-х логічних елементів [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г., с. 57, рис. 1.35] для формування відповідного біта на виході старшого розряду вихідної шини пристрою. Низька швидкодія такого суматора обумовлена тим, що пірамідальна структура містить логічні елементи Виключне АБО тільки з прямими входами та прямим виходом, що потребує застосування структурної реалізації логічних елементів Виключне АБО на основі не менше 3 послідовно з'єднаних логічних елементів ІІ, І-ІІ та АБО-ІІ [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г., с. 57, рис. 1.35].

В основу удосконалення комбінаційного суматора поставлена задача розширення його функціональних можливостей, зменшення апаратної складності та підвищення швидкодії шляхом додаткового введення вхідної  $2n$ -розрядної та вихідної  $n+1$  розрядної шини ( $n \geq 3$ ), додатковим введенням у кожен елемент пірамідальної структури швидкодіючого однорозрядного суматора з затримкою сигналів на 1 мікротакт, який містить не більше 3 логічних елементів, з прямими виходами переносів (крім старшого розряду пірамідальної структури) та додатковим введенням у старший розряд пірамідальної структури комбінаційного суматора швидкодіючих, з затримкою сигналів на 1 мікротакт, однорозрядних двійкових суматорів з інверсним виходом переносу, виходи яких з'єднані між собою та входом додатково введеного інвертора, вихід якого додатково з'єднаний з  $n+1$  входом вихідної шини пристрою.

Поставлена задача вирішується тим, що комбінаційний суматор містить вхідну  $2n$  розрядну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить, з'єднані між собою прямими горизонтальними та вертикальними інформаційними зв'язками, структури однорозрядних неповних двійкових суматорів, які містять елементи І та Виключне АБО з прямими входами та виходами, вихідну шину, входи якої з'єднані з відповідними розрядними виходами пірамідальної структури комбінаційного суматора, а виходи з'єднані з входами вихідної шини пристрою, згідно з запропонованим пристроєм, містить додатково введеному  $2n$ -розрядну шину та додатково введеному  $n+1$ -розрядну вихідну шину, які відповідно додатково з'єднані з входами та виходами пірамідальної структури комбінаційного суматора, додатковим введенням у кожен елемент пірамідальної\* структури швидкодіючого однорозрядного суматора з затримкою сигналів на 1 мікротакт, який містить не більше 3 логічних елементів, з прямими виходами переносів (крім старшого розряду пірамідальної структури) та додатковим введенням у старший розряд пірамідальної структури комбінаційного суматора швидкодіючих, з затримкою сигналів на 1 мікротакт, однорозрядних двійкових суматорів з інверсним виходом переносу, виходи яких з'єднані між собою та входом додатково введеного інвертора, вихід якого додатково з'єднаний з  $n+1$  входом вихідної шини пристрою, швидкодіючого, однорозрядного неповного двійкового суматора.

На фіг. 1 зображена структурна схема комбінаційного суматора: 1 - вхідна  $2n$ -розрядна шина ( $a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1}$ ); 2 - пірамідальна структура, яка містить:

наступні типи однорозрядних неповних суматорів: 2.1-3 прямими виходами переносу (фіг. 2); 2.2 - з інверсним виходом переносу (фіг. 2); 2.3 - інвертор; 3 - вихідна шина комбінаційного суматора ( $S_0, S_1, S_2, \dots, S_{n-1}, S_n$ ).

Двійкові  $n$ -розрядні коди ( $n$  - ціле число  $\geq 3$ ) подаються на відповідні входи ( $a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1}$ ) вхідної шини 1. Виходи вхідної шини 1 з'єднані з відповідними входами однорозрядних неповних суматорів 2.1, 2.2 комбінаційної структури 2. Прямі виходи суми всіх однорозрядних суматорів 2.1 та 2.2 з'єднані з відповідними входами ( $S_0, S_1, S_2, \dots, S_{n-1}, S_n$ ) вихідної шини 3. Інверсні виходи переносів всіх суматорів (2.2) комбінаційної структури 2 з'єднані між собою та виходом інвертора 2.3, вихід якого є  $S_n$ -им виходом вихідної шини комбінаційного суматора.

Комбінаційний суматор працює наступним чином.

При надходженні на вхідну шину 1  $n$ -розрядних кодів двійкових чисел ( $a_0, a_1, a_2, \dots, a_{n-1}$ ) та ( $b_0, b_1, b_2, \dots, b_{n-1}$ ) на її виходах формуються двійкові коди, які надходять на відповідні входи комбінаційної структури 2.

При цьому на виходах лінійки однорозрядних суматорів (2.1, 2.2) формується  $n$ -розрядний двійковий код суми вхідних кодів, який надходить на входи ( $S_0, S_1, S_2, \dots, S_{n-1}, S_n$ ) вихідної шини 3, а на виходах інверсних переносів суматорів (2.2) старшого розряду комбінаційної структури 2 формується інверсний сигнал переносу, який надходить на вхід логічного елемента ІІ (2.3), на виході якого формується старший біт суми  $S_n$ , що надходить на вихідну шину 3.

Таким чином, у результаті запропоновано удосконалення комбінаційного суматора, у порівнянні з прототипом, досягнуто розширення функціональних можливостей комбінаційного суматора за рахунок здійснення додавання двох двійкових кодів з розрядністю  $n \geq 3$ .

Досягнуто зменшення апаратної складності запропонованого комбінаційного суматора за рахунок зменшення числа логічних елементів у кожному однорозрядному двійковому суматорі та застосуванні одного інвертора для формування сигналу  $S_n$ -ого виходу комбінаційного суматора. Тобто число логічних елементів запропонованого  $n$ -розрядного комбінаційного суматора складає:

$A_C = A_{ПС} + A_1 = \left(\frac{n^2}{2} + 2\right) \cdot 3 + 1$  ( $A_{ПС}$  - апаратна складність пірамідальної структури,  $A_1$  - апаратна складність інвертора) Наприклад, при  $n = 4$ :  $A_C = \left(\frac{16}{2} + 2\right) \cdot 3 + 1 = 31$  логічний елемент. Відповідно апаратна складність прототипу рівна:  $A_C = \left(\frac{n^2}{2} + 2\right) \cdot 5 + n = \left(\frac{16}{2} + 2\right) \cdot 5 + 4 = 54$  логічних елементи.

Тобто, апаратна складність запропонованого комбінаційного суматора, не залежно від розрядності двійкових кодів, що додаються, зменшена більш ніж у 1,5 рази.

Досягнуте збільшення швидкодії комбінаційного суматора визначається порівнянням оцінок часової складності прототипу та запропонованої структурної схеми суматора згідно з виразом  $\tau_{КС} = n\tau_k$ , де  $n$  - розрядність вхідних кодів;  $\tau_k$  - число мікротактів затримки сигналів у найдовшому ланцюжку послідовно з'єднаних логічних елементів або вентилів комбінаційної структури.

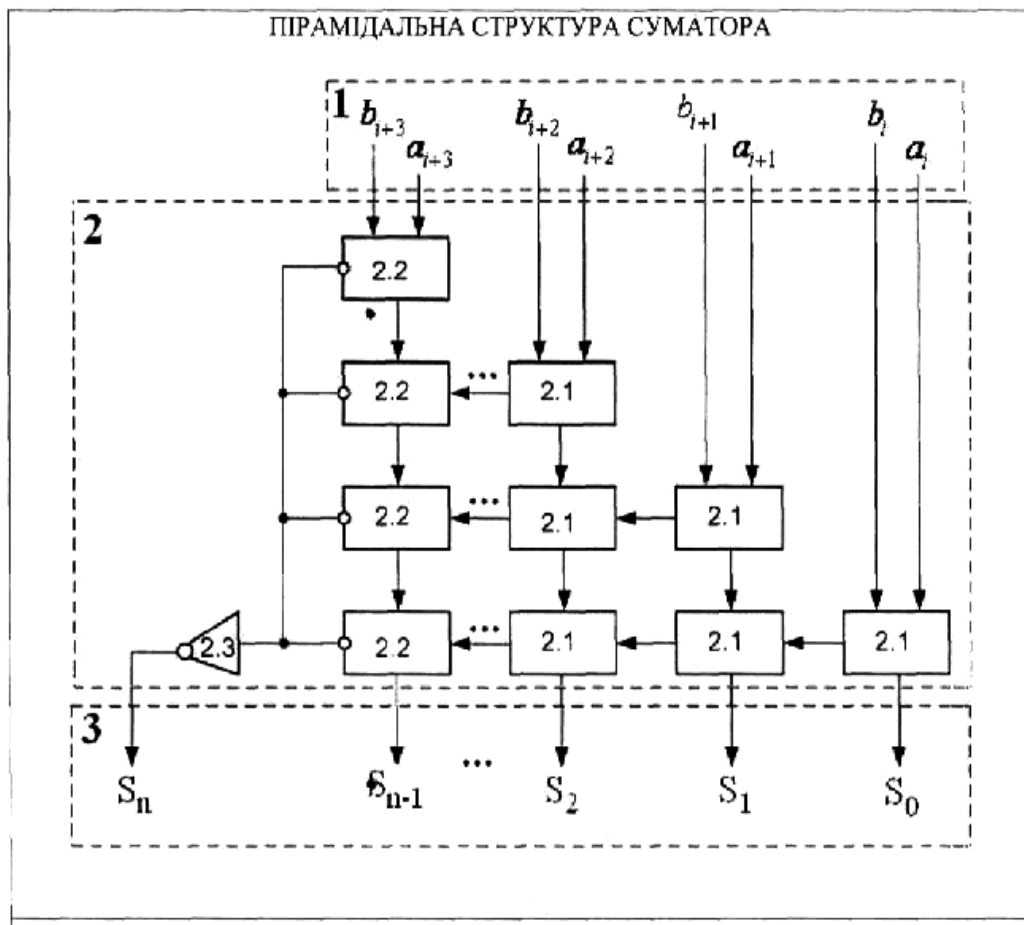
Оскільки у прототипі застосована схема ланцюга логічних елементів Виключне АБО у старшому розряді комбінаційного суматора з відомою структурою та затримкою сигналів не менше  $\tau_k = 3v$  ( $v$  - мікротакт), то загальна затримка сигналів у відомому комбінаційному суматорі у залежності від розрядності вхідних кодів  $n$  буде рівна  $\tau_{C1} = n \times 3$ . У запропонованому комбінаційному суматорі затримка сигналів у старшому розряді комбінаційної структури рівна  $n+1$ . Тобто при  $n=4$  підвищення швидкодії запропонованого комбінаційного суматора у порівнянні з прототипом розраховується згідно з виразом:  $\frac{3n}{(n+1)}$  і рівне:  $\frac{12}{5} \Rightarrow 2$ .

Технічний результат. Таким чином досягнуто розширення функціональних можливостей пристрою введенням  $n > 3$  - розрядної шини, зменшенням апаратної складності більш ніж у 7,5 рази та підвищенням швидкодії пристрою більш ніж у 2 рази.

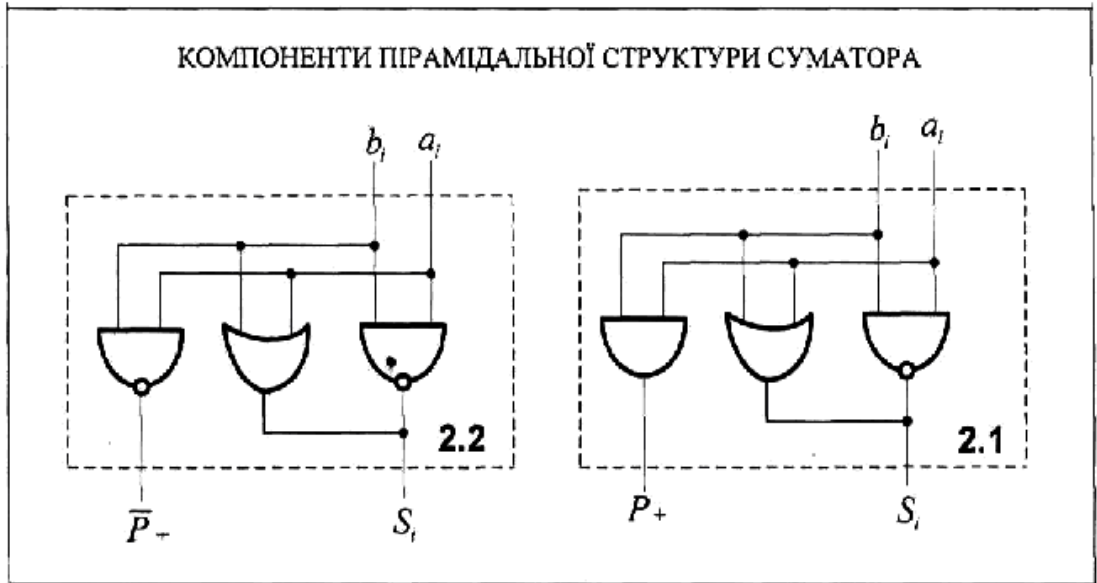
#### ФОРМУЛА ВИНАХОДУ

Комбінаційний суматор, який містить вхідну шину, виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить, з'єднані між собою прямими горизонтальними та вертикальними інформаційними зв'язками, структури однорозрядних неповних двійкових суматорів, які містять елементи І та Виключне АБО з прямими входами та виходами, вихідну

- 5 шину, входи якої з'єднані з відповідними розрядними виходами пірамідальної структури комбінаційного суматора, а виходи з'єднані з входами вихідної шини пристрою, який **відрізняється** тим, що містить 2n-розрядну шину та n+1-розрядну вихідну шину, які відповідно з'єднані з входами та виходами пірамідальної структури комбінаційного суматора, кожен елемент пірамідальної структури якого містить швидкодіючий неповний однорозрядний суматор з прямими виходами переносів, крім старшого розряду пірамідальної структури, а у старшому розряді пірамідальної структури комбінаційного суматора містяться однорозрядні неповні суматори з інверсним виходом переносу, які з'єднані між собою та входом інвертора, вихід якого з'єднаний з n+1-им входом вихідної шини пристрою.



Фіг. 1



Фіг. 2

Комп'ютерна верстка Л. Ціхановська

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601