



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **124563** (13) **U**
(51) МПК (2018.01)
G06F 7/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

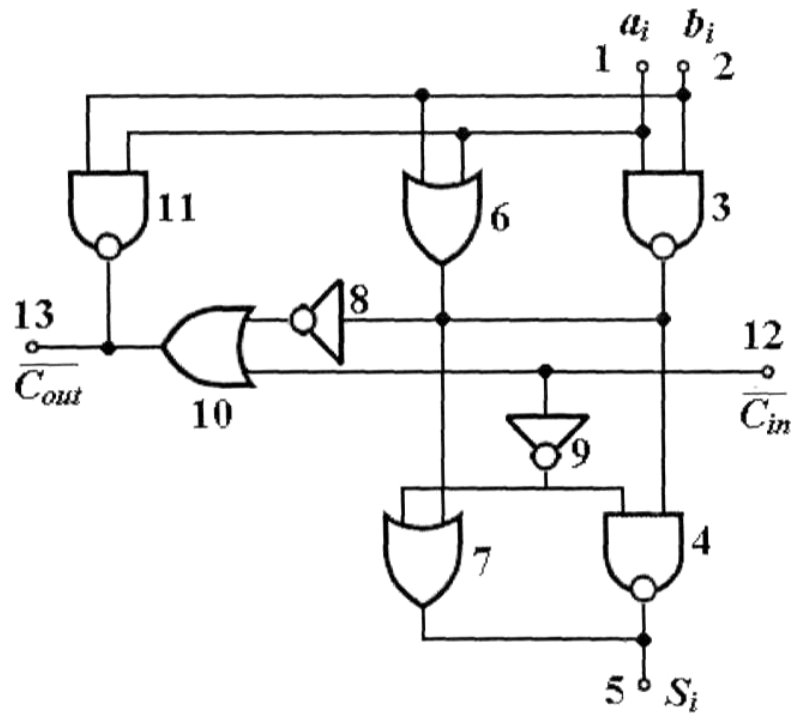
<p>(21) Номер заявки: u 2017 11720</p> <p>(22) Дата подання заявки: 30.11.2017</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.04.2018</p> <p>(46) Публікація відомостей про видачу патенту: 10.04.2018, Бюл.№ 7</p>	<p>(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Грига Володимир Михайлович (UA), Возна Наталія Ярославівна (UA), Давлетова Аліна Ярославівна (UA)</p> <p>(73) Власник(и): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Грига Володимир Михайлович, вул. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA)</p>
---	---

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Повний однорозрядний суматор, який містить перший вхід a_i , з'єднаний з першим входом логічного елемента І-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора, з'єднаний з другим входом логічного елемента АБО та другим входом логічного елемента І-НІ, другий логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, причому він додатково містить третій логічний елемент І-НІ, перший вхід якого додатково з'єднаний з першим входом першого логічного елемента АБО, другий вхід додатково з'єднаний з другим входом першого логічного елемента АБО, вихід якого додатково з'єднаний з виходом першого логічного елемента І-НІ, вихід якого додатково з'єднаний з першим входом другого логічного елемента І-НІ та входом додатково введеного першого логічного елемента НІ, вихід якого з'єднаний з першим входом додатково введеного логічного елемента АБО-НІ, вихід якого додатково з'єднаний з виходом третього логічного елемента І-НІ і є додатковим інверсним виходом, а другий вихід логічного елемента АБО-НІ з'єднаний з додатково введеним інверсним входом переносу однорозрядного суматора та входом другого додатково введеного логічного елемента НІ, вихід якого додатково з'єднаний з другим входом другого логічного елемента АБО та другим входом логічного елемента І-НІ, вихід якого додатково з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.

UA 124563 U



Фиг. 1

Повний однорозрядний суматор належить до засобів обчислювальної техніки і може бути використаний як компонент багаторозрядних двійкових суматорів арифметико-логічних пристроїв мікропроцесорів та спецпроцесорів сортування даних.

Відомий аналог - двійковий однорозрядний суматор [Арифметика цифрових машин /Карцев М.А. - М.: Наука, 1969, - С. 64, рис. 2-4], який містить логічні елементи I, АБО, НІ, перший, другий та третій прямі входи, четвертий п'ятий та шостий інверсні входи двійкового однорозрядного суматора, які відповідно з'єднані з першими входами групи логічних елементів I, виходи першої підгрупи логічних елементів I з'єднані з відповідними входами логічного елемента АБО, вихід якого є першим прямим виходом суми двійкового однорозрядного суматора, виходи другої групи логічних елементів I з'єднані з відповідними входами другого логічного елемента АБО, вихід якого з'єднаний з другим прямим виходом переносу двійкового однорозрядного суматора та входом логічного елемента НІ, вихід якого з'єднаний з третім інверсним виходом переносу двійкового однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія формування інверсних переносів, яка обумовлена наявністю трьох послідовно з'єднаних логічних елементів I-АБО-НІ, а також обмежені функціональні можливості обумовлені необхідністю додаткового одночасного формування на інформаційних входах однорозрядного суматора прямих та інверсних значень бітів, що додаються.

Відомий найближчий аналог - однорозрядний двійковий суматор [A. Anand Kumar Fundamentals of Digital Circuits /Prentice-Hall of India Pvt.Ltd, 2007 p. 235 fig. 7.4], який містить перший вхід, який з'єднаний з першим входом першого логічного елемента 1 та першим входом першого логічного елемента "Виключне АБО", другий вхід однорозрядного суматора з'єднаний з другим входом першого логічного елемента I та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО", вихід якого є першим виходом суми однорозрядного суматора, третій прямий вхід однорозрядного суматора з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента I, другий вхід якого з'єднаний з виходом першого логічного елемента "Виключне АБО", а вихід з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом першого логічного елемента 1, а вихід логічного елемента АБО є прямим другим виходом переносу однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія формування наскрізних переносів обумовлена тим, що між входом переносу суматора та другим виходом переносу міститься два послідовно з'єднаних логічних елементи 1-АБО, що призводить до затримки сигналів переносу у такому однорозрядному суматорі на 2 мікротакти.

У відомому суматорі при різних структурних реалізаціях логічних елементів "Виключне АБО" [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М: Радио и связь, 1988 г, - С. 57, рис. 1.35], які містять від 4 до 5 логічних елементів, 3 з яких з'єднані послідовно і затримка сигналів складає не менше 4 мікротакти.

Іншим недоліком такого однорозрядного суматора є велика апаратна складність, яка обумовлена тим, що його структура містить 11-13 логічних елементів.

В основу корисної моделі поставлена задача підвищення швидкодії та зменшення апаратної складності повного однорозрядного суматора шляхом формування сигналів переносу за 1 мікротакт та додатковим введенням мультиплексних з'єднань виходів логічних елементів I-НІ та АБО у структурах логічних елементів "Виключне АБО", які утворюють логічний елемент "Провідне I" [Давлетова А.Я., Николайчук Я.М. Пат.] 15861 Україна МПК G06F 7/00 (2017.01) /Однорозрядний напівсуматор /№ u201612463; заявл. 07.12.2016; опубл. 25.04.2017, Бюл. № 8], який реалізує функцію логічного елемента "Виключне АБО" із затримкою сигналу на 1 мікротакт, а також реалізації сигналів переносу відповідними інверсними логічними значеннями $\overline{C_{in}}$ та $\overline{C_{out}}$, що дозволяє підвищити у 4 рази швидкодією формування переносів у старші розряди у

порівнянні з відомим найближчим аналогом, що дозволяє відповідно у 2 рази підвищити швидкодію багаторозрядних двійкових суматорів паралельного типу при його використанні як однорозрядного компонента.

Поставлена задача вирішується тим, що повний однорозрядний суматор, який містить перший вхід a_1 , з'єднаний з першим входом логічного елемента I-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора, з'єднаний з другим входом логічного елемента АБО та другим входом логічного елемента I-НІ, другий логічний елемент I-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, згідно з корисною моделлю, додатково містить третій логічний елемент I-НІ, перший вхід якого додатково з'єднаний з першим входом першого логічного елемента АБО, другий вхід додатково

з'єднаний з другим входом першого логічного елемента АБО, вихід якого додатково з'єднаний з виходом першого логічного елемента І-НІ, вихід якого додатково з'єднаний з першим входом другого логічного елемента І-НІ та входом додатково введеного першого логічного елемента НІ, вихід якого з'єднаний з першим входом додатково введеного логічного елемента АБО-НІ, вихід якого додатково з'єднаний з виходом третього логічного елемента І-НІ і є додатковим інверсним виходом, а другий вихід логічного елемента АБО-НІ з'єднаний з додатково введеним інверсним входом переносу однорозрядного суматора та входом другого додатково введеного логічного елемента НІ, вихід якого додатково з'єднаний з другим входом другого логічного елемента АБО та другим входом логічного елемента І-НІ, вихід якого додатково з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.

Корисна модель ілюструється кресленням, де на кресленні представлена структура пристрою, який містить: 1, 2 - відповідні інформаційні входи a_i та b_i ; 3, 4 - відповідні перший та другий логічні елементи І-НІ; 5 - вихід суми S_i ; 6, 7 - відповідні перший та другий логічні елементи АБО; 8, 9 - відповідно перший та другий логічні елементи НІ; 10 - третій логічний елемент АБО; 11 - третій логічний елемент І-НІ; 12, 13 – відповідно інверсні вхід $\overline{C_{in}}$ та вихід $\overline{C_{out}}$ переносу однорозрядного суматора.

Однорозрядний суматор працює наступним чином: при подачі на входи a_i (1) та b_i (2) логічних значень "0" або "1" на монтажно з'єднаному виході першого логічного елемента І-НІ (3) та першого логічного елемента АБО (6) з затримкою на 1 мікротакт формується логічний сигнал, який відповідає модульній сумі $a_i \oplus b_i$, який надходить на перші входи другого логічного елемента І-НІ (4), другого логічного елемента АБО (7) та першого логічного елемента НІ (8). При появі на інверсному вході переносу $\overline{C_{in}}$ (12) логічного значення "0" або "1", який інвертується у прямий сигнал переносу на виході другого логічного елемента НІ (9) на виході (5) суми пристрою формується логічне значення S_i , яке відповідає прямому виходу суми повного однорозрядного суматора.

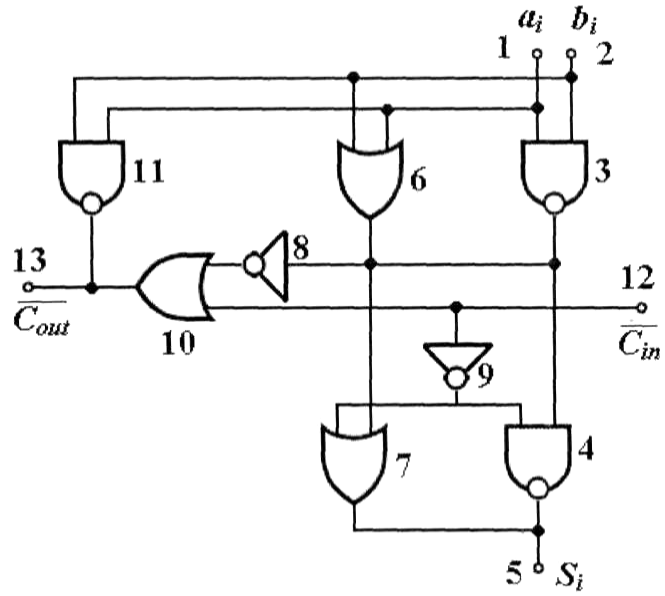
Інверсні сигнали, які формуються на виході першого логічного елемента НІ (8) та виходу переносу $\overline{C_{in}}$ (12) на виході третього логічного елемента АБО (10) згідно правила Де-Морана булевої алгебри $\overline{S \vee \overline{C_{in}}} = \overline{S} \wedge \overline{C_{in}}$ формують сигнал інверсії їх кон'юнкції, який на виході монтажного з'єднання з третім логічним елементом І-НІ (11), реалізує функцію логічного елемента "Виключне АБО" та формує інверсне логічне значення біта переносу $\overline{C_{out}}$ на його виході, який є другим виходом однорозрядного суматора.

Технічний результат

Запропонований однорозрядний повний двійковий суматор характеризується підвищеною у 4 рази швидкістю формування переносів у старші розряди у порівнянні з відомим найближчим аналогом, що дозволяє відповідно у 2 рази підвищити швидкість багаторозрядних двійкових суматорів паралельного типу при його використанні як однорозрядного компонента.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Повний однорозрядний суматор, який містить перший вхід a_i , з'єднаний з першим входом логічного елемента І-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора, з'єднаний з другим входом логічного елемента АБО та другим входом логічного елемента І-НІ, другий логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, який **відрізняється** тим, що додатково містить третій логічний елемент І-НІ, перший вхід якого додатково з'єднаний з першим входом першого логічного елемента АБО, другий вхід додатково з'єднаний з другим входом першого логічного елемента АБО, вихід якого додатково з'єднаний з виходом першого логічного елемента І-НІ, вихід якого додатково з'єднаний з першим входом другого логічного елемента І-НІ та входом додатково введеного першого логічного елемента НІ, вихід якого з'єднаний з першим входом додатково введеного логічного елемента АБО-НІ, вихід якого додатково з'єднаний з виходом третього логічного елемента І-НІ і є додатковим інверсним виходом, а другий вихід логічного елемента АБО-НІ з'єднаний з додатково введеним інверсним входом переносу однорозрядного суматора та входом другого додатково введеного логічного елемента НІ, вихід якого додатково з'єднаний з другим входом другого логічного елемента АБО та другим входом логічного елемента І-НІ, вихід якого додатково з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.



Комп'ютерна верстка А. Крулевський

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601