

УДК 681.325.5

ВИБІР АРХІТЕКТУРИ НАДВЕЛИКИХ ІНТЕГРАЛЬНИХ СХЕМ ДЛЯ СИНТЕЗУ ПРОЦЕСОРІВ ШВИДКОГО ПЕРЕТВОРЕННЯ ФУР'Є

Цмоць І.Г.¹⁾, Панасюк В.В.²⁾

¹⁾ Національний університет "Львівська політехніка", д.т.н., професор;

²⁾ Тернопільський національний економічний університет, магістрант

Вступ

Успіхи в теорії швидкого перетворення Фур'є (ШПФ) та інтенсивний розвиток НВІС-технології забезпечили створення високопродуктивних малогабаритних процесорів ШПФ, які істотно розширили області застосування технологій обробки сигналів. Основними компонентами процесорів ШПФ є апаратні, алгоритмічні, програмні та технологічні засоби.

І. Розроблення структури системи та алгоритму її роботи

Основною метою розробки операційних пристроїв є синтез малогабаритних, високопродуктивних процесорів ШПФ, які орієнтовані на НВІС – структури. На рисунку 1 наведено дерево цілей, яке показує шляхи досягнення поставленої мети.

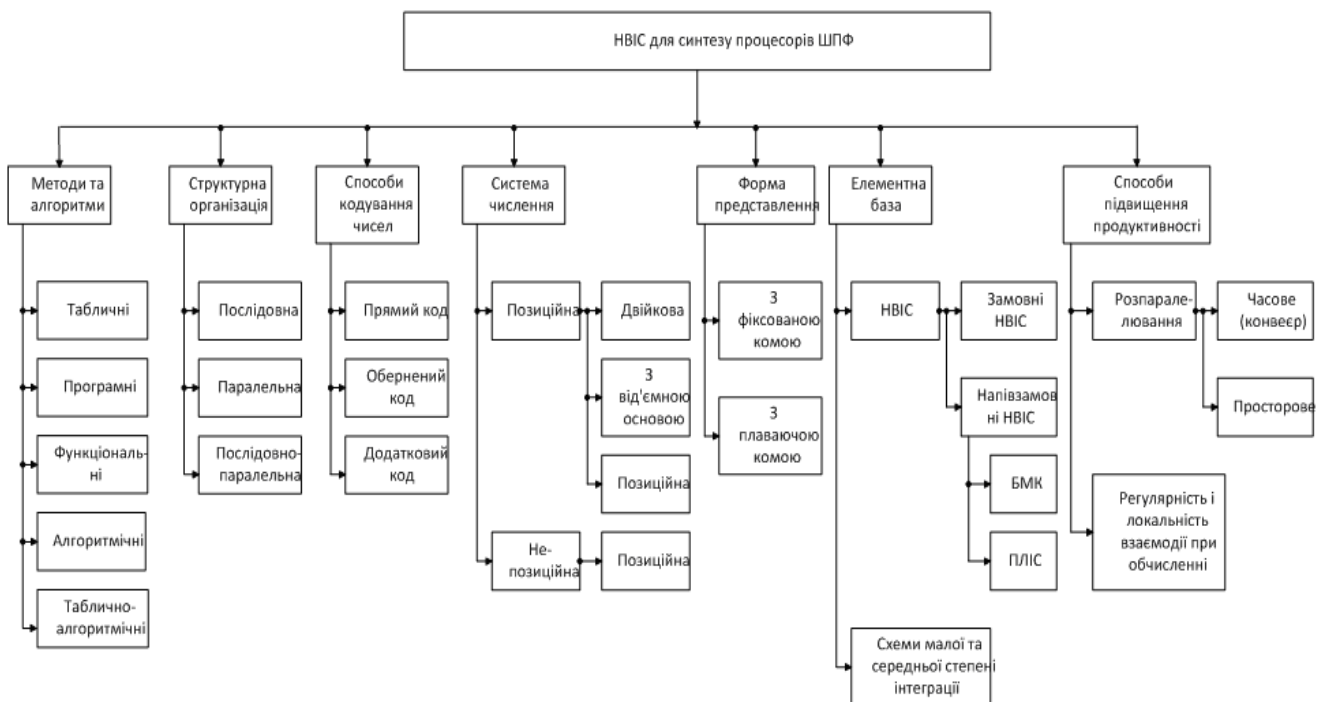


Рисунок 1 - Дерево цілей

II. Визначення переліку НВІС для синтезу процесорів швидкого перетворення Фур'є

Для реалізації процесорів ШПФ використовуються три основні групи структур: ітераційні, матричні і потокові (рисунку 2).

В функціональному і структурному відношенні група ітераційних процесорів базується на схемі, що складається з пристрою для використання базової операції Фур'є (БОФ), пам'яті пристрою управління. Така структура забезпечує мінімальні апаратні затрати і для схем, що вимагають високих темпів обробки даних, і є цілком прийнятною.

Досить часто, для того щоб прискорити обчислення за допомогою ітераційних процесорів, вдаються для розпаралелювання обчислювальних операцій. Тобто ставлять паралельно 2,3,4, і т.д. ітераційних процесори, кожен з яких виконує свою частину базових ітерацій згідно вибраного алгоритму роботи. Такий рівень паралелізму можна довести аж до N/r процесорів (рисунку 3), коли

одночасно на виходах всіх процесорів отримаємо результати i -того етапу алгоритму ШПФ. Оскільки вихідні результати i -того етапу є вихідними даними для $i+1$ -го етапу, то необхідно мати регістри ПЗП для зберігання проміжкових результатів. Крім цього в схемі передбачено також схема комутації, що забезпечує необхідні перемикання при переході від одного етапу до наступного.

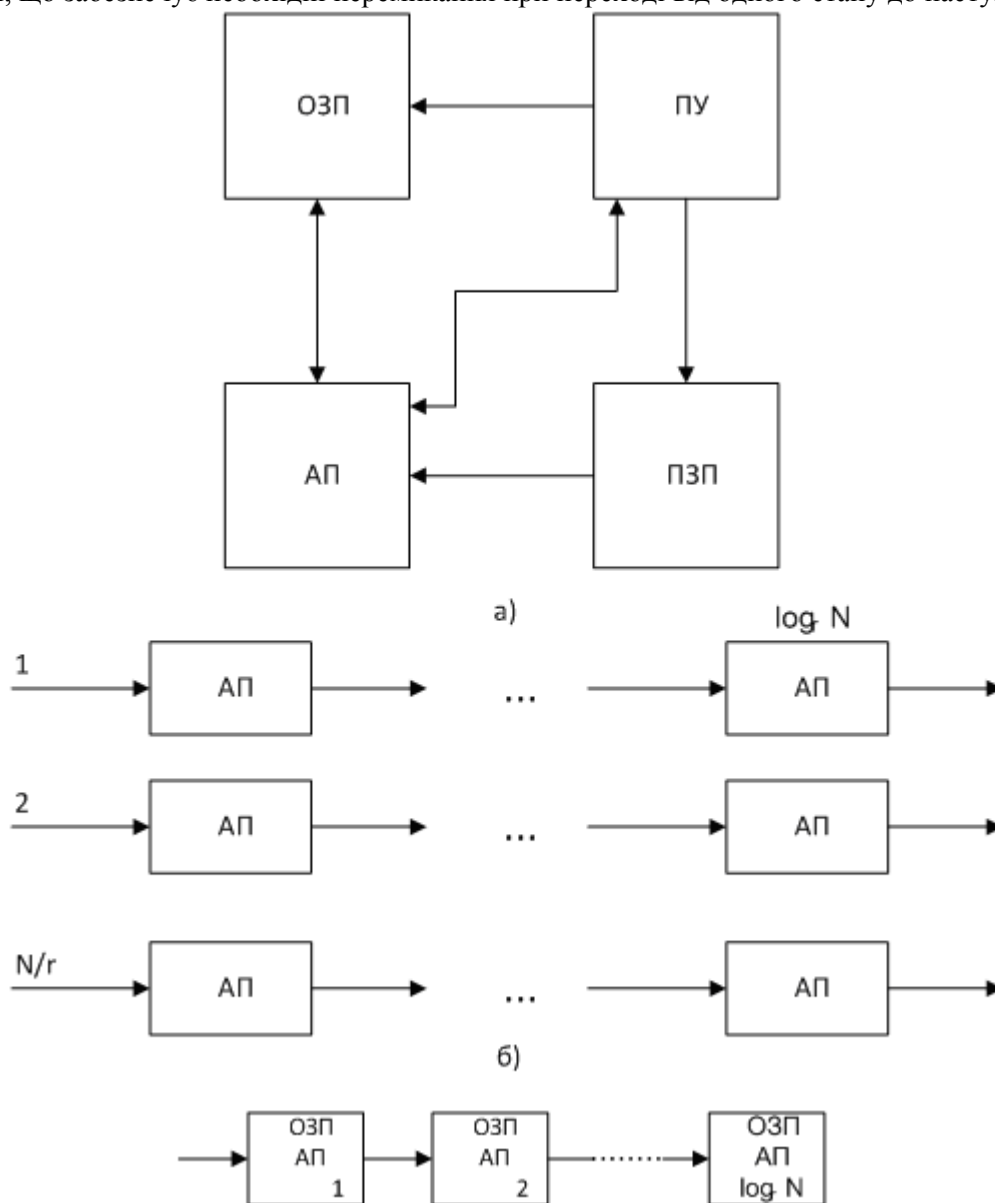


Рисунок 2 - Структури процесорів ШПФ: а) ітераційна; б) матрична; в) потокова

В основі структурної організації матричних процесорів ШПФ лежить схема матричної сітки, що є матричним повторенням структури самого алгоритму ШПФ, де вузлами на перетині ліній є процесори базових операцій, а самі лінії – визначають зв'язки між процесорами. Кількість процесорів, яка необхідна для реалізації такої матричної структури – $(N/2) \log_2 N$.

III. Розробка структури арифметично-комутуючого пристрою

Для виконання операцій додавання, віднімання, трансляції, комутації та затримки даних, що надходять на інформаційні входи A і B пропонується розробити структуру арифметично-комутуючого пристрою (АКП). Розроблена схема АКП наведена на рис.3.1, де Рг – регістр; См-Вд – суматор-віднімач; Км – комутатор; ПФІФО – блок програмованої пам'яті з дисципліною доступу FIFO; ШФ – шинний формувач; PA_0 і PB_0 – входи переносів; PA_1 і PB_1 – виходи переносів; UA і UB – входи коду операції відповідно для См-Вд₁ і См-Вд₂; V - сигнал управління передачею даних “прямо” ($V=0$) чи “навхрест” ($V=1$).

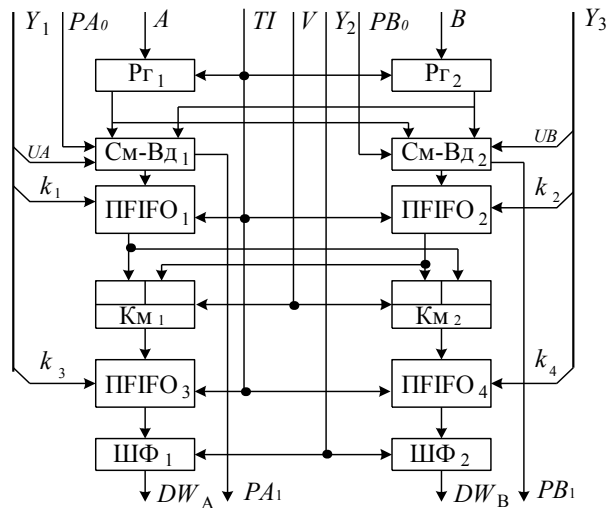


Рисунок 3 - Схема НВІС арифметично-комутуючого пристрою

Список використаної літератури

1. Цмоць І.Г. Методи і структури ВІС для прискореного виконання базової операції алгоритму швидкого перетворення Фур'є за основою два. Вісник ДУ "Львівська політехніка" 1998. №351.с.13-19.
2. Цмоць І.Г. Алгоритми і структури для ВІС перемножувача комплексних чисел. . Вісник ДУ "Львівська політехніка" 1998. №327.с.231-240.
3. Цмоць І.Г. Принцип розробки і оцінка основних характеристик високопродуктивних процесорів на надвеликих інтегральних схем. Вісник ДУ "Львівська політехніка" 1998. №349.с.5-11.
4. Карцев М.А., Брик В.А. Вычислительные системы и синхронная арифметика. М., 1981.-359 с.
5. Рабинер Л., Гоулд В., Теория и применение цифровой обработки сигналов.(Пер.с англ. М.Мир, 1978-848с.).
6. Яцимирский М.Н. Швидкі алгоритми ортогональних тригонометричних перетворень. - Львів: Академічний Експрес, 1997. - 219 с.
7. Yatsyimirskij M. Discrete Sine and Cosine and Patern Recognition/Proceedings International Conference. Kyiv,Ukraine.- 1994.P.252-257.

УДК 004.04

МОБІЛЬНА СИСТЕМА ДОПОВНЕНОЇ РЕАЛЬНОСТІ НА ОСНОВІ ХМАРНИХ ОБЧИСЛЕНЬ

Верхогляд Б.С.

Національний технічний університет України "Київський політехнічний інститут", студент

І. Постановка проблеми

Доповнена реальність (AR) є різновидом віртуального середовища (VE). AR дозволяє користувачеві бачити реальний світ, з накладеними на нього віртуальними об'єктами або в композиції з реальним світом. AR вносить корективи, добавки реальності, а не повністю замінює реальність. В ідеалі, користувач не повинен відрізнити де віртуальні і реальні об'єкти співіснують в одному просторі.[1]

AR може розглядатися як «золота середина» між реальністю і віртуальністю.

AR покращує сприйняття і взаємодію користувача з реальним світом. Віртуальні об'єкти для відображення інформації, яку користувач не може безпосередньо виявити за допомогою своїх органів почуттів, дозволяють користувачеві виконувати різноманітні завдання, що потребують посилення інтелекту за допомогою комп'ютера. Це елементи звуку, відео, графіки або GPS даних.[2]

Мобільні пристрої, такі як смартфони, сьогодні стали одним з основних пристроїв обробки інформації. Додаток AR, де використовується аналіз зображень, як правило, вимагає більше ресурсів, ніж мобільний пристрій може собі дозволити. Щоб збільшити продуктивність роботи, мобільний пристрій має отримати ресурси від зовнішнього джерела. Одним з таких джерел є платформи хмарних обчислень.