

Міністерство освіти і науки України
Західноукраїнський національний університет
Факультет комп'ютерних інформаційних технологій
Кафедра комп'ютерної інженерії

МЕТОДИЧНІ ВКАЗІВКИ
до виконання лабораторних робіт з дисципліни
«КОМП'ЮТЕРНА СХЕМОТЕХНІКА»

для студентів
спеціальності 123 «Комп'ютерна інженерія»

освітньо-професійна програма «Комп'ютерна інженерія»

Тернопіль-2025

Мельник Г.М. Методичні вказівки до виконання лабораторних робіт з дисципліни «Комп'ютерна схемотехніка» для студентів спеціальності 123 «Комп'ютерна інженерія». Тернопіль: ЗУНУ, 2024. 52 с.

Укладач: Григорій МЕЛЬНИК к.т.н., доцент кафедри КІ

Відповідальний за випуск: Дубчак Л.О., к.т.н., доцент, завідувач кафедри комп'ютерної інженерії

Рецензенти:

Микитишин А. Г. к.т.н., доц., завідувач кафедри комп'ютерно-інтегрованих технологій ТНТУ ім. Івана Пулюя

Манжула В.І. д.т.н, доцент кафедри комп'ютерних наук
Західноукраїнського національного університету

Методичні рекомендації рекомендовано до друку на засіданні кафедри
комп'ютерної інженерії
протокол № 7 від 28 лютого 2025 р.

ЗМІСТ

Середовище імітаційного моделювання	5
Лабораторна робота №1 Дослідження характеристик напівпровідникових діодів і стабілітронів	10
Хід роботи	10
Зміст звіту.....	14
Контрольні питання	14
Лабораторна робота №2 Дослідження біполярних та польових транзисторів ..	15
Хід роботи	15
Зміст звіту.....	18
Контрольні питання	18
Лабораторна робота №3 Дослідження схем підсилювальних каскадів.....	19
Хід роботи	19
Зміст звіту.....	21
Контрольні питання	21
Лабораторна робота №4 Дослідження схем на операційному підсилювачі	22
Хід роботи	22
Зміст звіту.....	23
Контрольні запитання	23
Лабораторна робота №5 Базові логічні елементи	24
Хід роботи	24
Зміст звіту.....	25
Контрольні питання	25
Лабораторна робота № 6 Дослідження дешифраторів і шифраторів	26
Теоретичні відомості.....	26
Хід роботи.	26
Зміст звіту.....	27
Контрольні питання	28
Лабораторна робота №7 Дослідження суматорів	29
Теоретичні відомості.....	29
Хід роботи	29
Зміст звіту.....	32
Контрольні питання	33
Лабораторна робота №8 Дослідження тригерів.....	34
Теоретичні відомості.....	34
Хід роботи.	34
Зміст звіту.....	36

Контрольні питання.	36
Лабораторна робота №9 Дослідження лічильників.....	37
Теоретичні відомості.....	37
Хід роботи	38
Зміст звіту.....	39
Контрольні питання.	40
Лабораторна робота № 10 Запам'ятовуючі пристрої	41
Теоретичні відомості.....	41
Хід роботи	45
Зміст звіту.....	46
Контрольні питання	46
Лабораторна робота №11 Аналого-цифрові перетворювачі.....	47
Теоретичні відомості.....	47
Хід роботи	48
Зміст звіту.....	49
Контрольні питання	50
Словник термінів	51
Список літератури	52

СЕРЕДОВИЩЕ ІМІТАЦІЙНОГО МОДЕЛЮВАННЯ

На сьогодні значну частину експериментальних досліджень електронних пристроїв можна ефективно виконувати у віртуальному середовищі Multisim. Це дозволяє істотно зменшити витрати часу й ресурсів на реальні експерименти завдяки точному моделюванню цифрових та аналогових схем. Середовище Multisim 14 містить потужну бібліотеку компонентів, що налічує понад 50 тисяч найменувань, а також широкий спектр віртуальних контрольно-вимірювальних приладів, які максимально наближені за характеристиками та зовнішнім виглядом до їх фізичних аналогів.

Зокрема, серед доступних вимірювальних пристроїв є генератори сигналів, мультиметри, осцилографи, спектроаналізатори, аналізатори частотних характеристик (АЧХ, ФЧХ), вимірювачі коефіцієнта нелінійних спотворень, логічні аналізатори та інші прилади.

Інтерфейс Multisim 14 є багатовіконним та складається з наступних елементів: рядок головного меню, панель інструментів швидкого доступу, робоче поле для побудови схем, вікно редагування властивостей компонентів і панель приладів з віртуальними пристроями (рисунок 1).

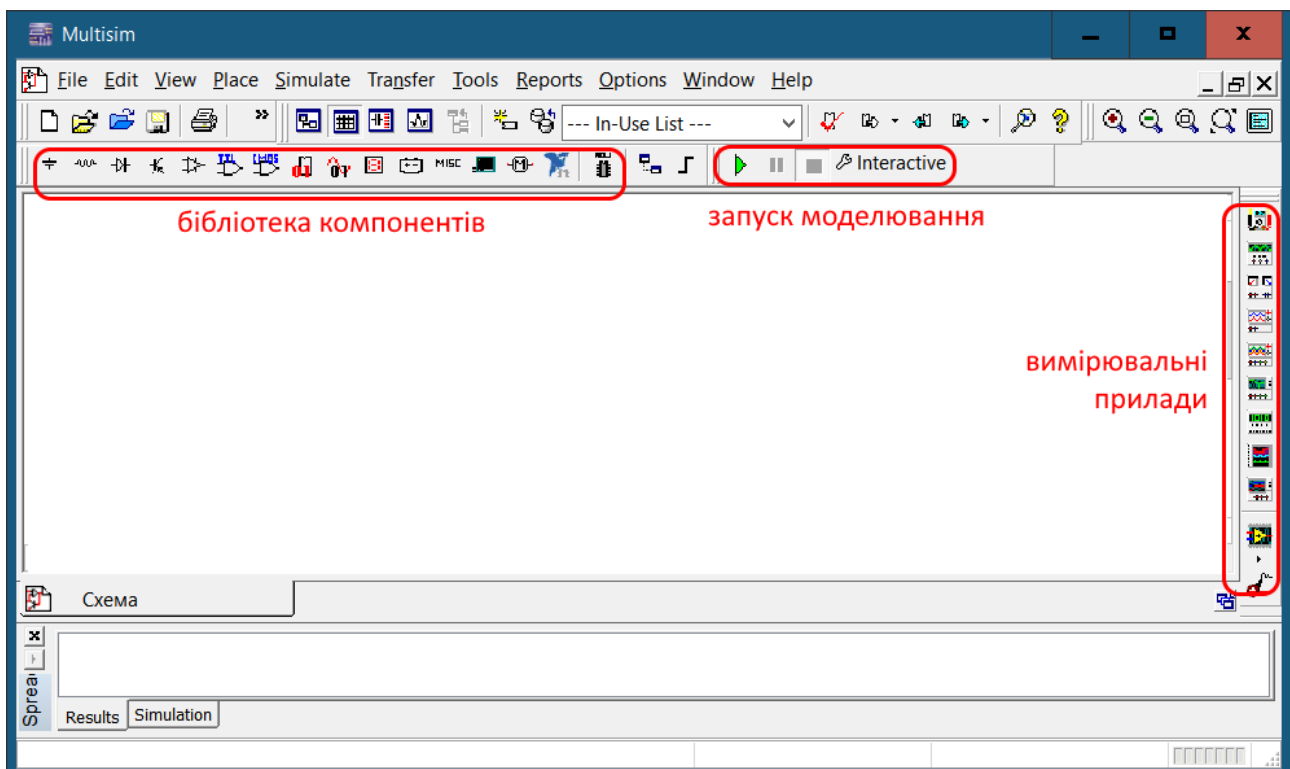


Рисунок 1 – Головне вікно Multisim 14

Віртуальні компоненти (virtual components) - це узагальнені пристрої, які містять схематичне позначення та модель для симуляції. Вони дозволяють досліджувати поведінку схеми, не прив'язуючись до реальних пристроїв.

Більшість віртуальних компонентів мають параметри, які можна змінювати для вивчення їх впливу на проєктовану схему.

Реальні компоненти (real components) відповідають конкретним пристроям певних виробників і мають моделі для симуляції з незмінними параметрами.

Бібліотека компонентів зображена на рисунку 2.

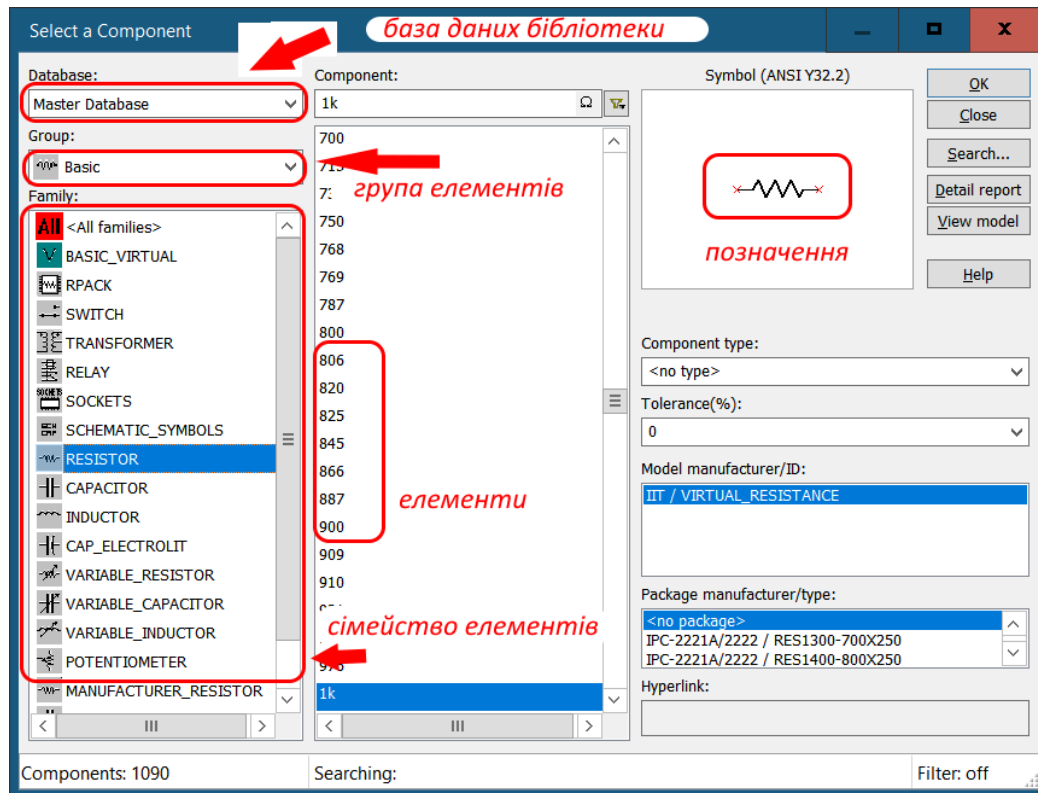
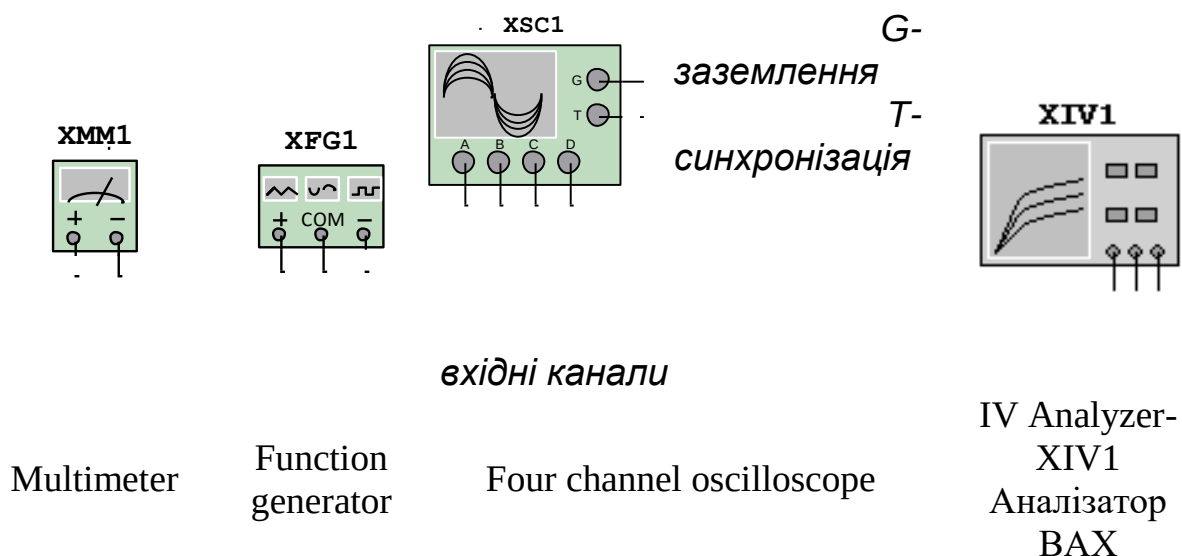


Рисунок 2 - Бібліотека компонентів

Основні вимірювальні пристрої в Multisim 14.



Осцилограф (Four channel oscilloscope) є універсальним приладом для аналізу сигналів у часовій області, який дозволяє детально досліджувати форму

та параметри електричних сигналів. Загальний вигляд та інтерфейс приладу наведено на рис. 1.5.

Основні можливості та характеристики:

- Кількість каналів: 4 (канали A, B, C, D).
- Регулювання чутливості (по вертикалі): від 10^{-15} В/поділ до 10^{15} В/поділ окремо для кожного каналу.
- Регулювання зміщення сигналу по горизонталі та вертикалі.

Управління режимами входів сигналу. Для зміни режиму роботи входних каналів передбачені наступні опції:

- AC – відображається тільки змінна складова сигналу (аналогічно підключенню конденсатора послідовно до входу).
- 0 – входний канал з'єднується із землею (сигнал не відображається, використовується для калібрування рівня нуля).
- DC – відображається повний сигнал (постійна та змінна складові).
- «–» (інверсний) – відображення сигналу інвертується (доступно лише для каналу B).

Режими часової розгортки. Режими вибираються кнопками Y/T, A/B> та A+B>:

- Y/T – стандартний режим часової розгортки; сигнали каналів відображаються по вертикальній осі, горизонтальна вісь відповідає часу. Тривалість розгортки регулюється параметром Timebase (Scale) і перебуває в діапазоні від 10^{-15} с/поділ до 10^{15} с/поділ.
- A+B> – режим сумування сигналів двох вибраних каналів.
- A/B> – режим побудови передавальної характеристики, при якому сигнал каналу A відображається залежно від сигналу каналу B.

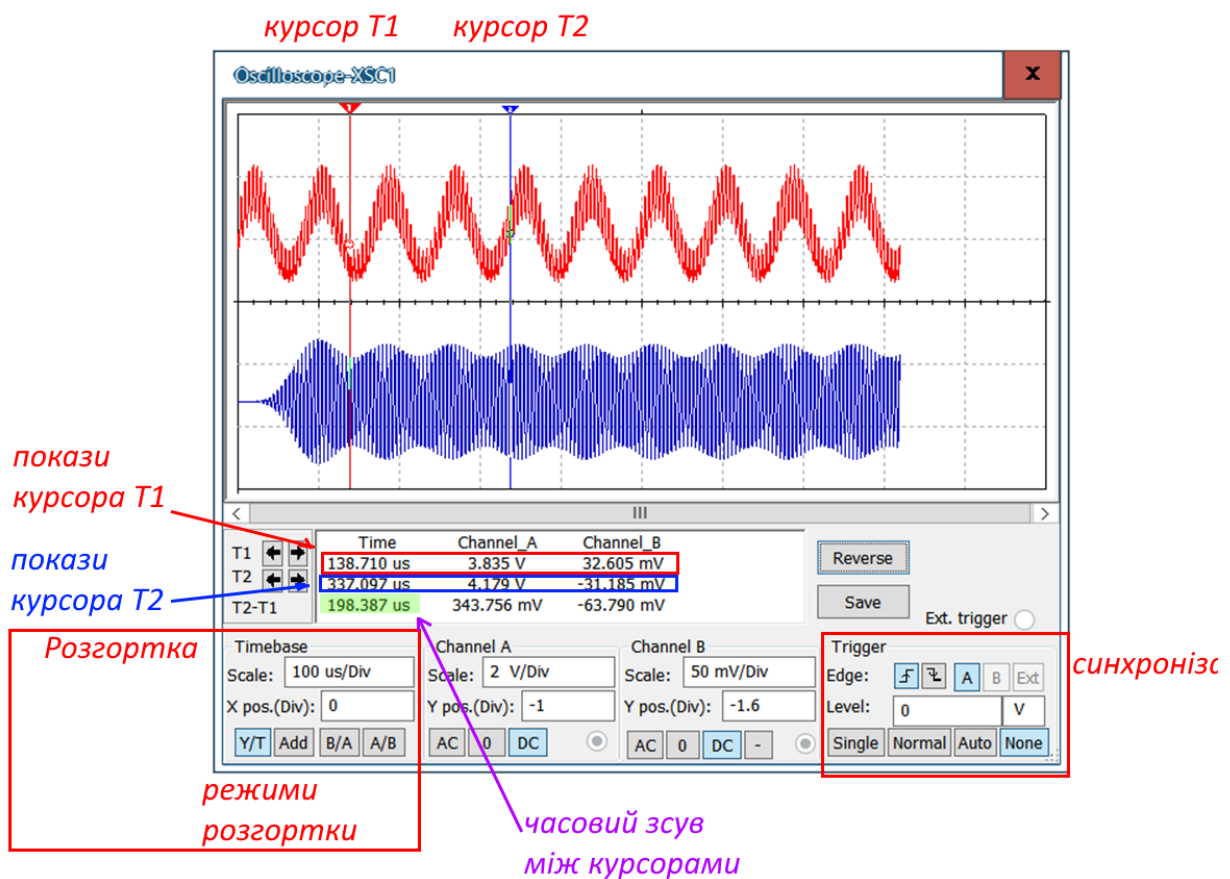


Рисунок 3 - Двохканальний осцилограф

Логічний аналізатор (ЛА, Logic Analyzer) - це віртуальний прилад, призначений для тестування та діагностики цифрових схем. Він дає змогу контролювати, реєструвати та аналізувати стани логічних сигналів у цифрових пристроях, що значно полегшує пошук несправностей і перевірку коректності роботи цифрових схем.

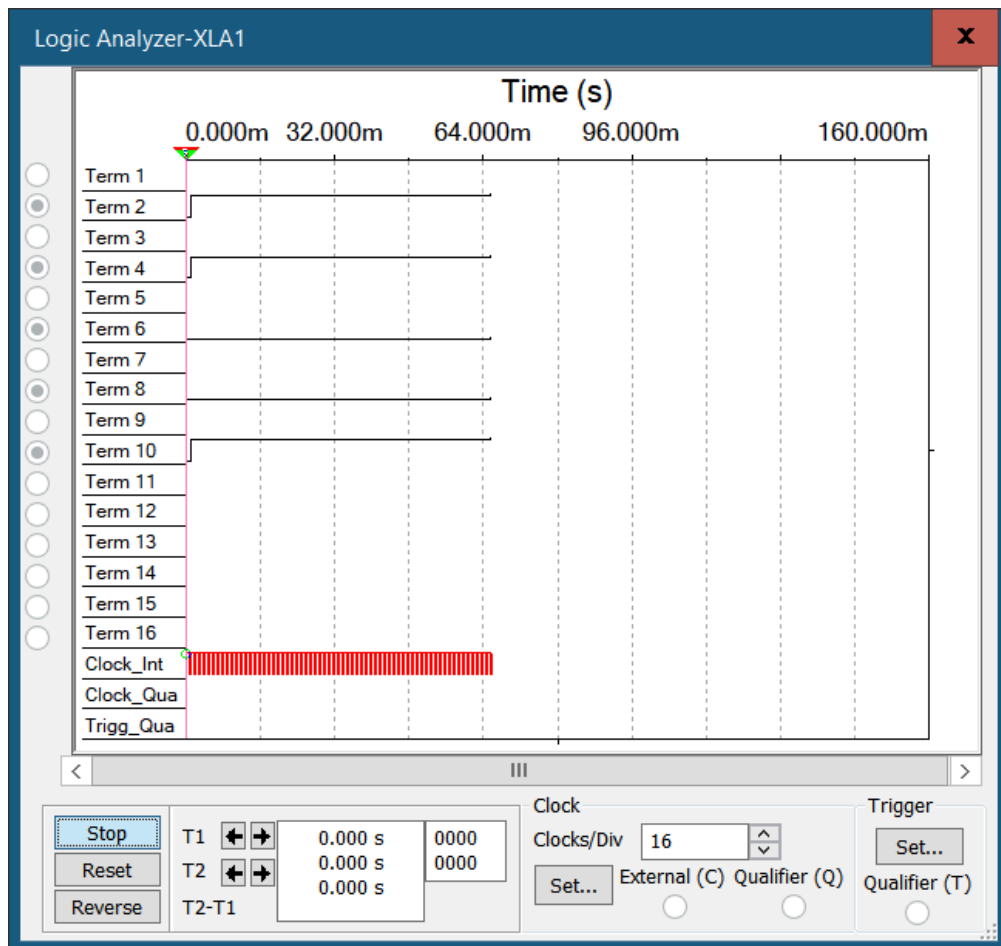


Рисунок 4 - Логічний аналізатор - Logic Analyzer

Основні функції логічного аналізатора:

- Моніторинг цифрових сигналів у часовій області.
- Одночасний аналіз стану декількох ліній (каналів).
- Реєстрація часових діаграм сигналів з подальшим детальним аналізом.
- Виявлення помилок синхронізації цифрових пристроїв.

ЛАБОРАТОРНА РОБОТА №1

ДОСЛІДЖЕННЯ ХАРАКТЕРИСТИК НАПІВПРОВІДНИКОВИХ ДІОДІВ І СТАБІЛІТРОНІВ

Мета роботи: вивчити принципи дії, властивості, вольтамперні характеристики напівпровідникових діодів і стабілітронів.

Цілі роботи

Дослідження властивостей напівпровідникового діода.

Зняття ВАХ та аналіз ВАХ діода.

Дослідження властивостей кремнієвого стабілітрона. Зняття й аналіз його характеристик.

Хід роботи

Завдання 1 Пряме і зворотне включення діода

Провести дослідження прямого включення діода (рисунок 2.1), для цього у таблиці варіантів вибрати необхідний діод і включити його в схему. Міняючи процентний крок R1 (R3) (крок відсотка можна змінювати через контекстне меню для опору) R1 (R3), провести необхідне число вимірів, фіксуючи при цьому в таблиці 1 значення $U_{пр.}$ і $I_{пр.}$

Таблиця 1.1 Пряме включення

Крок (%)	5	10	15	20	25	30	35	40	45	50
$U_{пр.}$ (В)										
$I_{пр.}$ (мА)										

Крок (%)	55	60	65	70	75	80	85	90	95	100
$U_{пр.}$ (В)										
$I_{пр.}$ (мА)										

Провести дослідження зворотного включення діода (рисунок 2.2).

Таблиця 1.2 Зворотне включення

Крок (%)	5	10	15	20	25	30	35	40	45	50
$U_{зв.}$ (В)										
$I_{зв.}$ (мкА)										

Крок (%)	55	60	65	70	75	80	85	90	95	100
$U_{зв.}$ (В)										
$I_{зв.}$ (мкА)										

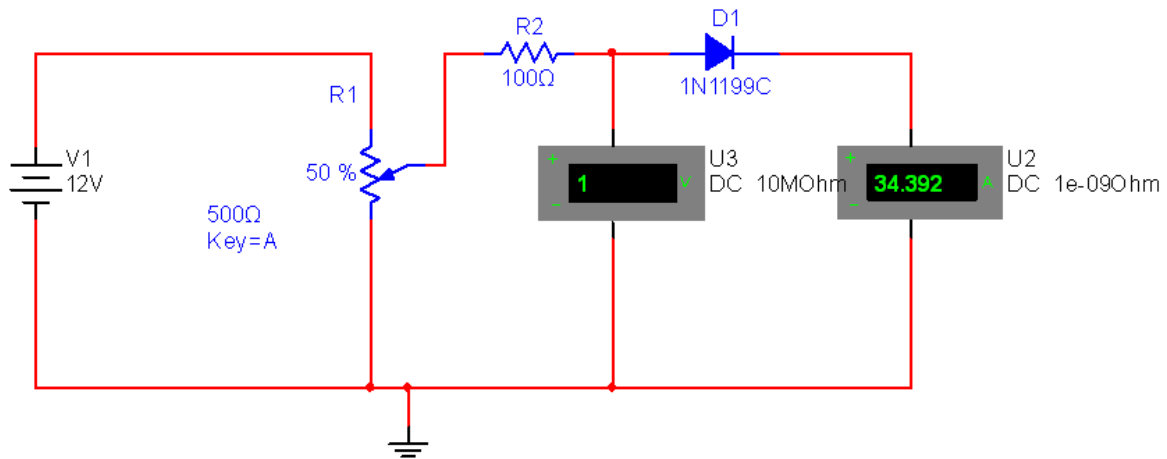


Рисунок 1.1 - Пряме включення

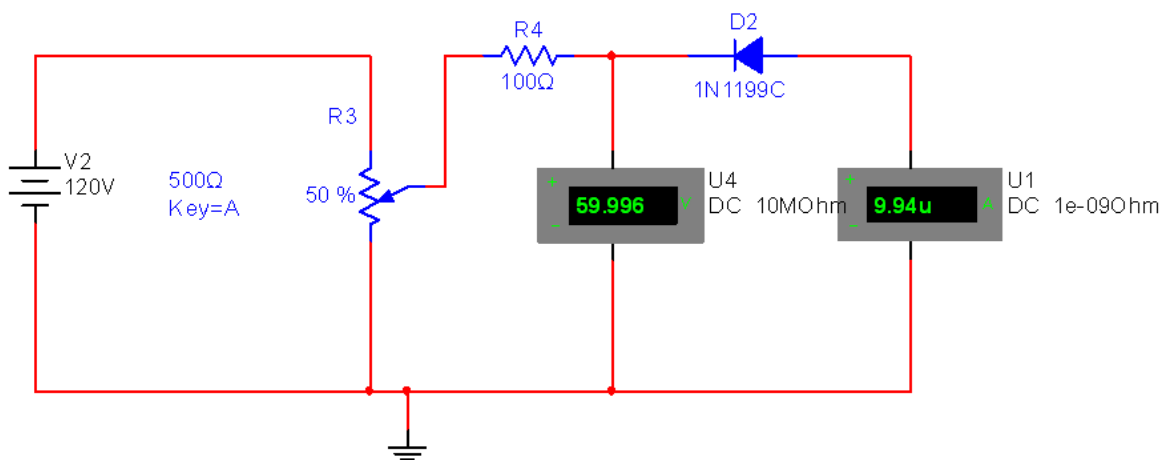


Рисунок 1.2 - Зворотнє включення

За результатами вимірів побудувати пряму й зворотну гілки ВАХ у єдиній системі координат.

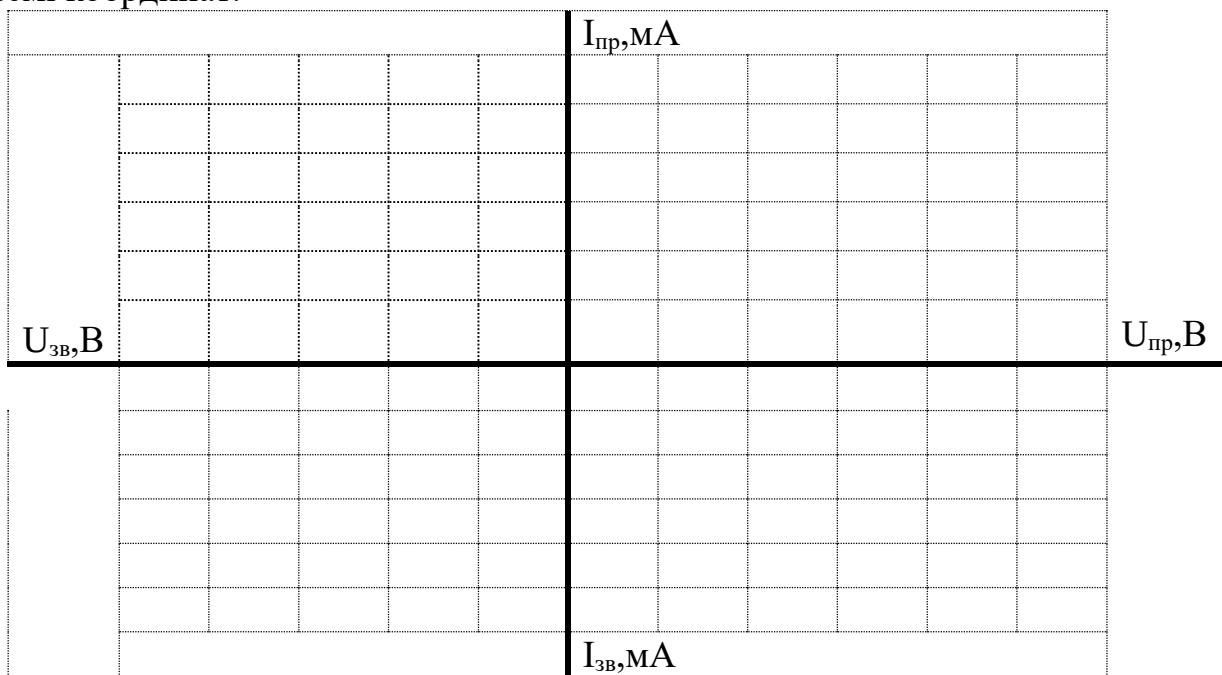


Рисунок 1.3 - Вольт-амперна характеристика випрямного діода

Визначити параметри напівпровідникового приладу за його ВАХ (в обраній точці):

- $R_0 = \frac{U_{пр.}}{I_{пр.}}$ статичний опір (при фіксованій робочій напрузі $U_{пр.}$) визначається відношенням напруги до струму в конкретній точці ВАХ.
- $R_{диф.} = \frac{\Delta U_{пр.}}{\Delta I_{пр.}}$ — диференційний (диференційний) опір (на лінійній ділянці ВАХ), характеризує зміну напруги при зміні струму і визначає нахил характеристики.
- $S = \frac{1}{R_{диф.}}$ - крутизна характеристики (провідність), величина, зворотна диференційному опору.

Варіанти для завдання 1

№	діод
1	1N916A
2	1N5822
3	1N1199C
4	1N3957GP
5	1N4004GP
6	1N6478
7	1N1206C
8	1N3208
9	1S1553
10	1S955

Завдання 2 Дослідження стабілітронів

Виконати дослідження роботи параметричного стабілізатора напруги за схемою, наведеною на рисунку 1.4. Відповідно до заданого варіанта, підібрати стабілізуючий діод (стабілітрон) та інтегрувати його у схему. Використовуючи змінний резистор (R_3), поступово змінювати його опір з обраним процентним кроком. При кожній зміні фіксувати значення стабілізованої напруги $U_{ст.}$, струму стабілізації $I_{ст.}$ та вхідної напруги $U_{вх.}$, заносючи результати вимірювань у таблицю 1.

Таблиця 1.3 - Вимірювання

Крок %	5	10	15	20	25	30	35	40	45	50
$U_{вх.}(В)$										
$U_{ст.}(В)$										
$I_{ст.}(мА)$										

Крок %	55	60	65	70	75	80	85	90	95	100
$U_{вх.}(В)$										
$U_{ст.}(В)$										
$I_{ст.}(мА)$										

Провести дослідження прямого включення стабілітрона (рисунок 1.5). Міняючи процентний крок змінного резистора (R1), провести необхідне число вимірів, фіксуєючи при цьому значення $U_{пр.}$ і $I_{пр.}$. Отримані значення занести в таблицю 1.4.

Таблиця 1.4 - Вимірювання

Крок %	5	10	15	20	25	30	35	40	45	50
$U_{пр.}(В)$										
$I_{пр.}(мА)$										

Крок %	55	60	65	70	75	80	85	90	95	100
$U_{пр.}(В)$										
$I_{пр.}(мА)$										

За результатами вимірів побудувати пряму й зворотну гілки ВАХ стабілітрона в єдиній системі координат.

Визначення основних параметрів стабілітрона в робочій точці:

- $R_{ст} = \frac{\Delta U_{ст}}{\Delta I_{ст}} = \frac{U_2 - U_1}{I_2 - I_1}$ диференційний опір стабілізації;
- I_{max} — максимальний допустимий струм стабілізації;
- I_{min} , - мінімальний робочий струм стабілізації.;
- $U_{ст}$ - напруга стабілізації (напруга у вибраній робочій точці).

Побудувати графік залежності стабілізованої напруги від вхідної напруги $U_{ст} = f(U_{вх})$ який демонструє ефективність стабілізації напруги.

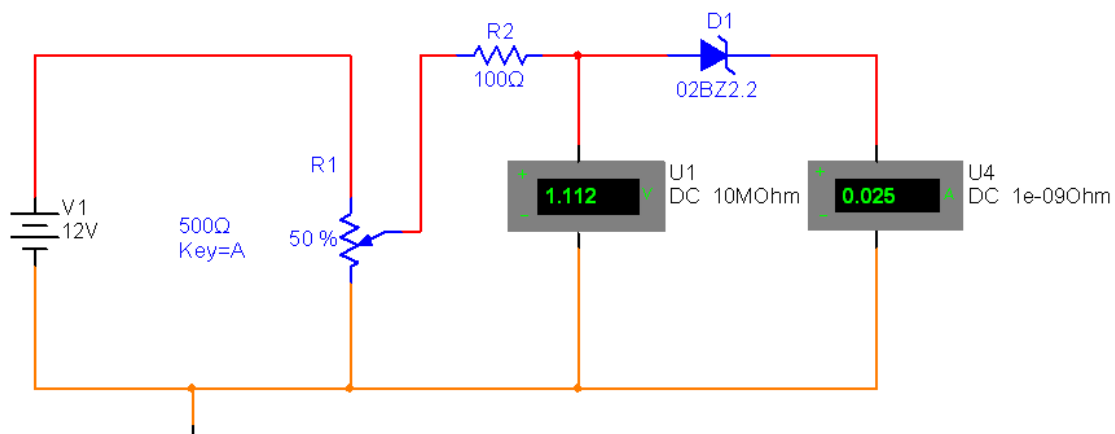


Рисунок 1.4 - Схема параметричного стабілізатора напруги

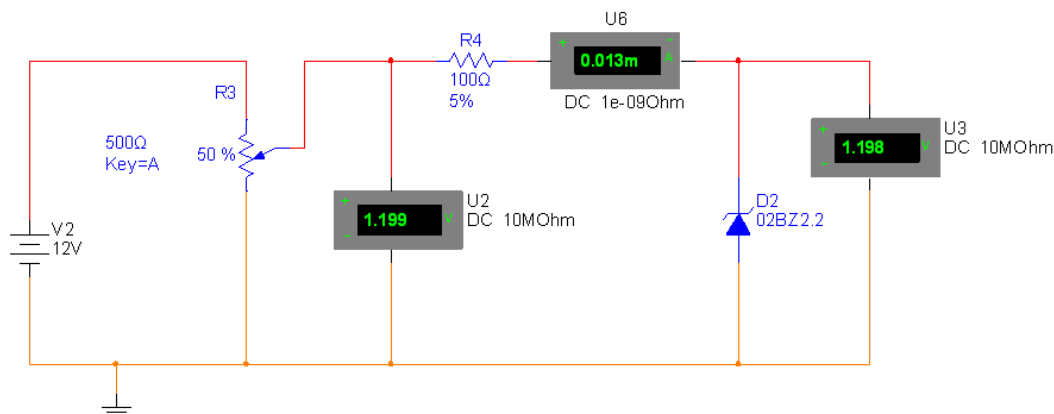


Рисунок 1.5 Схема прямого включення стабілітрона

Варіанти для завдання 2

№	стабілітрон
1	1N5989B
2	1N5990B
3	1N5987B
4	1N5988B
5	1N5991B
6	1N5992B
7	1N5985B
8	1N5986B
9	1N5993B
10	1N5994B

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні питання

1. Які типи *p-n* переходів існують, і які їх особливості?
2. Як влаштований та працює напівпровідниковий діод?
3. Що така пряма й зворотна напруга діода? Який порядок їх величин?
4. Чому пряма напруга значна менше зворотної? Чим обмежена максимальна величина зворотної напруги?
5. Що таке прямий і зворотний струми діода?
6. Чому прямий струм діода значно більше зворотного? Чим обмежена максимальна величина прямого струму?
7. Який принцип роботи і головні характеристики стабілітрона?
8. Як змінюється напруга стабілітрона при зміні струму, що протікає через нього?
9. Які ділянки вольт-амперної характеристики стабілітрона є робочими?
10. Що таке коефіцієнт стабілізації напруги в параметричних стабілізаторах?

ЛАБОРАТОРНА РОБОТА №2 ДОСЛІДЖЕННЯ БІПОЛЯРНИХ ТА ПОЛЬОВИХ ТРАНЗИСТОРІВ

Мета роботи: Вивчити принцип дії, характеристики та основні параметри біполярних і польових транзисторів, а також їх застосування.

Хід роботи

Завдання 1 Дослідження біполярних транзисторів

Виконати зняття **вхідних характеристик транзистора** відповідно до схеми, зображеної на рисунку 2.1. Для цього увімкнути дослідну схему та через контекстне меню джерела **V1** встановити напругу **0 В**.

Далі, змінюючи значення процентного кроку за допомогою резистора **R1**, потрібно встановити $U_{KE} = 0 \text{ В}$. Потім, регулюючи крок зміни елемента **R1** відповідно до значень із таблиці 2.1, виконати вимірювання струму бази I_b , одночасно фіксуючи значення напруги U_{EB} .

Процедуру необхідно повторити для випадку, коли $U_{KE} = 10 \text{ В}$.

Таблиця 2.1.

Встановити $U_K = 0\text{В}$									
Значення R1	95%	90%	80%	70%	60%	50%	40%	30%	20%
Напр. бази U_b (В)									
Струм бази I_b (мкА)									
Встановити $U_K = 10\text{В}$									
Значення R1	95%	90%	80%	70%	60%	50%	40%	30%	20%
Напр. бази U_b (В)									
Струм бази I_b (мкА)									

Провести зняття **вихідних характеристик транзистора** згідно зі схемою на рисунку 2.1. Для цього слід увімкнути схему та через контекстне меню джерела **V1** встановити напругу $U_K = 2 \text{ В}$.

За допомогою резистора **R1** необхідно послідовно встановити значення струму I_b : 10, 25, 50, 75, 100, 125 мкА. Для кожного значення I_b виміряти струм I_K та записати отримані дані в таблицю.

Ту саму процедуру потрібно повторити для значень U_K : 4, 6, 8, 10, 12.

Побудувати вхідну і вихідну ВАХ транзистора.

Обчислити коефіцієнти h за допомогою отриманих характеристик:

$$h_{11E} = \Delta U_{EB} / \Delta I_B$$

$$h_{21E} = \Delta I_K / \Delta I_B$$

$$h_{22} = \Delta I_K / \Delta U_{KE}$$

Таблиця 2.2 Характеристики

U_к(В) встановити I_{базн}(мкА)	при 2 В виміряти I_к	при 4 В виміряти I_к	при 6 В виміряти I_к	при 8 В виміряти I_к	при 10 В виміряти I_к	при 12В виміряти I_к
10 (uA)						
25 (uA)						
50 (uA)						
75 (uA)						
100 (uA)						
125 (uA)						

Схема дослідження параметрів.

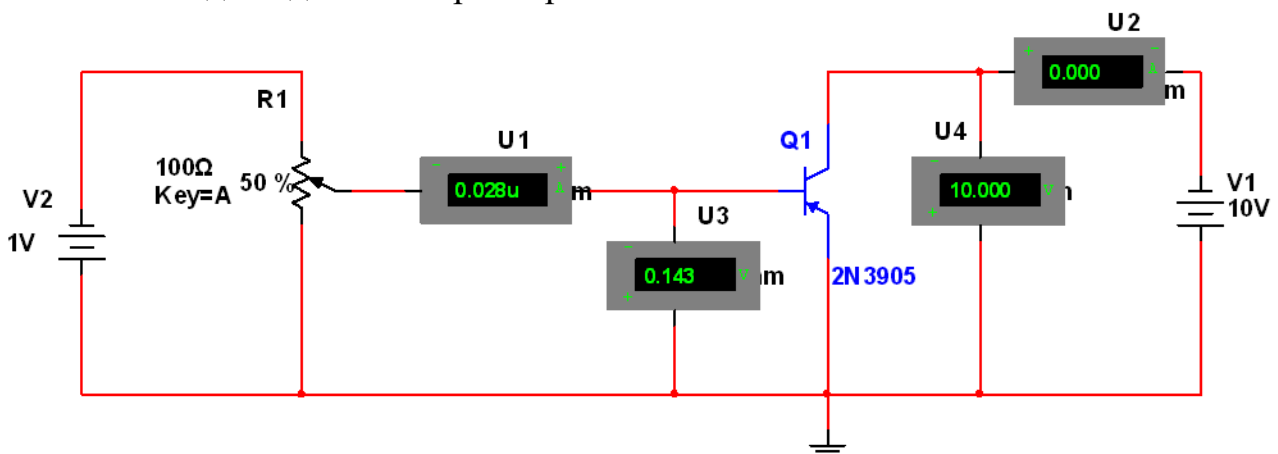


Рисунок 2.1 - Схема дослідження параметрів біполярного транзистора

Завдання 2 Дослідження параметрів і властивостей польових транзисторів

Увімкнути схему на рисунку 2.2. Змінюючи значення процентного кроку за допомогою резистора R1 відповідно до таблиці 2.3, провести вимірювання струму стоку I_C та напруги затвор-джерело $U_{зд}$. Отримані дані занести до таблиці 2.3.

Провести вимірювання **вихідних характеристик транзистора** відповідно до схеми, зображеної на рисунку 2.2. Для цього, змінюючи значення процентного кроку за допомогою елемента R1, встановити $U_{зд} = 0$ В.

Далі, змінюючи процентний крок елемента R2 згідно з таблицею 2.4 (мінімальне дискретне значення кроку потенціометра можна встановити через

його меню), виконати вимірювання струму I_C , одночасно фіксуючи значення U_{CD} .

Аналогічні вимірювання слід повторити для $I_C = 0,2; 0,4; 0,6; 0,8$ В. Отримані результати внести в таблицю 2.4.

Таблиця 2.3. вимірювання струму стоку I_C

Крок (%) R1	$U_{зд}$ (В)	I_C (мА)	
		при $U_{CD}=5В$	при $U_{CD}=15В$
0			
1			
5			
10			
20			
30			
40			
50			
60			
70			
80			

Таблиця 2.4. вимірювання струму стоку I_C

Крок U_{CD}	R2 (В)	I_C (мА)				
		при $U_3=0В$	при $U_3=0.2В$	при $U_3=0.5В$	при $U_3=1.0В$	при $U_3=1.5В$
0						
0,1						
0,2						
0,5						
1,0						
2,0						
4,0						
6,0						
10,0						
15,0						

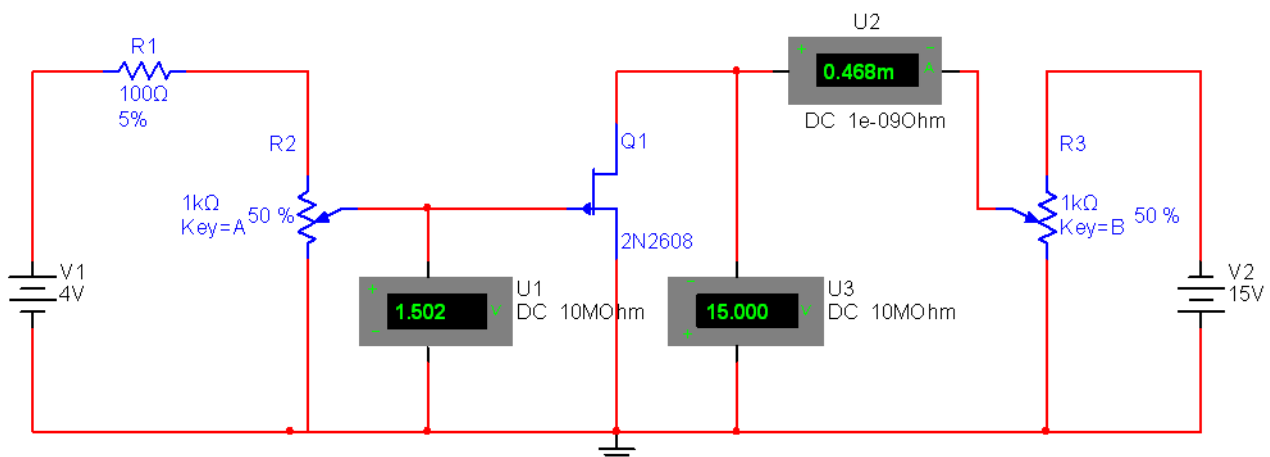


Рисунок 2.2 - Схема дослідження польового транзистора

Побудувати стоко-затворні та стокові характеристики транзистора

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні питання

1. Опишіть принцип роботи біполярного транзистора, наведіть типові схеми його ввімкнення та поясніть статичні вольт-амперні характеристики.
2. Які основні режими роботи біполярного транзистора та які їхні особливості?
3. Які параметри визначають частотні властивості біполярного транзистора?
4. Поясніть фізичні процеси, що відбуваються в біполярному транзисторі під час його роботи.
5. Які конструктивні та функціональні відмінності існують між МДН- (метал-діелектрик-напівпровідник) і МОН- (метал-оксид-напівпровідник) транзисторами?
6. Які характерні особливості МДН-транзисторів із вбудованим та індукованим каналом?
7. Що розуміють під поняттями "порогова напруга" та "напруга відсічки" в польових транзисторах?
8. Які ключові відмінності між біполярними транзисторами та польовими транзисторами?

ЛАБОРАТОРНА РОБОТА №3 ДОСЛІДЖЕННЯ СХЕМ ПІДСИЛЮВАЛЬНИХ КАСКАДІВ

Мета роботи: вивчити принцип роботи підсилювальних каскадів, їх характеристики та вплив від'ємного зворотного зв'язку на параметри підсилювачів.

Хід роботи

Завдання 1. Підсилювальний каскад на біполярному транзисторі

Дослідження амплітудних характеристик каскаду. При частоті $f = 1$ кГц зняти та побудувати амплітудні характеристики каскаду при різних значеннях навантажувального опору. Коефіцієнт підсилення визначається за формулою:

$$K_e = \frac{U_{\text{вих}}}{E_{\text{ДЖ}}} = K_{\text{вх}} \cdot K_U = \frac{R_{\text{вх}}}{R_{\text{ДЖ}} + R_{\text{вх}}} \cdot K_U = h_{21E} \frac{R_{\text{к}} \parallel R_{\text{н}}}{R_{\text{ДЖ}} + R_{\text{вх}}}$$

Безрозмірний параметр h_{21} характеризує підсилення змінного струму при нульовому навантажувальному опорі ($h_{21e} = 100$).

Резистор базового кола транзистора R_b є частиною схеми зміщення і визначає режим роботи транзистора. Його основна функція – створення стабільної базової напруги для забезпечення правильного робочого стану транзистора. Вхідний опір каскаду $R_{\text{вх}}$ з урахуванням ділника R_b . Вхідний опір каскаду $r_{\text{вх}}$ без урахування ділника R_b .

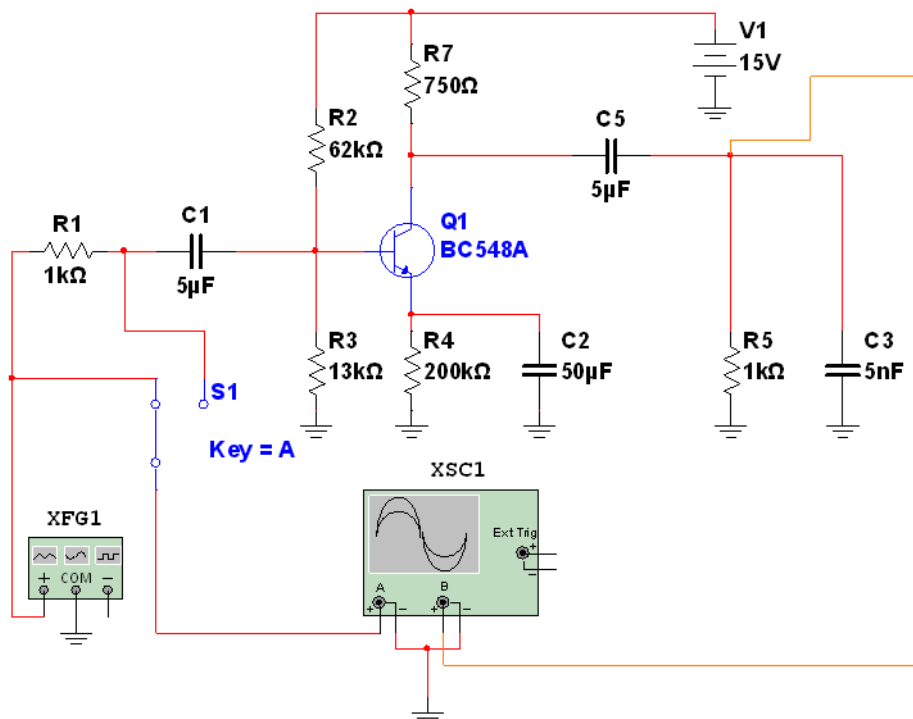


Рисунок 3.1 – Схема зі спільним емітером

На основі цих параметрів слід провести обчислення та аналіз амплітудних характеристик каскаду. Амплітуда вхідного сигналу підсилювального каскаду залежить від внутрішнього опору джерела сигналу. У схемі цей опір моделюється резистором R1 ($R1 = R_{доп}$). Для спостереження різних параметрів сигналу можна використовувати перемикач S1. Його положення визначає, який саме сигнал відобразиться на осцилографі : або ЕРС джерела сигналу, або – амплітуда вхідного сигналу.

На основі отриманих осцилограм будується графік амплітудної характеристики підсилювача, що дозволяє аналізувати зміну вихідного сигналу залежно від вхідного.

Завдання 2 Підсилювальний каскад на польових транзисторах

Для дослідження каскаду підсилювача із спільним джерелом (СД) зібрати схему на рисунку 3.2

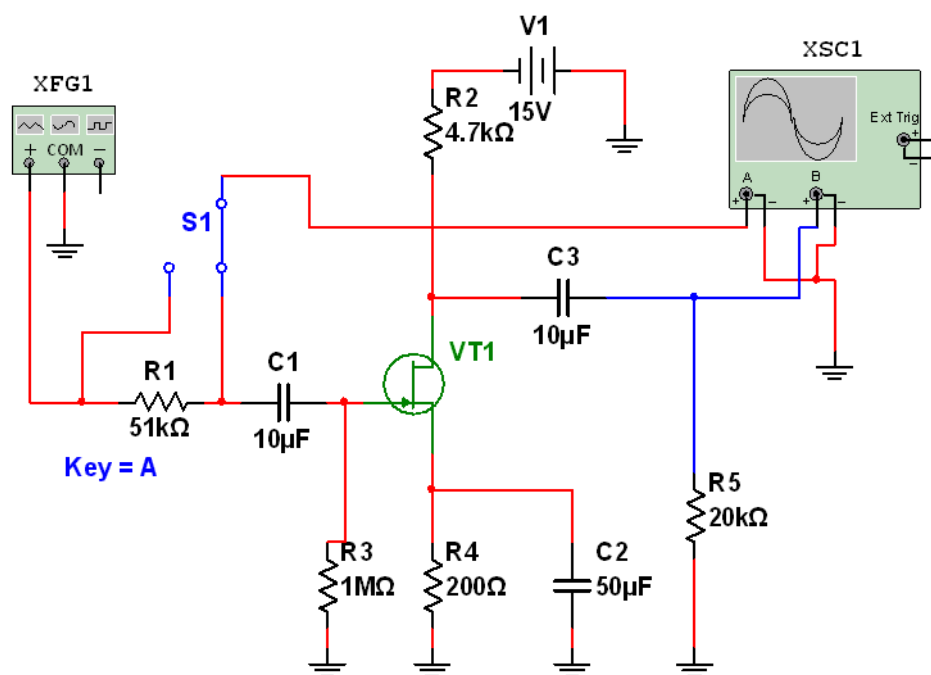


Рисунок 3.2 - Схема

Провести вимірювання частотної характеристики каскаду з загальним стоком та визначити його вхідний опір. Алгоритм дослідження:

1. Встановити на вхід каскаду сигнал із амплітудою $U_{вх} = 100$ мВ.
2. Виконати зняття амплітудно-частотної характеристики (АЧХ), вимірюючи амплітуду вихідного сигналу на різних частотах.
3. Внести отримані значення до таблиці.

f, кГц	0,01	0,02	0,04	0,07	0,1	1	10	20	40	70	100	200	500	700
$U_{вих}, В$														

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Скріншоти схем та результатів симуляції у середовищі Multisim.
- Таблиці
- Висновки.

Контрольні питання

1. Які основні схеми підключення біполярних і польових транзисторів, їх особливості та області застосування?
2. Як здійснюється стабілізація режиму спокою підсилювального каскаду?
3. Як змінюються параметри вхідного і вихідного опору каскаду, коефіцієнти підсилення за напругою і струмом залежно від схеми ввімкнення біполярного транзистора?
4. Який вплив має від'ємний зворотний зв'язок на частотні характеристики підсилювача?
5. Яке функціональне призначення всіх елементів у розглянутих схемах?

ЛАБОРАТОРНА РОБОТА №4

ДОСЛІДЖЕННЯ СХЕМ НА ОПЕРАЦІЙНОМУ ПІДСИЛЮВАЧІ

Мета роботи: вивчити принципи роботи та основні характеристики операційних підсилювачів.

Хід роботи

Завдання 1 Дослідження інвертуючої схеми ввімкнення ОП

Для дослідження інвертуючого підсилювача зібрати схему на рисунку 4.1

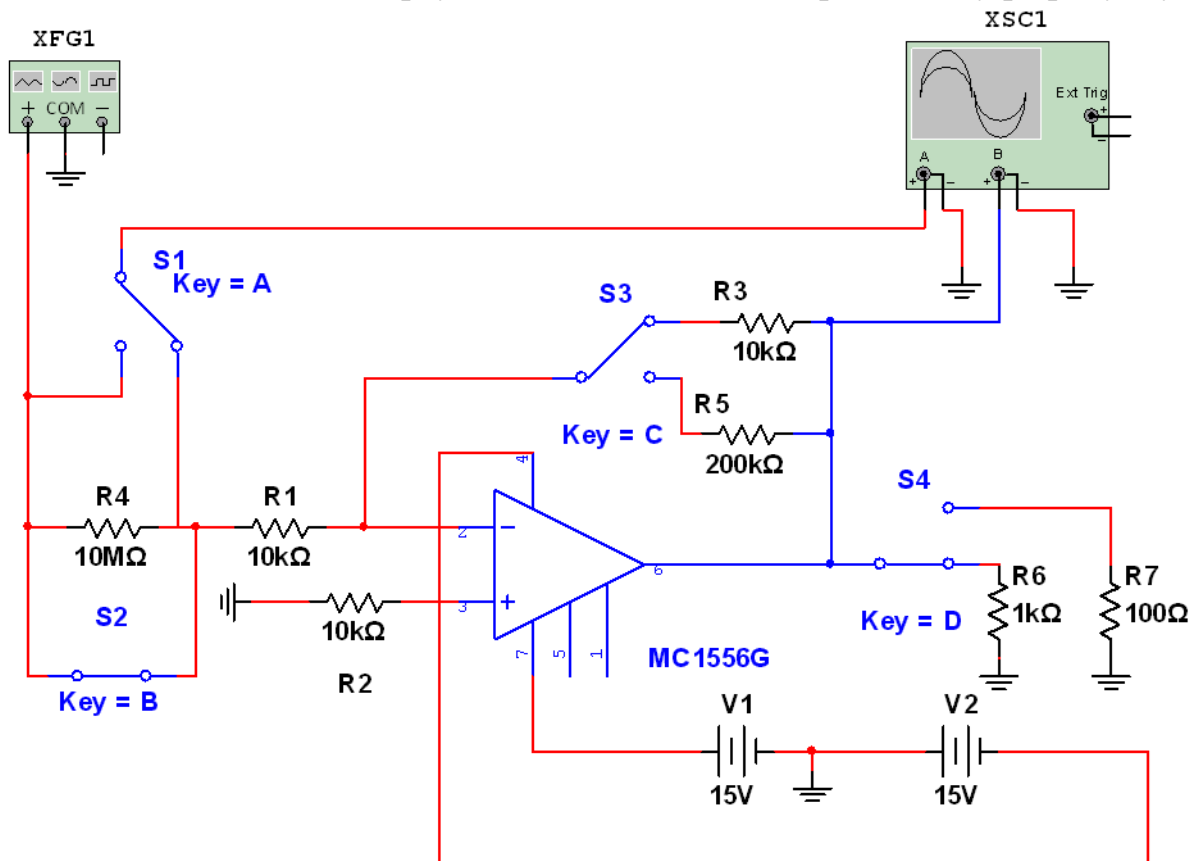


Рисунок 4.1 – Схема інвертуючого підсилювача

Провести вимірювання та побудувати амплітудні характеристики інвертуючого підсилювача при різних значеннях опору зворотного зв'язку.

Для цього слід виконати серію вимірювань при частоті $f=1$ кГц, зафіксувати результати у таблиці **4.1** (при $R_H=1$ кОм) та, на основі отриманих даних, побудувати графіки амплітудних характеристик.

Після аналізу експериментальних даних необхідно зробити висновки щодо впливу опору зворотного зв'язку на роботу підсилювача.

Амплітудні характеристики

$U_{вх}$									
$U_{вих}, В;$ $R_{oc} = 10 \text{ кОм}$									
$U_{вих}, В;$ $R_{oc} = 200 \text{ кОм}$									

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні запитання

1. Проаналізуйте призначення, основні параметри, електричні характеристики та специфіку застосування операційних підсилювачів .
2. Поясніть схему інвертуючого, неінвертуючого та диференціального підключення операційного підсилювача.
3. Поясніть вплив зворотного зв'язку на функціонування операційних підсилювачів у різних конфігураціях та поясніть його роль у забезпеченні стабільності та підсилення сигналу.

ЛАБОРАТОРНА РОБОТА №5 БАЗОВІ ЛОГІЧНІ ЕЛЕМЕНТИ

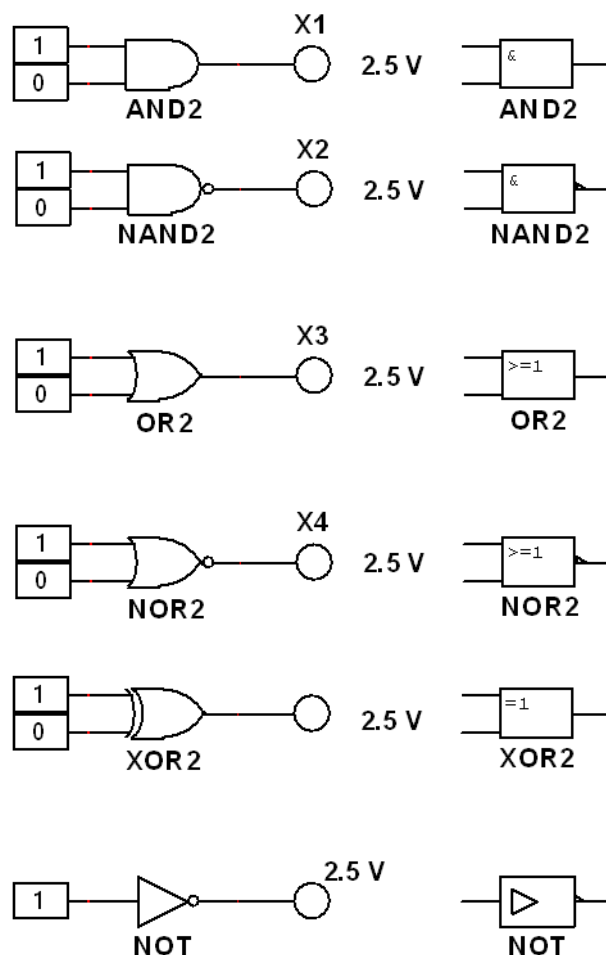
Мета роботи: моделювання роботи базових логічних елементів.

Хід роботи

Завдання 1 Дослідити базові логічні елементи

Розмістити на робочій області наступні логічні елементи: І (2AND), АБО (2OR), І-НЕ (2NAND), АБО-НЕ (2NOR) та виключаюче АБО (XOR2).

Підключити входи логічних елементів до цифрових констант з можливістю зміни стану (INTERACTIVE_DIGITAL_CONSTANT), а виходи – до індикаторів (Probe).



Запустити процес імітаційного моделювання. Під час зміни станів на входах зафіксувати відповідні значення на виходах елементів. Отримані результати записати у таблицю істинності.

x1	x0	y
0	0	
0	1	
1	0	
1	1	

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні питання

1. Що означають поняття логічна змінна, логічний сигнал і логічна функція?
2. Які існують способи запису логічних функцій?
3. Опишіть роботу схеми «виключаюче АБО»?

ЛАБОРАТОРНА РОБОТА № 6

ДОСЛІДЖЕННЯ ДЕШИФРАТОРІВ І ШИФРАТОРІВ

Мета роботи: Вивчити принцип роботи дешифраторів та шифраторів, сигналів керування для створення функціональних модулів.

Теоретичні відомості

Елементи 74LS138N, 74LS00, 7432 є логічними мікросхемами серії 74LS (Low Power Schottky), які використовуються для побудови цифрових схем:

1. 74LS138N – 3-до-8 дешифратор «3-line to 8-line decoder/demultiplexer» використовується для перетворення трьохбітного вхідного коду (select inputs A, B, C) в один із восьми активних виходів. Має три керуючі входи (enable inputs G1, G2A, G2B) для увімкнення/вимкнення дешифратора. Застосовується у адресації пам'яті, виборі пристроїв та мультиплексуванні.
2. 74LS00 – Чотири логічні елементи "І-НІ"
3. 7432 – Чотири чотири двовходові логічні елементи "АБО"

Хід роботи.

Завдання 1 Дешифратор на основі базових логічних елементів

Скласти схему представлену на рисунку 6.1

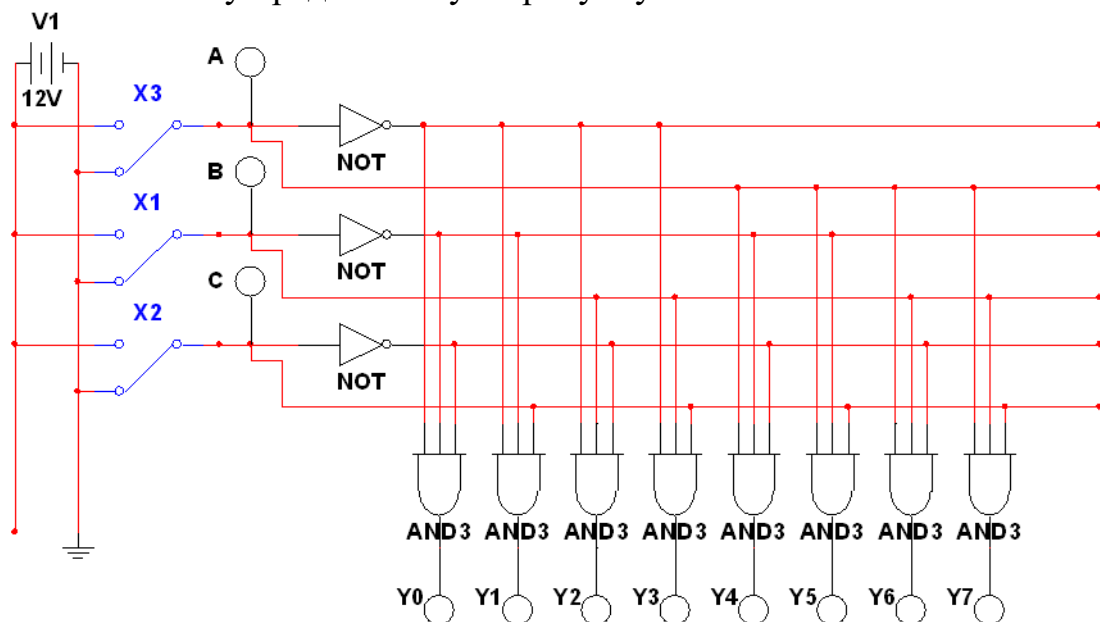


Рисунок 6.1 – Дешифратор

Навести таблицю істинності.

Завдання 2. Шифратор на основі базових логічних елементів

Побудувати шифратор із базових логічних елементів.

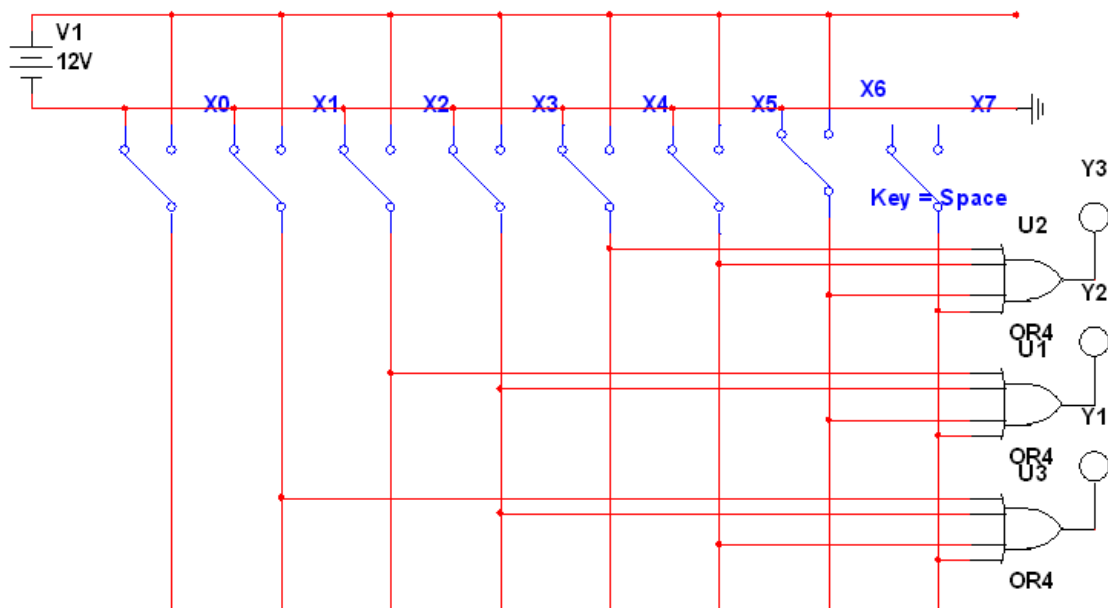


Рисунок 6.2 – Шифратор

Побудувати схему із дешифратора і шифратора на основі інтегральних елементів. Для дослідження кодів додати генератор (рисунок 6.4) індикатор та світлодіоди.

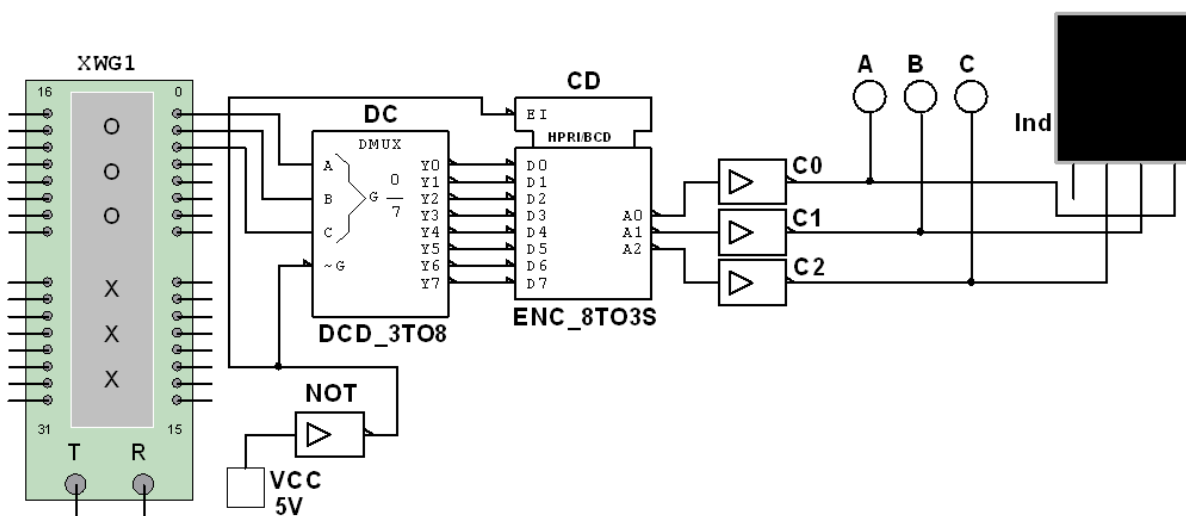


Рисунок 6.3 – Дослідження дешифратора і шифратора

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

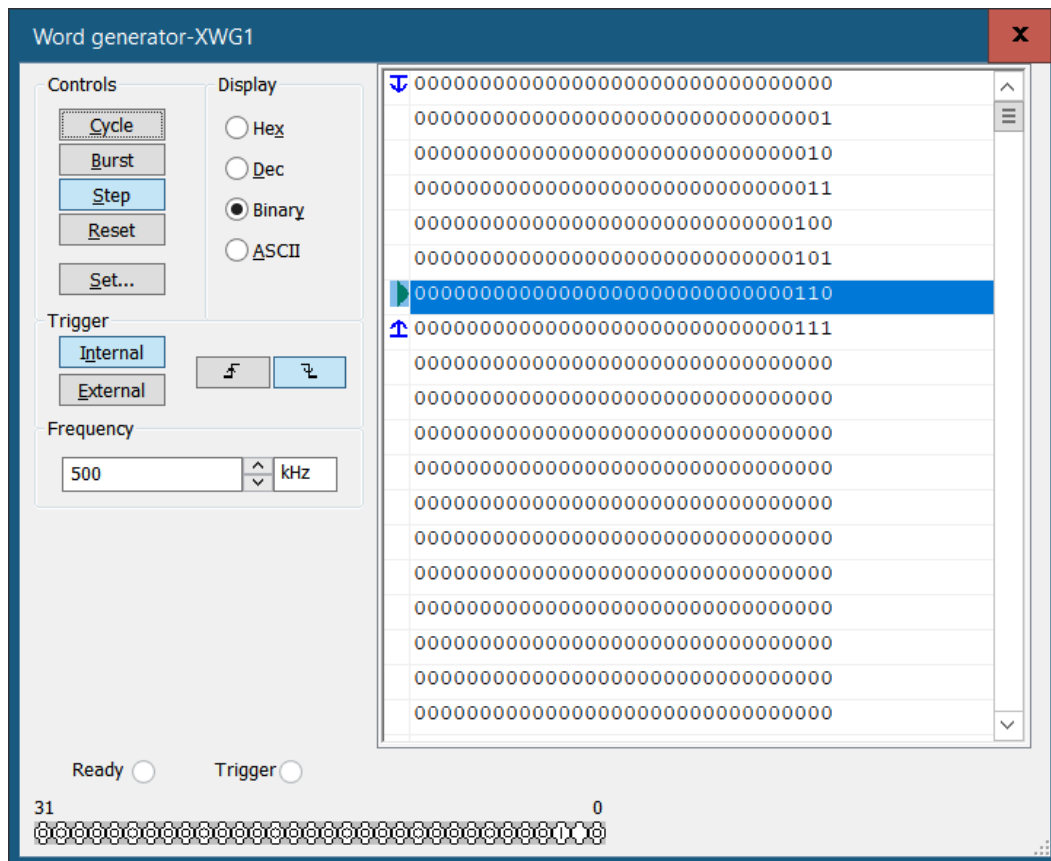


Рисунок 6.4 – Генератор слів

Контрольні питання

1. Які логічні операції реалізує дешифратор?
2. Із яких базових логічних елементів можна будувати дешифратори і шифратори?

ЛАБОРАТОРНА РОБОТА №7 ДОСЛІДЖЕННЯ СУМАТОРІВ

Мета: дослідити параметри суматорів.

Теоретичні відомості

Суматор (adder) – виконує арифметичне додавання (або вирахування в додатковому коді) двох чисел. Напівсуматор (half-adder) – однорозрядний суматор із двома однорозрядними входами операндів і двохранрядним виходом суми (старший розряд COUT (Carry Out) використовується як перенос у старший розряд багаторозрядного суматора).

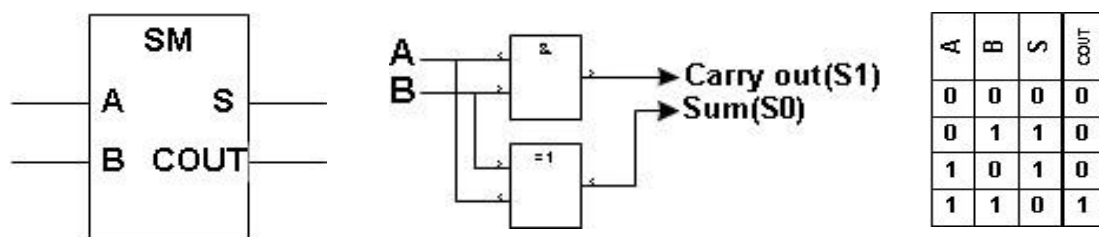
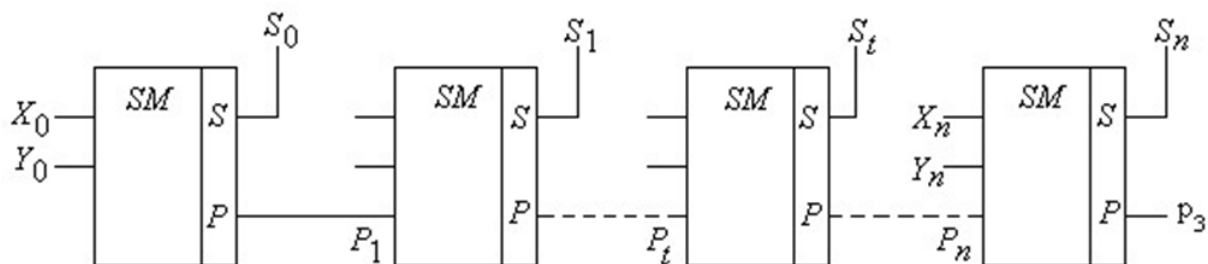


Схема паралельного багаторозрядного суматора



Хід роботи

Завдання 1. Напівсуматор

Створити і змодельовати напівсуматор на основі базових елементів XOR, AND по схемі.

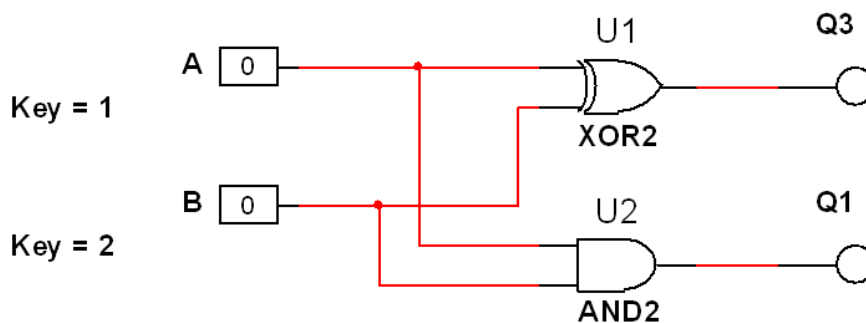


Рисунок 7.1 – Напівсуматор

Заповнити таблицю істинності

Завдання 2. Повний суматор

Створити і змодельовати повний суматор на основі базових елементів XOR, AND по схемі

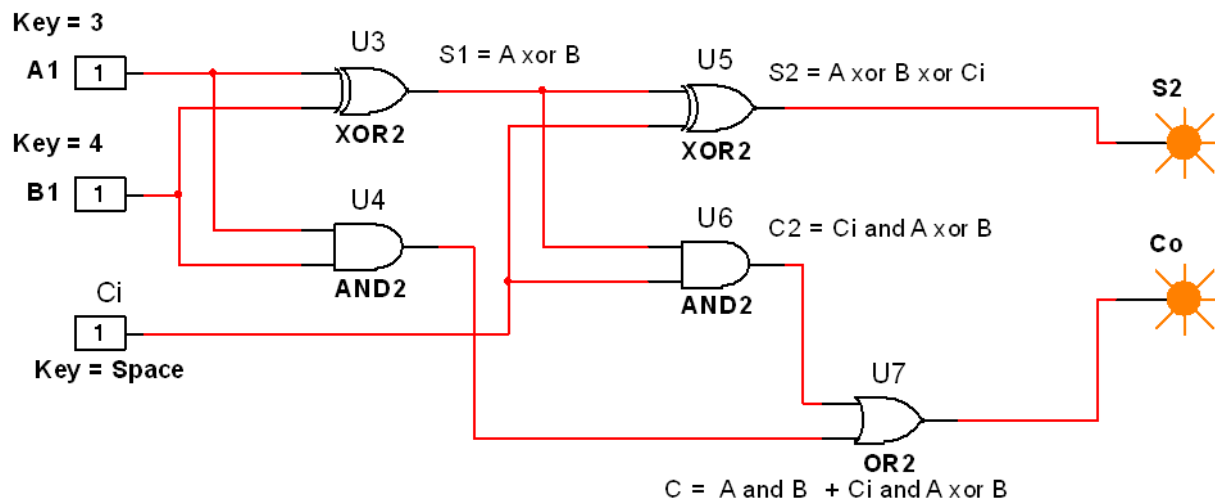


Рисунок 7.2 – Повний суматор

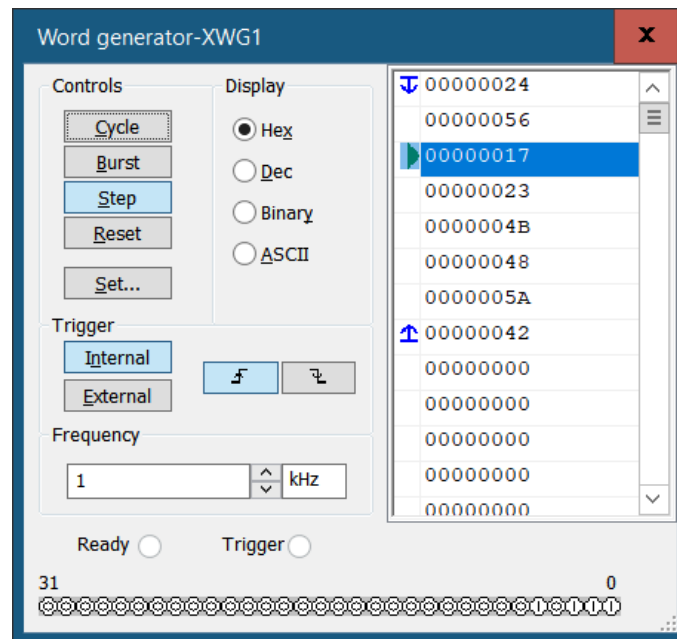
Заповнити таблицю істинності

Завдання 3. 4-розрядний двійковий суматор

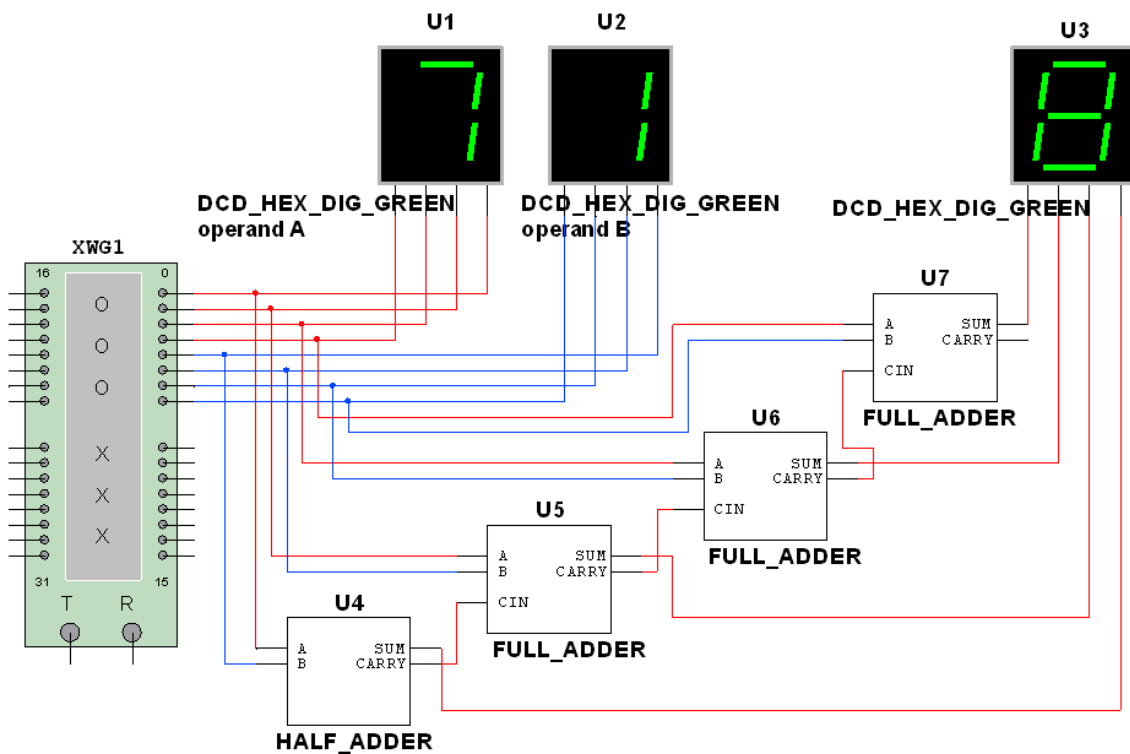
Використовуючи компоненти напівсуматор (Half Adder) та повний суматор (Full Adder), створити 4-розрядний двійковий суматор. Вхідні операнди (два 4-розрядних числа) формувати за допомогою генераторів слів (Word Generator), що налаштовані на шістнадцяткове представлення (HEX). Вивести значення двох операндів і отриманої суми на цифрові індикатори типу HEX_DIG.

Порядок виконання:

1. Додайте на схему 1 напівсуматор (Half Adder) для молодшого розряду та 3 повних суматори (Full Adder) для старших розрядів.
2. Підключіть генератори слів (Word Generator) для формування двох 4-розрядних операндів. Налаштуйте генератор на шістнадцяткове (HEX) представлення чисел (див рисунок).
3. Під'єднайте виходи генератора до відповідних входів суматора.
4. Підключіть виходи схеми (сума і перенос) до цифрових індикаторів DCD_HEX_DIG.
5. Запустіть симуляцію схеми та перевірте правильність її роботи на різних вхідних комбінаціях.



а) генератор слів



б) схема суматора

Рисунок 7.4 – Схема 4-розрядний двійковий суматор

Заповнити таблицю істинності

Завдання 4. Суматор-віднімач

Модифікувати сему 4-розрядного суматор щоб отримати суматор віднімач (Adder-subtractor). Додати керуючий сигнал “Minus” для перетворення операнду В із прямого коду в доповнений.

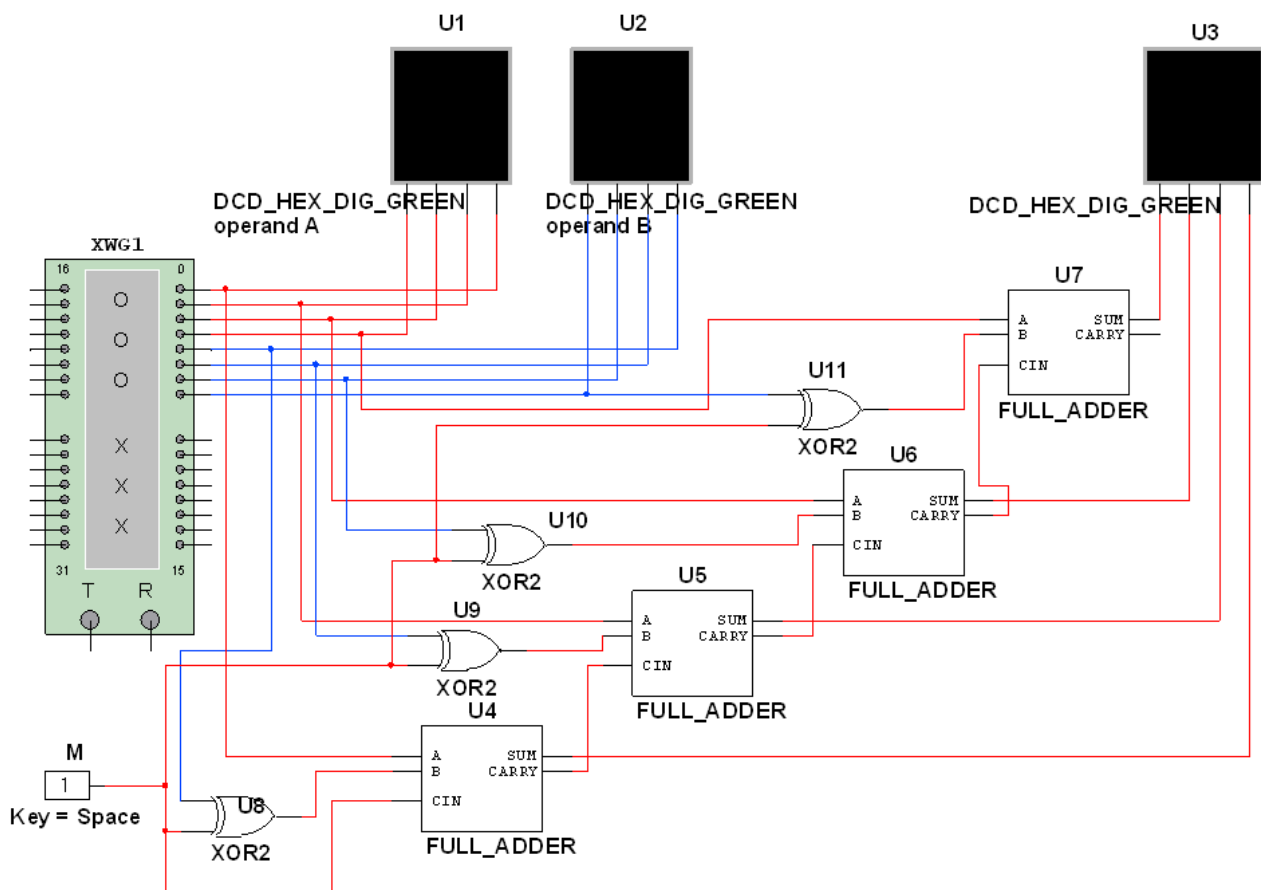


Рисунок 7.5 – Суматор-віднімач

Побудувати таблиці з операндами і результатом для суматора і суматора-віднімача.

Завдання 5. Компаратор

Змодельовати схему компаратора на рисунку 7.6.

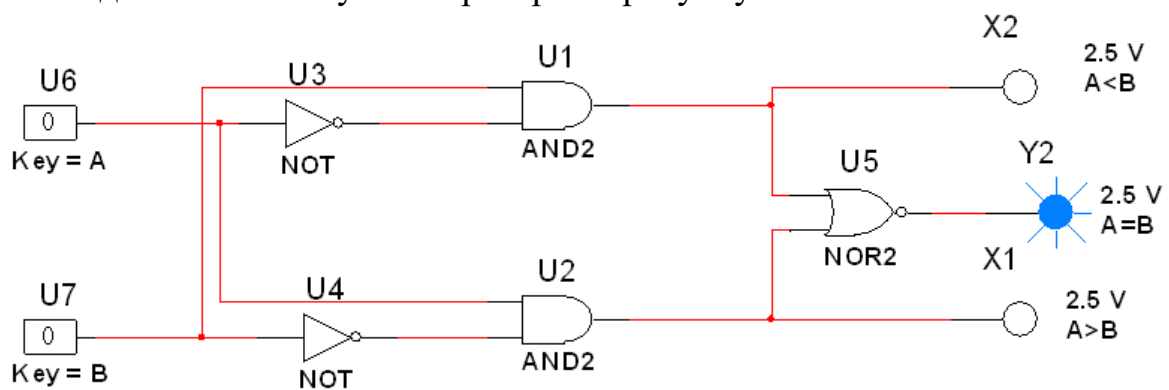


Рисунок 7.6 – Однорозрядний компаратор

Побудувати таблицю істинності для компаратора.

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.

- Скріншоти схеми та результатів симуляції.
- Аналіз роботи схеми на різних комбінаціях операндів.
- Висновки.

Контрольні питання

1. Чим відрізняється напівсуматор від повного суматора?
2. Як розширити схему для 8-розрядного суматора?
3. Що означає сигнал переносу (Carry)?

ЛАБОРАТОРНА РОБОТА №8 ДОСЛІДЖЕННЯ ТРИГЕРІВ

Мета роботи: дослідження будови і принципів роботи асинхронних та синхронних тригерів.

Теоретичні відомості

Тригер — це найпростіший послідовнісний пристрій, який здатний тривалий час зберігати одне з кількох можливих стійких станів та змінювати його під впливом входних сигналів. Він є одним із фундаментальних елементів цифрової електроніки. Основне призначення тригера полягає у збереженні значення однієї логічної змінної або однорозрядного двійкового числа. Якщо необхідно зберігати багаторозрядні двійкові числа, для кожного окремого розряду використовується окремий тригер.

Умовні позначення входів:

- S (*Set* – встановити) – вхід у RS-тригері;
- R (*Reset* – скинути) – вхід у RS-тригері;
- J (від англ. *Jump* – перехід) – вхід у JK-тригері;
- K (*Kill* – знищити) – вхід у JK-тригері;
- T (*Toggle* – перемикання) – лічильний вхід у T-тригері;
- C (*Clock* – такт) – вхід тактового сигналу;
- D (*Delay* – затримка) – вхід у D-тригері;
- E або EN (*Enable* – дозвіл) – додатковий асинхронний керуючий вхід для дозволу прийому інформації (іноді використовують позначення V).

Хід роботи.

Віртуальні компоненти

2 I-HE, 2 АБО-НЕ (2-INPUT NOR), Interactive digital constant (Digital sources), probe_dig

SR_FF “SR flip flop”, SR_FF_NEGSR “SR flip flop with negative async set& reset”, D_FF “D flip flop with positive async Set& Reset”, JK_FF “JK flip flop”, T_FF “toggle flip flop”

Завдання 1 Дослідити RS тригер

Побудувати схему на рисунку 9.1

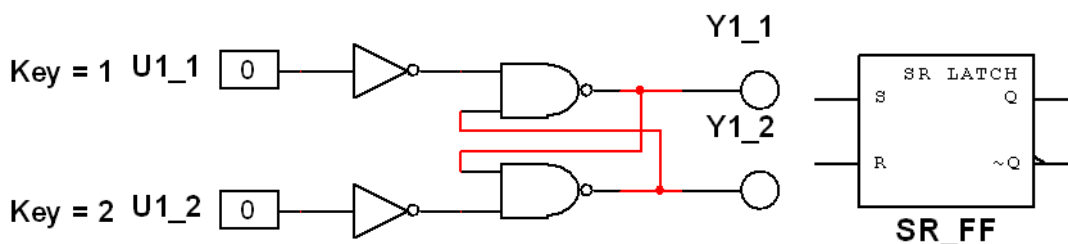


Рисунок 8.1 - Асинхронний RS тригер на I-HE та інтегральний тригер

Побудувати таблицю істинності асинхронного RS тригера

S	R	Q_{t+1}	Функція
-----	-----	-----------	---------

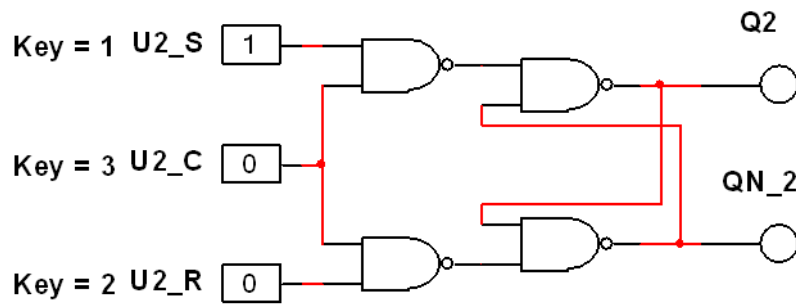


Рисунок 8.2 - Синхронний RS-тригер

Побудувати таблицю істинності

S	R	C	Q_{t+1}	Функція
-----	-----	-----	-----------	---------

Завдання 2 Дослідити D-тригер

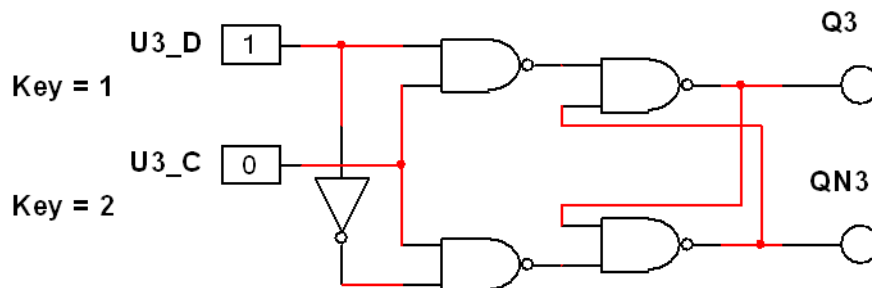


Рисунок 8.3 - D-тригер

Побудувати таблицю істинності

C	D	Q_t	Q_{t+1}	Функція
-----	-----	-------	-----------	---------

Завдання 3 Дослідити JK-тригер

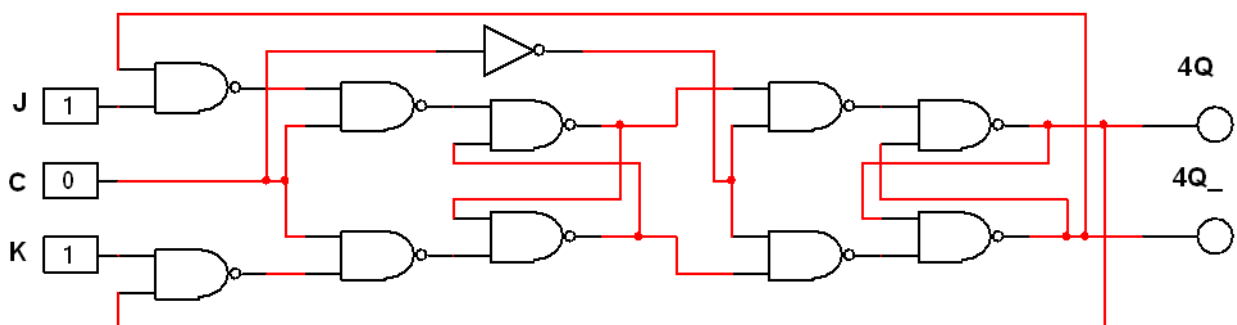


Рисунок 8.4 - JK -тригер

Побудувати таблицю істинності

J	K	Q_{t+1}	Функція
-----	-----	-----------	---------

Завдання 4 Побудувати Т-тригер

Т-тригер — це тригер, логічний стан вихідного сигналу якого змінюється на протилежний при кожному такті синхронізуючого імпульсу за умови, що на вході Т присутня логічна "1". Реалізує функцію перемикання стану (toggle).

Реалізація:

- На основі D-тригера. Вхід D підключається до інверсного виходу $\bar{Q}$, що забезпечує зміну стану при кожному тактовому імпульсі.
- На основі JK-тригера. Використовується при з'єднанні входів J та K разом і подачі на них логічної "1".

Т-тригер є основним елементом двійкових лічильників та використовується у схемах поділу частоти сигналу.

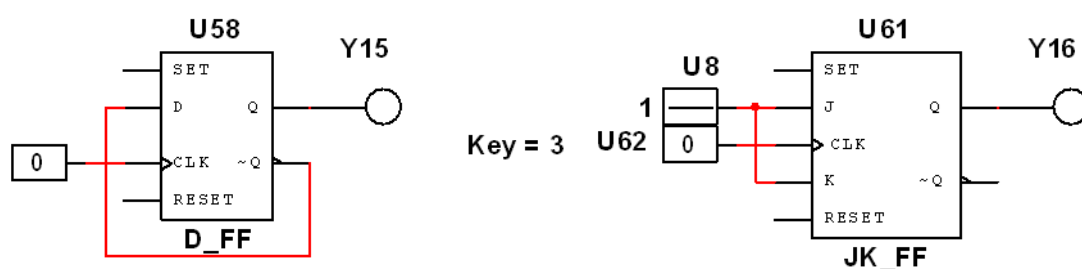


Рисунок 8.5 - Т-тригер

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні питання.

1. Що таке тригер? Як класифікують тригери?
2. Які види синхронізації тригерів існують? У чому їхні відмінності? Наведіть умовні позначення.
3. Поясніть принцип дії асинхронного RS-тригера, його логічну таблицю станів
4. Опишіть роботу синхронного RS-тригера, відмінності від асинхронного варіанту та особливості керування станами за допомогою тактового сигналу.
5. Який механізм роботи JK-тригера?
6. Як працює D-тригер?

ЛАБОРАТОРНА РОБОТА №9 ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ

Мета роботи: дослідити роботу регістрів та лічильників.

Теоретичні відомості

Регістр – це послідовнісний логічний пристрій, призначений для збереження n -розрядних двійкових чисел та виконання операцій над ними. Він складається з впорядкованої множини тригерів, зазвичай *D-тригерів*, кількість яких відповідає кількості розрядів у двійковому слові.

Залежно від способу введення та виведення даних, регістри поділяються на:

- паралельні - запис і зчитування інформації здійснюється одночасно на всі входи та виходи.

- послідовні, де дані записуються і зчитуються покроково – від першого тригера до останнього. Інформація передається по ланцюгу: значення, що надходить на вхід, записується в перший тригер, а попереднє значення цього тригера переміщується в наступний і так далі, аж до останнього тригера, з якого дані потрапляють на вихід.

- універсальні (комбіновані), які поєднують можливості як паралельних, так і послідовних регістрів, забезпечуючи гнучке керування потоками даних.

Лічильники є складнішими цифровими пристроями порівняно з регістрами, оскільки вони не лише зберігають інформацію, а й виконують функцію підрахунку імпульсів. Їхня структура також базується на тригерах, однак у лічильниках ці тригери взаємодіють за більш складними схемами, що дозволяє реалізовувати логіку переходу між станами та обробку сигналів відповідно до заданого алгоритму.

Головною функцією лічильника є підрахунок вхідних імпульсів. Це може бути як прямий підрахунок, так і відлік у зворотному напрямку. Лічильники здатні працювати в різних режимах, зокрема модульному підрахунку, коли вони скидаються після досягнення певного значення. Класифікація лічильників:

1. За способом зміни станів:

- Асинхронні – кожен тригер змінює стан незалежно від інших.
- Синхронні – всі тригери змінюють стан одночасно під дією спільного тактового сигналу.

2. За напрямком підрахунку:

- Прямі (зростаючі) – рахують імпульси у напрямку збільшення числа.
- Зворотні (спадні) – рахують у напрямку зменшення.
- Реверсивні (двонаправлені) – можуть змінювати напрямок підрахунку залежно від керуючого сигналу.

3. За способом представлення даних: двійкові, десяткові (BCD-лічильники), лічильники з довільним модулем

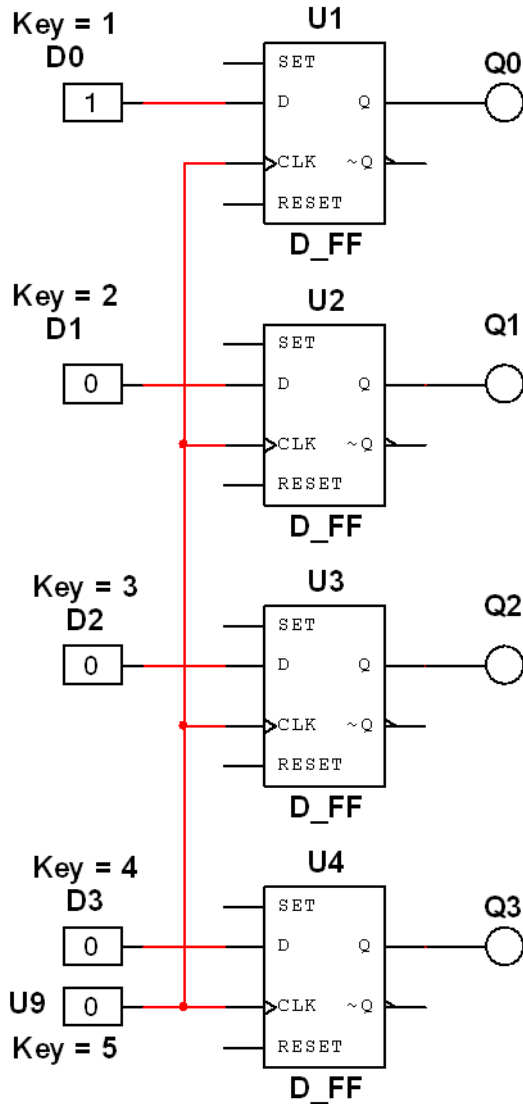
Хід роботи

Віртуальні компоненти:

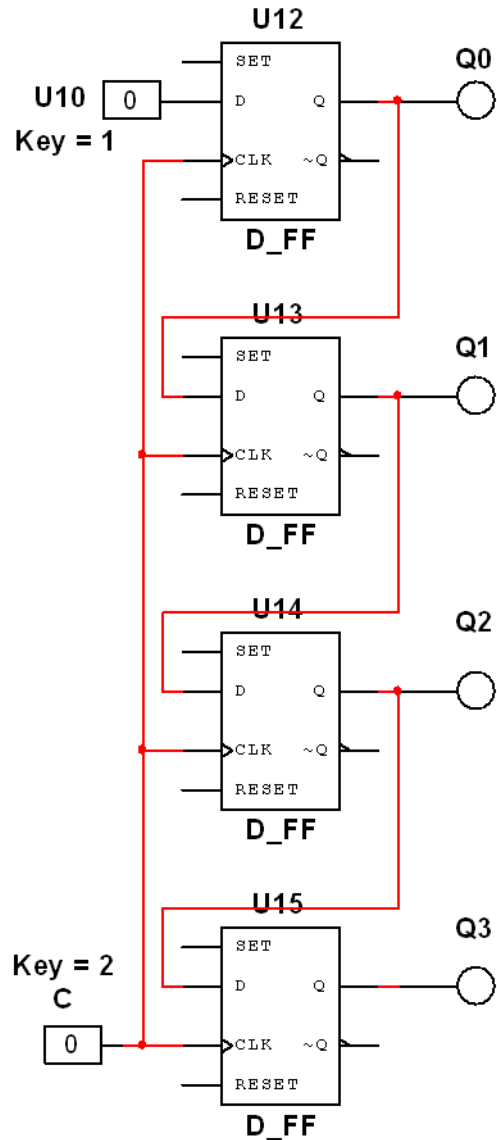
D_FF “D flip flop with positive async Set& Reset”, DIGITAL_CLOCK.

Завдання 1. Дослідити паралельний і послідовний регістри

Побудувати регістри за схемами на рисунку 9.1 а і 9.1 б



а) паралельний регістр



б) послідовний регістр

Рисунок 9.1 – Схеми регістрів

Завдання 2. Дослідити різні типи лічильників

Побудувати 4-розрядний двійковий лічильник за схемою на рисунку 9.2, а. Приєднати цифровий давач тактових сигналів Digital-clock та логічний аналізатор та побудувати схему на рисунку 9.2,б. Параметри тактового сигналу: Частота (Frequency, F) 250 Гц, Ширина імпульсу (Duty cycle) 50%, Час затримки (Delay time): 0 с.

Проаналізувати часову діаграму.

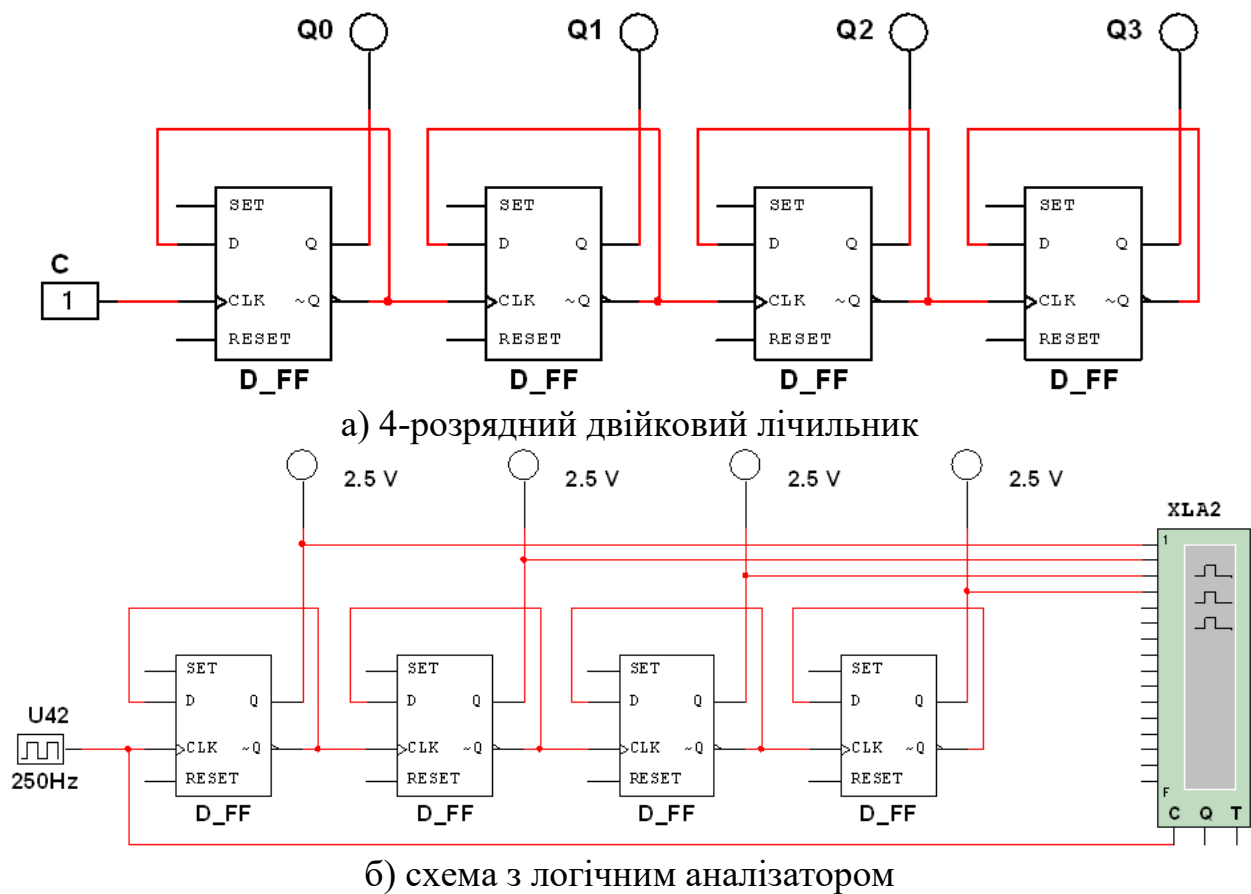


Рисунок 9.2 – Схема двійкового лічильника

Побудувати синхронний лічильник і дослідити його роботу з допомогою логічного аналізатора за схемою на рисунку 9.3

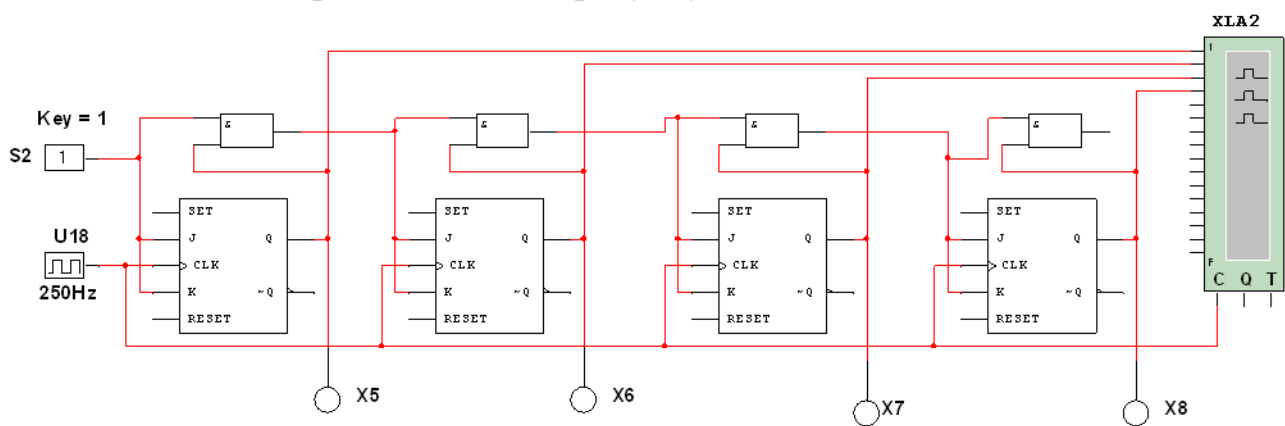
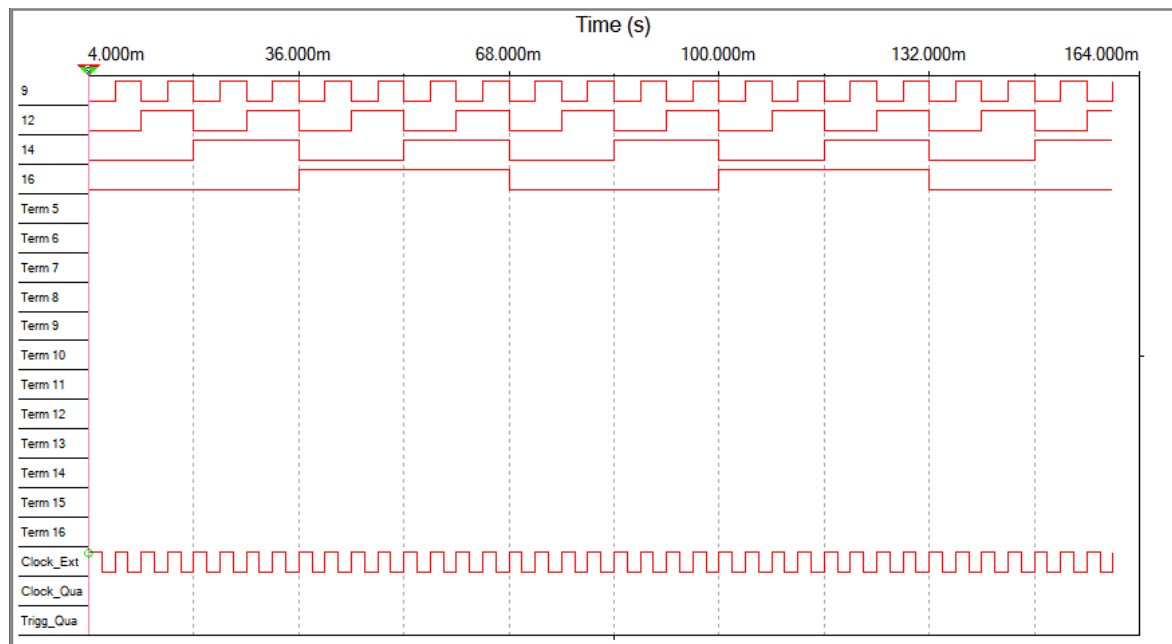


Рисунок 9.3 - Синхронний лічильник

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Скріншоти схеми та результатів симуляції у середовищі Multisim.
- Висновки.



Часова діаграма синхронного лічильника

Контрольні питання.

1. Як відрізняється робота паралельного від послідовного регістра?
2. Що таке лічильники і як їх класифікують?
3. Як розрядність впливає на швидкодію асинхронного лічильника?
4. На основі яких тригерів будуються синхронний лічильник і чому?
5. В чому різниця між асинхронними і синхронними лічильниками?

ЛАБОРАТОРНА РОБОТА № 10 **ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ**

Мета: ознайомитися із базовою структурою запам'ятовуючих пристроїв.

Теоретичні відомості

Класифікація комп'ютерної пам'яті

1. Регістрова пам'ять розташовується безпосередньо в процесорі та використовується для збереження проміжних результатів обчислень і часто використовуваних даних. Висока швидкодія регістрів дозволяє зменшити кількість звернень до повільніших рівнів пам'яті, що знаходяться поза процесором.

2. Кеш-пам'ять – це швидкодіюча проміжна пам'ять, яка може бути вбудованою (L1, L2, L3) або зовнішньою. Використовується для зберігання копій даних із оперативної пам'яті, що дозволяє пришвидшити доступ до часто використовуваної інформації.

3. Оперативна пам'ять (ОЗП, RAM – Random Access Memory) це частина основної пам'яті, яка використовується для тимчасового зберігання програм, проміжних обчислень та даних користувача. ОЗП забезпечує швидкий доступ до інформації, проте її вміст стирається після вимкнення живлення. Основні види:

- DRAM (Dynamic RAM) – динамічна пам'ять, що потребує періодичного оновлення даних;

- SRAM (Static RAM) – статична пам'ять, що забезпечує вищу швидкодію, але є дорожчою у виробництві.

4. Постійна пам'ять (ПЗП, ROM – Read-Only Memory)

Призначена для зберігання незмінних даних, таких як коди мікропрограм або системні прошивки. Основні різновиди:

- PROM (Programmable ROM) – програмується один раз;

- EPROM (Erasable PROM) – може бути стерта ультрафіолетовим випромінюванням;

- EEPROM (Electrically Erasable PROM) – дозволяє багаторазово змінювати дані електричним способом;

- Flash-пам'ять – найсучасніший вид ПЗП, що широко використовується у накопичувачах, твердотільних дисках (SSD) і мобільних пристроях;

5. Спеціалізовані типи пам'яті

- Відеопам'ять (VRAM, GDDR, HBM) – використовується у графічних процесорах для зберігання та обробки зображень.

- кеш SSD – проміжна пам'ять у твердотільних накопичувачах для підвищення швидкості обміну даними.

– буферна пам'ять у пристроях введення/виведення – зменшує затримки під час роботи з дисками, принтерами та мережею.

Для класифікації запам'ятовуючих пристроїв (ЗП) найважливішим критерієм є спосіб доступу до даних. У разі адресного доступу код, поданий на адресний вхід, визначає комірку, з якою здійснюється обмін. Усі комірки такої пам'яті є рівнодоступними в момент звернення. Адресна пам'ять є найбільш розробленою, а інші види ЗП часто базуються на ній із відповідними модифікаціями.

Адресні ЗП поділяються на оперативні (RAM) та постійні (ROM). Оперативна пам'ять, у свою чергу, класифікується на статичну (SRAM) і динамічну (DRAM). У статичній пам'яті інформація зберігається за допомогою тригерів, які підтримують стан до вимкнення живлення або запису нових даних. Динамічна пам'ять реалізується на основі МОП-структур, де дані зберігаються у вигляді зарядів конденсаторів. Через саморозряд цих елементів необхідне періодичне оновлення інформації, яке здійснюється кожні кілька мілісекунд за допомогою спеціальних контролерів. Попри необхідність регенерації, DRAM має перевагу у вигляді значно вищої щільності зберігання порівняно зі SRAM.

Існують також квазістатичні ЗП — модифікації DRAM із вбудованою системою регенерації, які за зовнішніми характеристиками аналогічні статичним ЗП. Статичну пам'ять додатково поділяють на асинхронну, тактовану й синхронну (конвеєрну).

Запам'ятовуючі пристрої адресного типу містять три основні блоки:

1. Масив елементів пам'яті – містить безпосередньо дані у вигляді двійкових комірок.
2. Блок адресної вибірки – визначає, до якого елемента здійснюється доступ.
3. Блок керування – забезпечує виконання операцій читання, запису та стирання даних.

Різні типи запам'ятовуючих пристроїв (ЗП) мають спільні структурні принципи, особливо коли йдеться про статичну оперативну пам'ять (SRAM) та постійні запам'ятовуючі пристрої (ROM). Однією з головних особливостей їхньої організації є використання 2D, 3D та 2DM структур, які впливають на ефективність адресації та швидкість доступу до даних.

2D організація. У пам'яті з ємністю M запам'ятовуючі осередки впорядковуються у вигляді прямокутної матриці розміром $k \times m$, де:

$$M = k \cdot m,$$

де k - кількість слів у пам'яті,

m - довжина слова (кількість бітів у слові).

У 2D-структурі дешифратор адреси має k виходів і активує одну з рядкових ліній, що дозволяє доступ до всіх елементів у вибраному рядку.

Стовпці комірок з'єднані вертикальними розрядними лініями, які передають біти всіх слів у відповідних позиціях. Якщо сигнал керування Chip Select активний, вибрана комірка пам'яті підключається до шин обміну, що забезпечує запис або зчитування інформації.

Ця схема добре працює при малій ємності пам'яті, але при збільшенні розміру масиву ускладнюється адресація, оскільки дешифратор повинен мати 2^N виходів. Наприклад, при 8-бітному адресному коді необхідно 256 виходів дешифратора, що робить таку організацію малоефективною для великої пам'яті.

Через обмеження 2D-структури у запам'ятовуючих пристроях з високою ємністю застосовується 3D-організація, яка покращує процес вибірки комірок пам'яті, розподіляючи їх у двох координатах (рядки + стовпці).

У 3D-організації адресний код розрядністю N поділяється на дві частини, кожна з яких передається окремим дешифраторам – один керує вибором рядків, інший – стовпців. Завдяки поділу адресації на два дешифратори зменшується кількість виходів дешифраторів, що значно спрощує апаратну реалізацію. Наприклад, для $N=8$:

- У 2D-структурі потрібно 1 дешифратор на 256 виходів ($2^8=256$).
- У 3D-структурі використовуються 2 дешифратори по 16 виходів ($2^4+2^4=32$ замість 256).

Структура пам'яті 2DM тільки для зчитування (див. рис. 10.1) базується на використанні дешифратора, який активує цілий рядок пам'яті. Основна її відмінність від класичної 2D-структури полягає в тому, що довжина рядка значно перевищує розрядність збережених слів, що дозволяє зменшити загальну кількість рядків у матриці. Внаслідок цього зменшується число виходів дешифратора, що спрощує схему адресації та підвищує ефективність використання пам'яті.

Адресація рядків у 2DM-структурі виконується за старшими бітами адреси $A_{n-1} \dots A_k$, що визначають активний рядок комірок пам'яті. Решта k молодших розрядів ($A_{k-1} \dots A_0$) використовуються для вибору конкретного m -розрядного слова з множини, що міститься у вибраному рядку.

Для реалізації цієї вибірки застосовуються мультиплексори, які отримують на свої адресні входи коди $A_{k-1} \dots A_0$. Довжина кожного рядка визначається за формулою:

$$L = m \cdot 2^k$$

де m – розрядність слова, а 2^k – кількість слів, що містяться в одному рядку.

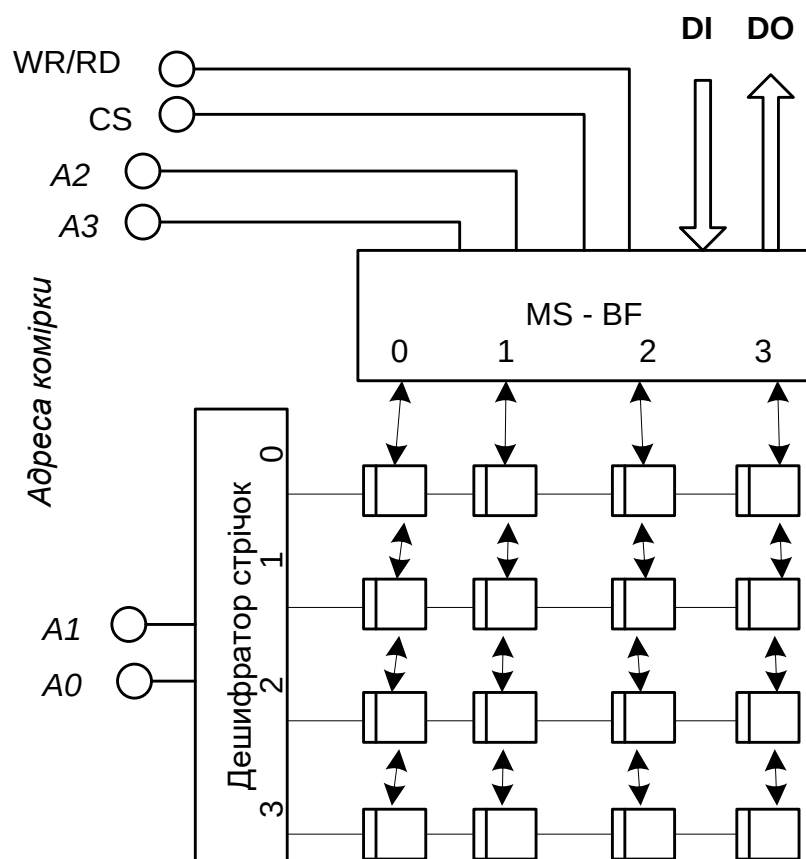


Рисунок 10.1 - Структура запам'ятовуючого пристрою

При виборі конкретного біта з відрізка довжиною 2^k , мультиплексори формують m -розрядне вихідне слово. Передача цього слова на зовнішню шину даних здійснюється через буферні елементи з трьома станами виходів (керовані буфери), які активуються сигналом дозволу CS через керуючі входи OE.

Мікросхема 2K8 RAM у Multisim — це модель статичної оперативної пам'яті (SRAM), яка містить $2K \times 8$ біт, тобто 2048 комірок, кожна з яких зберігає 1 байт (8 біт) інформації. Основні характеристики:

- розрядність адреси: 11 біт (для доступу до $2^{11} = 2048$ комірок)
- шина даних: 8-бітова (D0–D7)
- шина адреси: 11-бітова (A0–A10)
- сигнали керування:
 - CS (Chip Select) – активація чипа пам'яті
 - WE (Write Enable) – дозвіл на запис
 - OE (Output Enable) – дозвіл на зчитування

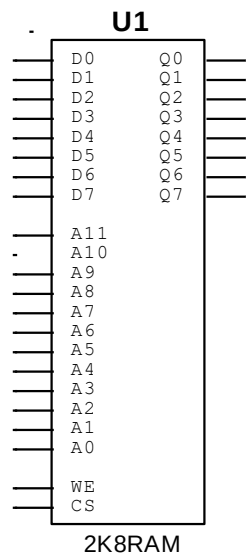


Рисунок 10.2 - Компонент 2K8 RAM

Режими роботи:

1. Запис у пам'ять:

- CS = 0 (активний рівень)
- WE = 0 (дозвіл запису)
- OE = 1 (вимкнене зчитування)
- На шину даних подається значення для запису, адреса задається через A0–A10.

2. Зчитування з пам'яті:

- CS = 0
- WE = 1
- OE = 0
- На виході з'являється вміст комірки за вказаною адресою.

3. Неактивний режим (схема не використовується):

- CS = 1 — незалежно від інших сигналів, пам'ять неактивна.

Хід роботи

В середовищі Multisim зовнішня пам'ять представлена компонентом 2K8RAM.

Якщо на керуючий вхід WE (Write Enable) подано логічну одиницю high (активний високий сигнал), то вхідні дані *D* записуються у комірку пам'яті, яка вказана на адресній шині *A*. Якщо на подати WE низький сигнал low, дані з адресованої комірки пам'яті стають доступними для зчитування на виході *Q*₇, ..., *Q*₀.

Керуючий вхід CS (Chip Select) виконує функцію загального дозволу роботи пристрою. Запис даних у пам'ять можливий лише тоді, коли CS знаходиться в активному стані (високий рівень).

Скласти схему зображену на рисунку 10.1.

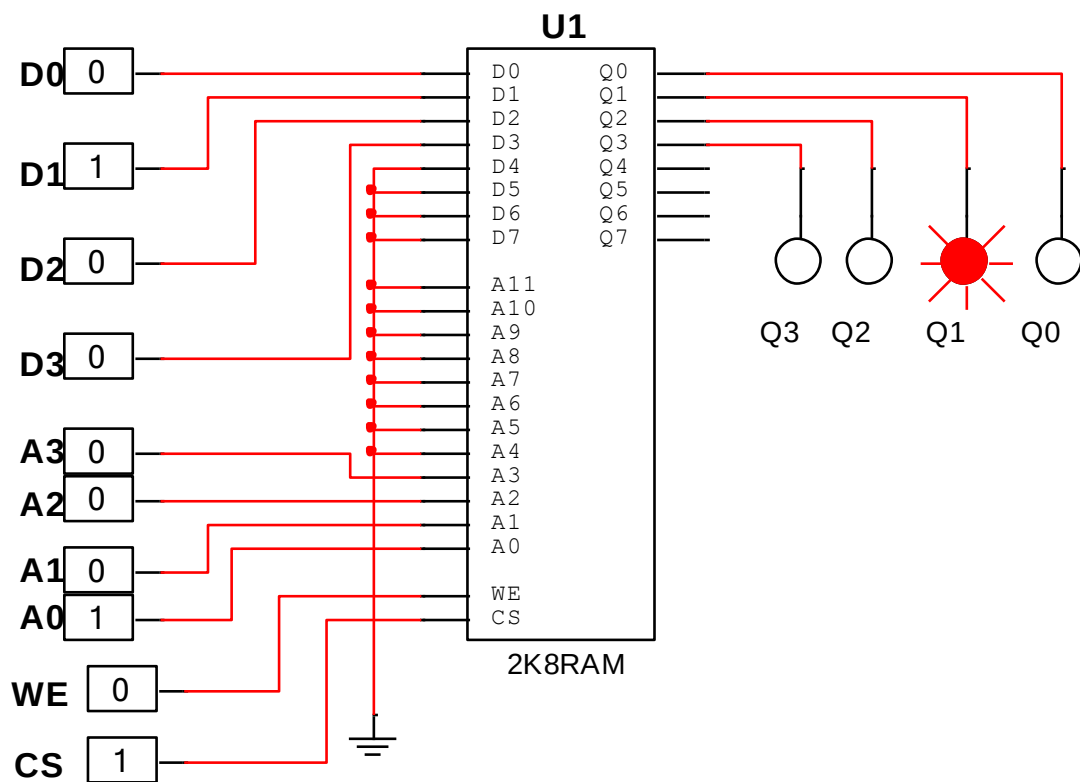


Рисунок 10.1 – Схема керування мікросхемою пам'яті

1 Запишіть дані за адресами: 0000, 0001, 0010. Під час зміни адресних ліній для програмування наступної комірки пам'яті зверніть увагу на стан сигналу WE.

2 Зчитайте дані із адрес 0000, 0001, 0010, щоб перевірити коректність запису. Створіть таблиці записаних і зчитаних даних.

Адреси	Дані
0000	0010
0001	0011
0010	0100

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.
- Висновки.

Контрольні питання

1. Як класифікують запам'ятовуючі пристрої?
2. З чого складається комірка пам'яті?.
3. Які керуючі сигнали інтегральних схем запам'ятовуючих пристроїв?

ЛАБОРАТОРНА РОБОТА №11

АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

Мета роботи. Вивчити принципи перетворення аналогового сигналу в цифровий

Теоретичні відомості

Аналого-цифрові перетворювачі (АЦП) — це електронні пристрої, призначені для перетворення аналогових сигналів у цифрову форму, зручну для подальшої обробки мікропроцесорами, мікроконтролерами та іншими цифровими системами. Процес аналого-цифрового перетворення передбачає трансформацію неперервного сигналу, який можна описати функцією часу $U(t)$, у дискретну послідовність чисел $U(t_j)$, де $j = 0, 1, 2, \dots$ які відповідають певним фіксованим моментам часу.

Цей процес включає дві основні стадії: дискретизацію та квантування. Під час дискретизації аналоговий сигнал перетворюється у послідовність миттєвих значень у визначені моменти часу. Квантування, у свою чергу, зводиться до представлення цих значень у вигляді чисел, обмежених певною кількістю рівнів.

Найчастіше використовується рівномірна дискретизація, за якої момент часу t_j визначається як $t_j = j \cdot t$, де t — інтервал дискретизації. Щоб уникнути втрати інформації, цей інтервал обирається згідно з критерієм Найквіста:

$$t = \frac{1}{2F_m}$$

де F_m — максимальна частота спектра сигналу, що перетворюється.

АЦП широко використовуються в системах цифрового вимірювання, автоматизованого керування, вбудованих комп'ютерних пристроях і цифрових контролерах. Їх сфери застосування багато в чому збігаються з аналогово-цифровими перетворювачами (ЦАП), адже обидва типи пристроїв часто функціонують у парі в складі єдиних систем.

Основні методи реалізації аналого-цифрового перетворення включають:

- метод послідовної лічби (на основі ЦАП або з інтегруванням);
- порозрядне кодування (послідовне двійкове наближення);
- паралельне кодування;
- комбіновані паралельно-послідовні схеми.

Основні параметри та характеристики АЦП

1. Розрядність — кількість біт вихідного коду.
2. Роздільна здатність — мінімальний приріст вхідної напруги, що змінює вихідний код на 1 молодший розряд.
3. Нелінійність — максимальне відхилення вихідного коду від теоретичного значення у всьому діапазоні.
4. Абсолютна похибка — найбільше відхилення вихідного коду у кінцевій точці шкали.
5. Час перетворення — інтервал від початку процесу до отримання стабільного вихідного коду; іноді замість цього параметра вказують частоту перетворення.

6. Діапазон та полярність вхідної напруги, споживаний струм, конфігурація живлення та сумісність з мікропроцесорами.

Мікросхеми ICL7106, ICL7107 фірм INTERSIL та MAXIM (США) є інтегруючими аналого-цифровими перетворювачами (АЦП) на 3,5 десяткових розряди з виведенням інформації на семисегментні індикатори. Вони широко застосовуються у вимірювальних приладах для визначення напруги, струму, опору, температури, маси тощо. ICL7106 призначена для роботи з рідкокристалічними (LCD) індикаторами, тоді як ICL7107 використовується зі світлодіодними індикаторами. Раніше випускалися аналогічні мікросхеми КР572ПВ2, КР572ПВ5, які мали аналогічне призначення та функціональність. Конструктивне виконання цих мікросхем передбачало 40-вивідний корпус (аналог DIP40). Схема включення мікросхеми представлена на рисунку 11.1.

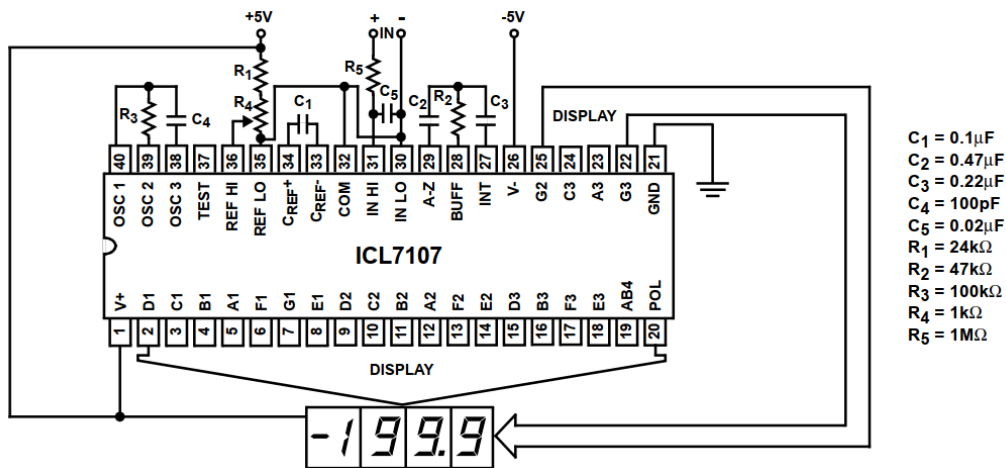


Рисунок 11.1 - Схема включення ICL7107

Хід роботи

Дослідження вихідної характеристики моделі 4-розрядного АЦП

Зібрати схему відповідно до рисунку 11.2. Відкрийте вікна генератора цифрових кодів і осцилографа. Налаштуйте генератор натисніть кнопку Step. Зафіксуйте осцилограми, які з'являться на екрані осцилографа.

За допомогою осцилографа виміряйте значення вхідної напруги від функціонального генератора. Для кожного тактового імпульсу визначте відповідний шістнадцятковий код, що відображається на семисегментному індикаторі. На графіку вихідної характеристики нанесіть точку, яка відповідає поточному експериментальному вимірюванню, і вкажіть поряд із нею виміряне значення напруги.

Повторюйте описану послідовність дій для всіх тактів одного періоду вхідного сигналу, щоб отримати повну залежність вихідного коду від аналогової вхідної напруги.

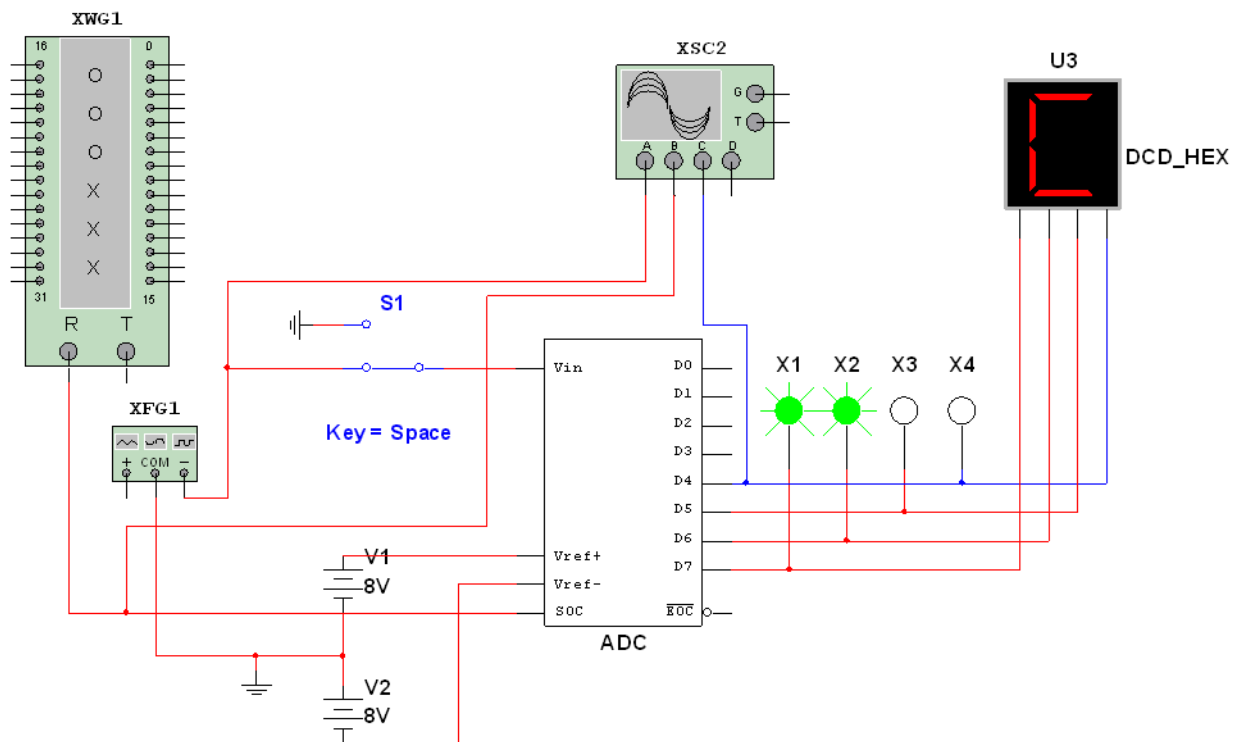


Рисунок 11.2 – Схема дослідження АЦП

Налаштування осцилографа та генератора.

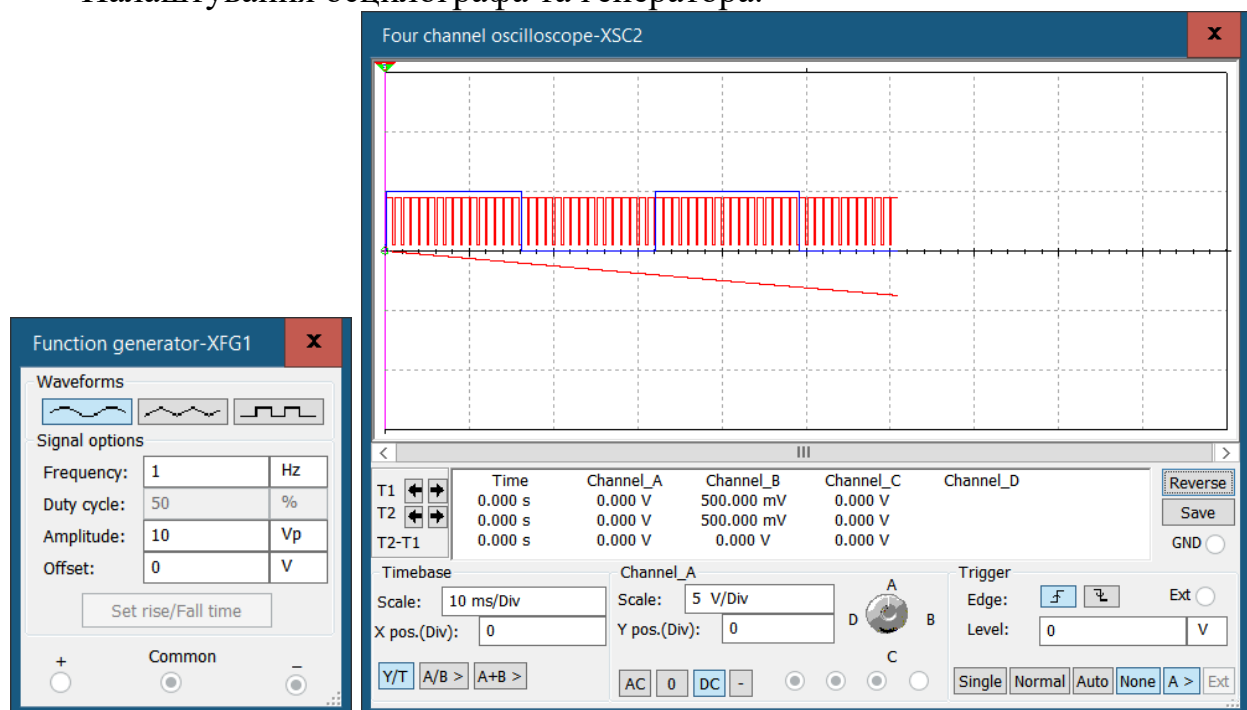


Рисунок 11.3 – Осцилограма та налаштування генератора

Зміст звіту

- Титульна сторінка. Тема та мета лабораторної роботи
- Схема, створена у середовищі Multisim.
- Скріншоти схеми та результатів симуляції.

– Висновки.

Контрольні питання

1. Який принцип роботи 4-розрядного аналого-цифрового перетворювача та яка роль кожного біта у вихідному коді?
2. Як впливає зміна вхідної аналогової напруги на вихідний цифровий код АЦП?
3. Що таке квантування та як визначається його крок у 4-розрядному АЦП?
4. Як побудувати графік вихідної характеристики АЦП та яку інформацію він відображає?

СЛОВНИК ТЕРМІНІВ

Current–voltage characteristic	Вольт-амперна характеристика
breakdown	пробій
Reverse current	Обернений струм
Forward current	Прямий струм
Truth table	Таблиця істинності
Bipolar junction transistor (BJT)	Біполярний транзистор
Field-effect transistor (FET)	Польовий транзистор
Amplifier stage	Підсилювальний каскад
Gain	Підсилення
Input resistance	Вхідний опір
Output resistance	Вихідний опір
Operational amplifier (Op-Amp)	Операційний підсилювач
Inverting input	Інвертуючий вхід
Non-inverting input	Неінвертуючий вхід
Half adder	Напівсуматор
Full adder	Повний суматор
Flip-flop	Тригер
D flip-flop	Тригер типу D
Counter	Лічильник
Diode forward voltage drop	Пряме падіння напруги на діоді
Reverse breakdown voltage	Напруга пробою в зворотному напрямку
Saturation region (BJT)	Режим насичення (БТ)
Cutoff region (BJT)	Режим відсічення (БТ)
Drain-source voltage (FET)	Напруга стік-витік/ стік-джерело
Gate threshold voltage (FET)	Порогова напруга затвора
Frequency response	Частотна характеристика
Common emitter configuration	Схема зі спільним емітером
Common source configuration (FET)	Схема зі спільним витоком
Feedback	Зворотний зв'язок
Clock pulse	Тактовий імпульс
Timing diagram	Тимінг-діаграма (часова діаграма)
Propagation delay	Час розповсюдження сигналу
Resolution (ADC)	Роздільна здатність АЦП

СПИСОК ЛІТЕРАТУРИ

1. Multisim. User Guide URL: <https://download.ni.com/support/manuals/374483a.pdf>
2. ДСТУ 2483-94 Системи оброблення інформації. Блоки оброблення даних. Терміни та визначення URL: <https://online.budstandart.com>
3. ISO/IEC 2382:2015 Information technology — Vocabulary URL: <https://www.iso.org/standard/63598.html>
4. ДСТУ 2869-94 Системи оброблення інформації. Обладнання периферійне. Терміни та визначення URL: <https://online.budstandart.com>
5. ДСТУ 2231-93 Системи оброблення інформації. Інтерфейс між обчислювальною машиною і технічним процесом. Терміни та визначення URL: <https://online.budstandart.com>

Підписано до друку 28.02.2025.

Формат 60x 84/16. Гарнітура Times New Roman.

Папір офсетний 70 г/м². Друк електрографічний.

Умов.-друк. арк. 3,02. Обл.-вид. арк. 1,13

Тираж 35 примірників. Замовлення № 02/25/2-2.

Видавець та виготувач:

ФОП Осадца Ю. В.

м. Тернопіль, вул. 15 Квітня, 2Д/10

тел. (097) 988-53-23

Свідоцтво про внесення суб'єкта видавничої справи до державного реєстру видавців, виготівників і розповсюджувачів видавничої продукції серія ТР № 46 від 07 березня 2013 р.