



УКРАЇНА

(19) **UA** (11) **151843** (13) **U**
(51) МПК (2022.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

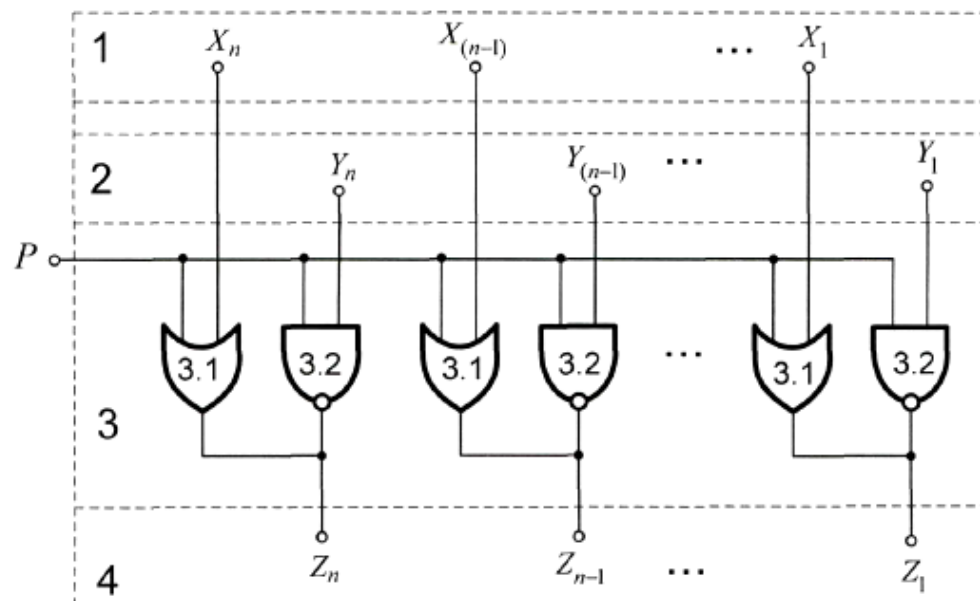
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2022 00476	(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Грига Людмила Петрівна (UA)
(22) Дата подання заявки: 07.02.2022	
(24) Дата, з якої є чинними права інтелектуальної власності: 22.09.2022	(73) Володілець (володільці): Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA)
(46) Публікація відомостей про державну реєстрацію: 21.09.2022, Бюл.№ 38	

(54) БАГАТОРОЗРЯДНИЙ ДВІЙКОВИЙ МУЛЬТИПЛЕКСОР**(57) Реферат:**

Багаторозрядний двійковий мультиплексор містить першу вхідну інформаційну шину ($X_n, X_{n-1}, \dots, X_1$), другу вхідну інформаційну шину ($Y_n, Y_{n-1}, \dots, Y_1$), третю вхідну інформаційну шину ($Z_n, Z_{n-1}, \dots, Z_1$), у якому керуючий вхід (P) з'єднаний з першими входами логічних елементів І-НІ, другі входи яких з'єднані з відповідними розрядними виходами першої інформаційної шини ($X_n, X_{n-1}, \dots, X_1$), виходи яких є відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$). Додатково містить у кожному розряді логічні елементи АБО, перші входи яких додатково з'єднані з відповідними розрядними виходами другої вхідної інформаційної шини ($Y_n, Y_{n-1}, \dots, Y_1$), другі входи логічних елементів АБО додатково з'єднані з керуючим входом (P), а їх виходи, у кожному розряді, додатково з'єднані з виходами логічних елементів І-НІ та відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$).

UA 151843 U



Корисна модель належить до засобів обчислювальної техніки і може бути використаний як мікроелектронний компонент багаторозрядних швидкодіючих засобів впорядкування цифрових даних, а також арифметико-логічних пристроїв (АЛП) багаторозрядних скалярних, векторних та квантових суперкомп'ютерів.

Відомий однорозрядний двійковий мультиплексор [https://pue8.ru/silovaya-elektronika/908-multipleksory-i-demultipleksory.html], (Дод. 1), який містить керуючий вхід (А), який з'єднаний з входом логічного елемента "НІ", вихід якого з'єднаний з першим входом першого логічного елемента "І", другий вхід якого з'єднаний з першим інформаційним входом пристрою (X_1), а вихід з'єднаний з першим входом логічного елемента "АБО", вихід якого (Y) є виходом пристрою, другий вхід логічного елемента "АБО" з'єднаний з виходом другого логічного елемента "І", перший вхід якого з'єднаний з керуючим входом пристрою (А), а другий вхід з'єднаний з другим інформаційним входом пристрою (X_2). Такий мультиплексор є базовим компонентом багаторозрядних мультиплексорів з одним керуючим входом (Дод. 2), який за допомогою логічного елемента "НІ" формує інверсний та прямий керуючі сигнали.

Недоліком такого однорозрядного пристрою є обмежені функціональні можливості, велика апаратна складність, значна структурна складність та низька швидкодія. Велика апаратна складність обумовлена наявністю 3 логічних елементів в кожному інформаційному розряді та одного логічного елемента "НІ" в керуючому каналі. Тобто, апаратна складність відомого пристрою визначається згідно виразу $A_1 = 3A_{\text{ЛЕ}} + A_{\text{ЛЕ}}$, де $A_{\text{ЛЕ}} = 1v$ (вентиль), наприклад, при застосуванні такого пристрою в багаторозрядних АЛП, $n = 1024$, $A_1 = 3 \times 1024 + 1 = 3073v$.

Значна структурна складність такого пристрою визначається відповідною кількістю логічних елементів та з'єднань між ними [Н.Я. Возна. Базові положення теорії структуризації та формування поліфункціональних даних в комп'ютерних системах // Матеріали проблемно-наукової міжгалузевої конференції "Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління", ISCM-2021, 2021. - С 27, (1)].

Низька швидкодія такого пристрою обумовлена наявністю 3 послідовно з'єднаних логічних елементів та затримкою сигналів на 3 мікротакти, тобто $t_1 = 3v$ (мікротакти).

Відомий найближчий аналог - багаторозрядний двійковий мультиплексор [Грига В.М., Николайчук Я.М. Пристрій сортування масивів двійкових чисел. Патент на корисну модель № 132346, Бюл. №4, 2019р., фіг. 5], що містить (Дод. 3) перший інверсний керуючий вхід ($\bar{P}$) з'єднаний з першими входами перших логічних елементів "І-НІ" другі входи яких, з'єднані з відповідними інформаційними входами шини ($X_n, X_{n-1}, \dots, X_1$), другий прямий керуючий вхід (P), який з'єднаний з першими входами других логічних елементів "І-НІ", другі входи яких з'єднані з відповідними входами інформаційної шини ($Y_n, Y_{n-1}, \dots, Y_1$), у кожному розряді пристрою, виходи логічних елементів "І-НІ" з'єднані між собою, відповідним виходом першої - інверсної інформаційної шини ($Z_n, Z_{n-1}, \dots, Z_1$) та входом логічного елемента "І-НІ", вихід якого є відповідним виходом другої прямої інформаційної шини ($Z_n, Z_{n-1}, \dots, Z_1$).

Такий пристрій виконує операцію мультиплексування за 2 мікротакти і характеризується меншою структурною складністю.

Недоліком такого пристрою є велика апаратна і структурна складності та низька швидкодія. Велика апаратна складність обумовлена наявністю 3 логічних елементів у кожному розряді пристрою. Велика структурна складність обумовлена наявністю 10 інформаційних зв'язків у кожному розряді, а низька швидкодія обумовлена затримкою сигналів на 2 мікротакти.

Апаратна складність такого багаторозрядного пристрою розраховується згідно з виразом $A_1 = A_v + 3nA_v$, де $A_v = 1v$. Тобто, при застосуванні такого пристрою у ядрах багаторозрядних суперкомп'ютерів ($n = 1024 + 4096$), апаратна складність такого пристрою відповідно складає:

$$A_1 = 3(1024 + 4096) + 1 = 3073 + 12199 \text{ (вентилів)}.$$

В основу корисної моделі поставлена задача удосконалення багаторозрядного двійкового мультиплексора поставлена задача зменшення апаратної складності, зменшення структурної складності та підвищення швидкодії, що досягнуто шляхом вилучення із його структури інверсного керуючого каналу ($\bar{P}$), з'єднанням між собою перших входів всіх логічних елементів АБО та І-НІ та монтажного, об'єднання у кожному розряді їх виходів [Николайчук Я.М., Возна Н.Я., Давлетова А.Я. Логічний елемент "Виключне АБО" з парафазними виходами Патент на корисну модель №138509, Бюл №22, 2019, фіг. 2], які з'єднані з відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$).

Поставлена задача вирішується тим, що багаторозрядний двійковий мультиплексор містить першу вхідну інформаційну шину ($X_n, X_{n-1}, \dots, X_1$), другу вхідну інформаційну шину ($Y_n, Y_{n-1}, \dots, Y_1$), третю вихідну інформаційну шину ($Z_n, Z_{n-1}, \dots, Z_1$), у якому керуючий вхід (P) з'єднаний з першими входами логічних елементів І-НІ, другі входи яких з'єднані з відповідними розрядними виходами

першої інформаційної шини ($X_n, X_{n-1}, \dots, X_1$), виходи яких є відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$), в якому згідно з корисною моделлю, пристрій додатково містить у кожному розряді логічні елементи АБО, перші входи яких, додатково з'єднані з відповідними розрядними виходами другої вхідної інформаційної шини ($Y_n, Y_{n-1}, \dots, Y_1$), другі входи логічних елементів АБО додатково з'єднані з керуючим входом (P), а їх виходи у кожному розряді додатково з'єднані з виходами логічних елементів І-НІ та відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$).

Корисна модель ілюструється кресленням, де на кресленні показана структурна схема багаторозрядного мультиплексора, що містить: 1 - перша вхідна інформаційна шина ($X_n, X_{n-1}, \dots, X_1$); 2 - друга вхідна інформаційна шина ($Y_n, Y_{n-1}, \dots, Y_1$); 3.1, 3.2 - логічні елементи АБО та І-НІ розрядів мультиплексора; 4- вихідна інформаційна шина ($Z_n, Z_{n-1}, \dots, Z_1$).

Пристрій працює наступним чином.

При подачі на керуючий вхід (P) пристрою логічного сигналу "0", на виходах логічних елементів І-НІ формуються логічні сигнали "1", а на вихідній шині ($Z_n, Z_{n-1}, \dots, Z_1$), формується вхідний багаторозрядний код ($X_n, X_{n-1}, \dots, X_1$).

При подачі на керуючий вхід (P) пристрою логічного сигналу "1", на виходах логічних елементів АБО формуються логічні сигнали "1", а на вихідній шині ($Z_n, Z_{n-1}, \dots, Z_1$) формується багаторозрядний інверсний код ($Y_n, Y_{n-1}, \dots, Y_1$).

Залежно від прямих ($Y_n, Y_{n-1}, \dots, Y_1$) або інверсних значень ($X_n, X_{n-1}, \dots, X_1$) кодів, на вихідній шині формується інверсний або прямий мультиплексований багаторозрядний код ($Z_n, Z_{n-1}, \dots, Z_1$). Такі прямі та інверсні двійкові коди вхідних даних одночасно без додаткових затримок сигналів формуються на прямих та інверсних виходах D - або JK-тригерів регістрів пам'яті АЛП.

Технічний результат.

Запропонований пристрій характеризується наступними покращеними характеристиками.

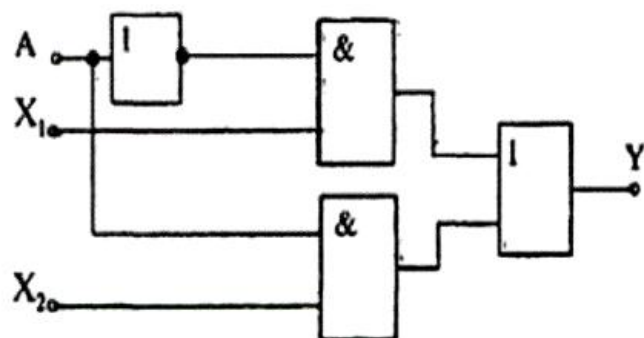
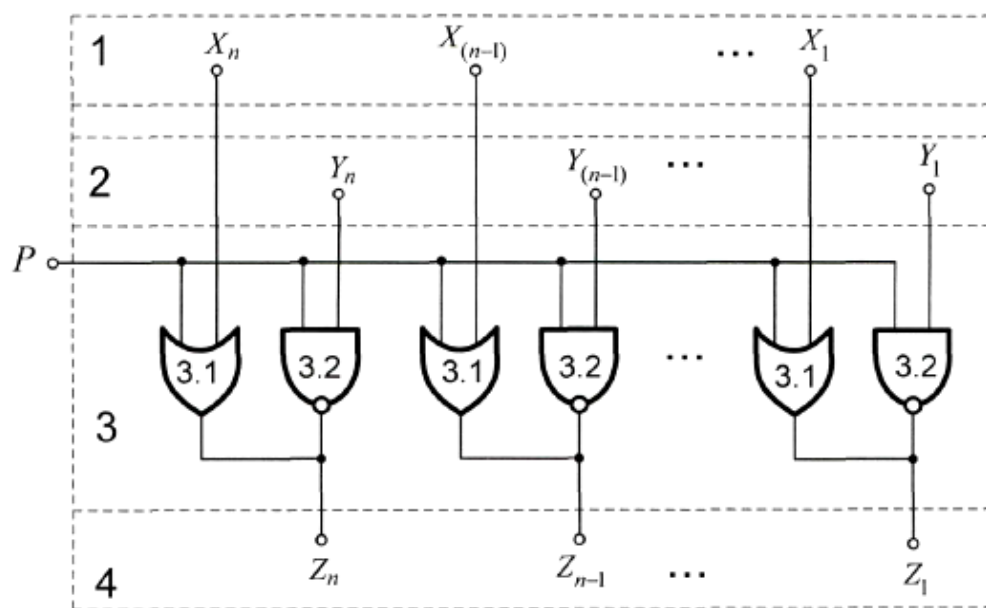
Апаратна складність такого пристрою розраховується згідно з виразом $A_3 = 2n$ (вентилів), тобто зменшується $(3n+1)/2n=1,5$ разу. При розрядності АЛП $n=1024 \div 4096$, кількість вилучених логічних вентилів у кристалі АЛП відповідно складає: $1025 \div 4007$ вентилів.

Швидкодія такого пристрою у порівнянні з класичним відомим аналогом підвищується у 3 рази, а у порівнянні з найближчим аналогом у 2 рази, тобто ($\tau_3=1v$).

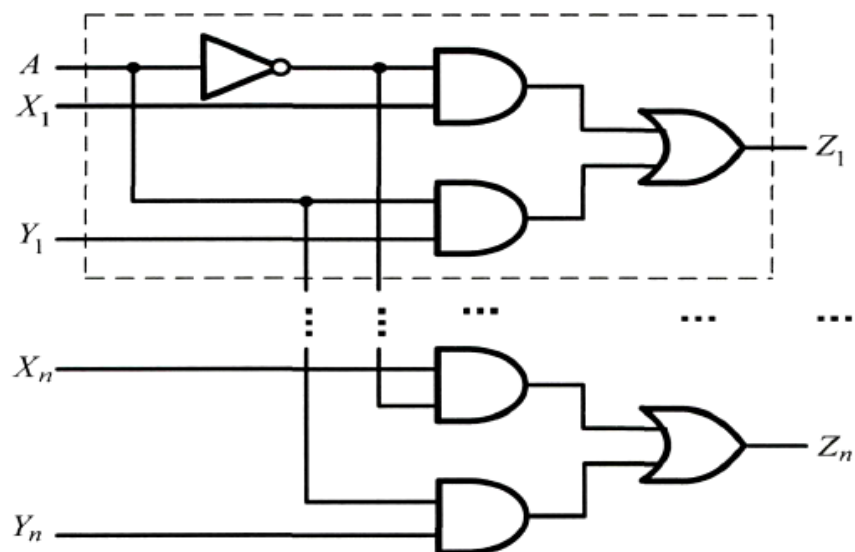
Крім того, запропонований пристрій характеризується зменшеною структурно-технологічною складністю, оскільки при реалізації мікроелектронних кристалів технологічна складність транзисторних елементів практично співпадає з технологічною складністю структурних зв'язків між ними.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

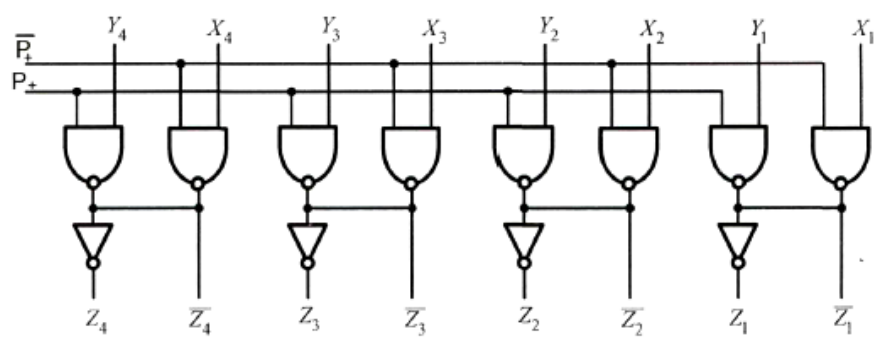
Багаторозрядний двійковий мультиплексор, що містить першу вхідну інформаційну шину ($X_n, X_{n-1}, \dots, X_1$), другу вхідну інформаційну шину ($Y_n, Y_{n-1}, \dots, Y_1$), третю вихідну інформаційну шину ($Z_n, Z_{n-1}, \dots, Z_1$), у якому керуючий вхід (P) з'єднаний з першими входами логічних елементів І-НІ, другі входи яких з'єднані з відповідними розрядними виходами першої інформаційної шини ($X_n, X_{n-1}, \dots, X_1$), виходи яких є відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$), який **відрізняється** тим, що додатково містить у кожному розряді логічні елементи АБО, перші входи яких додатково з'єднані з відповідними розрядними виходами другої вхідної інформаційної шини ($Y_n, Y_{n-1}, \dots, Y_1$), другі входи логічних елементів АБО додатково з'єднані з керуючим входом (P), а їх виходи, у кожному розряді, додатково з'єднані з виходами логічних елементів І-НІ та відповідними розрядними входами вихідної шини ($Z_n, Z_{n-1}, \dots, Z_1$).



Дод.1



Дод.2



Дод.3