



УКРАЇНА

(19) UA

(11) 151889

(13) U

(51) МПК

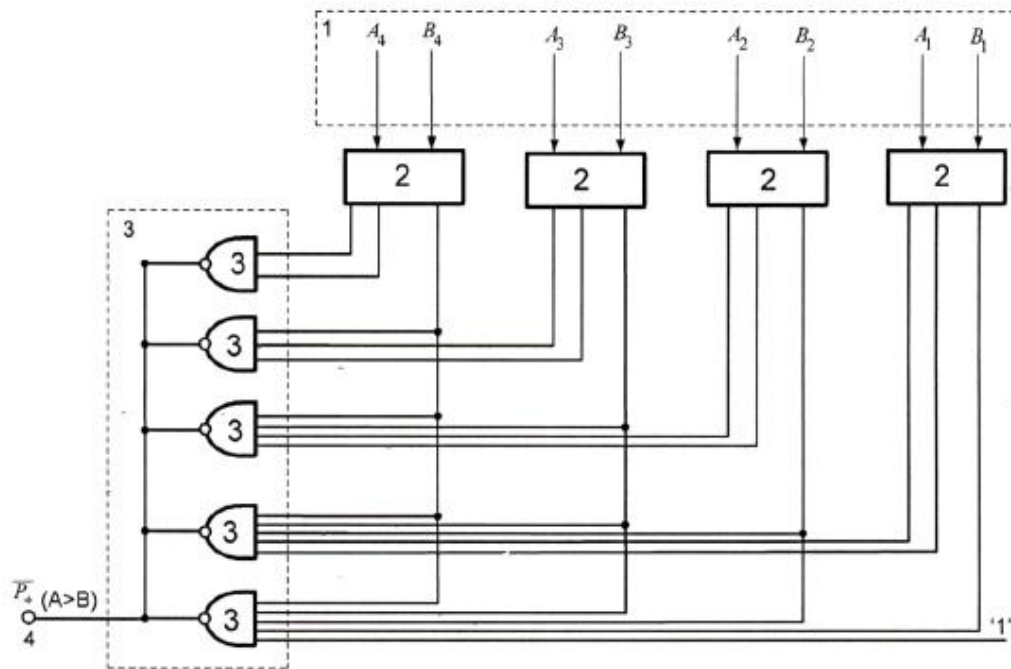
G06F 7/501 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**(21)** Номер заявки: **u 2022 00478****(22)** Дата подання заявки: **07.02.2022****(24)** Дата, з якої є чинними
права інтелектуальної
власності: **29.09.2022****(46)** Публікація відомостей
про державну
реєстрацію: **28.09.2022, Бюл.№ 39****(72)** Винахідник(и):**Грига Володимир Михайлович (UA),
Николайчук Ярослав Миколайович (UA),
Грига Людмила Петрівна (UA)****(73)** Володілець (володільці):**Грига Володимир Михайлович,
пров. І. Богуна, 12, м. Надвірна, Івано-
Франківська обл., 78400 (UA),
Николайчук Ярослав Миколайович,
вул. В. Великого, 14-а, м. Надвірна, Івано-
Франківська обл., 78400 (UA),
Грига Людмила Петрівна,
пров. І. Богуна, 12, м. Надвірна, Івано-
Франківська обл., 78400 (UA)****(54) ПРИСТРІЙ ПОРІВНЯННЯ БАГАТОРОЗРЯДНИХ ДВІЙКОВИХ ДАНИХ****(57)** Реферат:

Пристрій порівняння багаторозрядних двійкових даних містить $2n$ -розрядну вхідну шину A ($A_n, \dots, A_2, A_1$) та B ($B_n, \dots, B_2, B_1$) з прямими виходами, які з'єднані з відповідними входами відповідних (n) однорозрядних підсумовуючих елементів, які містять логічні елементи "Провідне-І", виходи яких з'єднані з відповідними першими входами лінійки відповідних логічних елементів І-НІ, другий вхід логічного елемента І-НІ, наймолодшого розряду пристрою, з'єднаний з логічною "1" інверсні виходи логічних елементів І-НІ з'єднані між собою та вихідним каналом пристрою ($\bar{P}+$) з ознакою порівняння ($A > B$). Додатково введений $(n+1)$ -ий логічний елемент І-НІ, інверсний вихід якого додатково з'єднаний з вихідним каналом пристрою ($\bar{P}+$), а відповідні входи (n) логічних елементів І-НІ у кожному розряді додатково з'єднані з відповідними розрядними виходами вхідної шини пристрою.

UA 151889 U



Фиг.1

Корисна модель належить до засобів обчислювальної техніки і може бути використаний у як швидкодіючі компоненти багаторозрядних арифметико-логічних пристроїв (АЛП), багатоядерних суперкомп'ютерів та спецпроцесорів цифрового опрацювання даних і зображень.

Відомий аналог - пристрій порівняння багаторозрядних двійкових даних [http://bilynsky.vk.vntu.edu.ua/file/06d940dd815f9b205e90a6462e20d51f.pdf, рис. 6.3], який містить (Дод. 1): першу вхідну багаторозрядну шину (A_1, A_2, A_3, A_4) з прямими виходами, другу вхідну багаторозрядну шину (B_1, B_2, B_3, B_4) з парафазними виходами, яка містить у кожному розряді інвертор, вихідний канал визначення ознаки ($A > B$) та трьох'ярусну комбінаційну схему на логічних елементах (І, АБО, Виключне АБО), з'єднаних відповідним чином з відповідними виходами вхідних шин (A, B) та входами логічного елемента АБО, вихід якого з'єднаний з вихідним каналом пристрою ($A > B$).

Недоліком такого пристрою є низька швидкодія, яка обумовлена затримкою сигналів на 6 мікротактів незалежно від розрядності пристрою та велика апаратна складність, яка швидко зростає при зростанні розрядності пристрою.

Відомий найближчий аналог - Пристрій порівняння багаторозрядних двійкових даних, який є компонентом пристрою сортування даних [Грига В.М., Николайчук Я.М. Пристрій сортування масивів двійкових чисел. Патент на корисну модель № 132346 Бюл. № 4 від 25.02.2019 р., фіг. 3], що містить (Дод. 2) 2n-розрядну вхідну шину A ($A_n, \dots, A_2, A_1$) та B ($B_n, \dots, B_2, B_1$) з прямими виходами, відповідні виходи якої з'єднані з відповідними входами (n) однорозрядних підсумовуючих елементів, які містять неповні однорозрядні напівсуматори (фіг. 3), старші розряди вхідної шини з'єднані з відповідними входами першого однорозрядного напівсуматора, вихід суми якого з'єднаний з першими входами лінійки n-логічних елементів І-НІ, другий вхід логічного елемента І-НІ, наймолодшого розряду пристрою, з'єднаний з логічною "1", інверсні виходи всіх логічних елементів І-НІ з'єднані між собою, інверсним виходом першого

напівсуматора, вихідним каналом пристрою ($\overline{P+}$) з ознакою порівняння ($A > B$) та входом інвертора НІ, вихід якого з'єднаний з другим вихідним каналом пристрою ($P+$) з ознакою порівняння ($A < B$), (n-1) однорозрядних півсуматорів, входи яких з'єднані з відповідними виходами вхідної шини, прямі виходи наскрізних переносів та прямі виходи суми відповідних однорозрядних півсуматорів з'єднані з відповідними входами лінійки відповідних логічних елементів І-НІ.

Недоліком такого пристрою є низька швидкодія, яка обумовлена затримкою сигналів на виході пристрою ($P+$) на 3 мікротакти, незалежно від розрядності пристрою. Велика апаратна складність пристрою пропорційно зростає при збільшенні розрядності пристрою та обумовлена наявністю у кожному розрядному підсумовуючому елементі 3-х логічних елементів (Дод. 3).

На вхідну шину A такого пристрою з прямих виходів тригерів першого регістру АЛП надходить прямий код даних A , а з інверсних виходів тригерів другого регістра АЛП на шину B надходить інверсний код даних B .

В основу корисної моделі поставлена задача підвищення швидкодії пристрою шляхом вилучення із його структури функціонально-надлишкового інвертора НІ та вихідного каналу ($P+$) формування ознаки порівняння ($A < B$), що дозволяє досягти підвищення швидкодії пристрою із затримкою вихідних сигналів на 2 мікротакти, а також зменшення апаратної складності пристрою шляхом вилучення, в кожному підсумовуючому розряді пристрою логічного елемента, який формує сигнали наскрізного переносу, що дозволяє зменшити апаратну складність кожного n-го підсумовуючого розряду пристрою до 2 логічних елементів "Провідне-І" [Давлетова А.Я., Николайчук Я.М. Однорозрядний напівсуматор. Патент на корисну модель UA № 115861, Бюл. № 8, 2017, фіг. 2].

Поставлена задача вирішується завдяки тому, що пристрій порівняння багаторозрядних двійкових даних, що містить 2n-розрядну вхідну шину A ($A_n, \dots, A_2, A_1$) та B ($B_n, \dots, B_2, B_1$) з прямими виходами, які з'єднані з відповідними входами відповідних (n) однорозрядних підсумовуючих елементів, які містять логічні елементи "Провідне-І", виходи яких з'єднані з відповідними першими входами лінійки (n) відповідних логічних елементів І-НІ, другий вхід логічного елемента І-НІ, наймолодшого розряду пристрою, з'єднаний з логічною "1", інверсні

виходи логічних елементів І-НІ з'єднані між собою та вихідним каналом пристрою ($\overline{P+}$) з ознакою порівняння ($A > B$), згідно з корисною моделлю, додатково введений (n+1)-ий логічний

елемент І-НІ, інверсний вихід якого додатково з'єднаний з вихідним каналом пристрою ($\overline{P+}$), а відповідні входи (n) логічних елементів І-НІ у кожному розряді додатково з'єднані з відповідними прямими розрядними виходами вхідної шини пристрою.

Пристрій порівняння багаторозрядних двійкових даних ілюструється кресленням (фіг. 1), де показано структурну схему такого 4-розрядного пристрою.

Пристрій порівняння багаторозрядних двійкових даних містить: 1 - вхідна 2n-розрядна шина з прямими виходами; 2 - однорозрядний підсумовуючий елемент; 3 - логічний елемент I-HI; 4 -

5 вихідний канал пристрою $(\bar{P}+)$ з ознакою порівняння ($A>B$).

На фіг. 2 представлена структура однорозрядного підсумовуючого елемента.

Пристрій порівняння багаторозрядних двійкових даних працює наступним чином: прямий та інверсний багаторозрядні коди даних, з вхідної 2n-розрядної шини (1), надходять на входи однорозрядних підсумовуючих елементів (2). Сигнали з перших та других виходів однорозрядних підсумовуючих елементів (2) надходять на відповідні входи відповідних логічних елементів "I-HI" (3). При цьому, якщо на всіх входах одного з логічних елементів I-HI

10 формується сигнал логічної "1", на вихідному каналі пристрою $(\bar{P}+)$ формується сигнал логічного "0", який відповідає умові порівняння ($A>B$). В іншому випадку, на виході пристрою формується сигнал логічної "1", що відповідає умові порівняння ($A<B$). Сигнал логічної "1", на виході логічного елемента I-HI (3) "молодшого розряду пристрою, відповідає умові формування доповнюючого коду вхідних даних на шині B ($B_n, \dots, B_2, B_1$).

15 Таким чином, затримка сигналів порівняння двох багаторозрядних двійкових даних, на виході 4 $(\bar{P}+)$, не залежить від розрядності кодів вхідних даних і складає 2 мікротакти.

Швидкодія запропонованого пристрою у порівнянні з прототипом зростає у $\tau = \frac{3}{2} = 1,5$ рази.

Апаратна складність відомого пристрою розраховується згідно з виразом: $A_1 = nA_s + (n+1)A_v$, де $A_s = 3v$ (v - вентиль), $A_v = 1$. Наприклад, апаратна складність такого пристрою при $n=1024$ складає: $A_1 = 1024 \times 3 + (1024+1) = 4097$ вентилів.

25 Апаратна складність запропонованого пристрою розраховується згідно з виразом: $A_2 = nA_s + (n+1)A_v$, де $A_s = 2v$, $A_v = 1$. Наприклад, апаратна складність запропонованого пристрою при $n=1024$ складає: $A_2 = 1024 \times 2 + (1024+1) = 3073$ вентилі.

Тобто, зменшення апаратної складності запропонованого пристрою у порівнянні з прототипом, при $n=1024$, складає $k = \frac{4097}{3073} = 1,3$ рази.

30 Відповідно, при мікроелектронній реалізації кристалу такого удосконаленого пристрою, як компонента 1024-розрядного АЛП, кількість яких у ядрах скалярних та векторних суперпроцесорів може налічувати від 16-ти до 256-ти одиниць, зменшення кількості вентилів відповідно може складати від 16000 до 262000. Відповідним чином, також зменшуються габарити, енергоспоживання та тепловиділення такого мікроелектронного компонента багаторозрядного АЛП.

35

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій порівняння багаторозрядних двійкових даних, що містить 2n-розрядну вхідну шину A ($A_n, \dots, A_2, A_1$) та B ($B_n, \dots, B_2, B_1$) з прямими виходами, які з'єднані з відповідними входами відповідних (n) однорозрядних підсумовуючих елементів, які містять логічні елементи "Провідне-I", виходи яких з'єднані з відповідними першими входами лінійки відповідних логічних елементів I-HI, другий вхід логічного елемента I-HI, наймолодшого розряду пристрою, з'єднаний з логічною "1", інверсні виходи логічних елементів I-HI з'єднані між собою та вихідним каналом пристрою $(\bar{P}+)$ з ознакою порівняння ($A>B$), який **відрізняється** тим, що додатково введений (n+1)-ий логічний елемент I-HI, інверсний вихід якого додатково з'єднаний з вихідним каналом пристрою $(\bar{P}+)$, а відповідні входи (n) логічних елементів I-HI у кожному розряді додатково з'єднані з відповідними розрядними виходами вхідної шини пристрою.

45

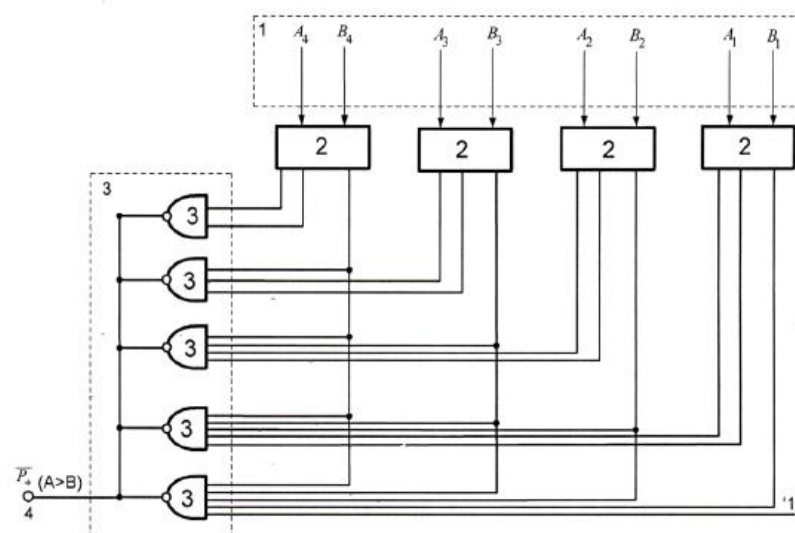


Fig.1

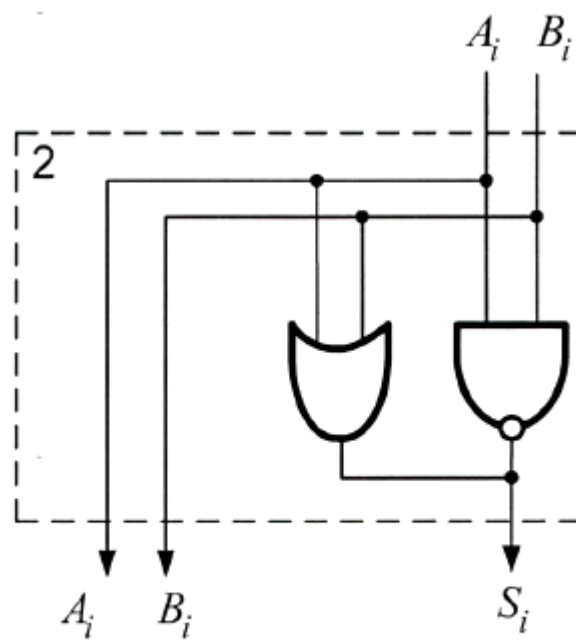
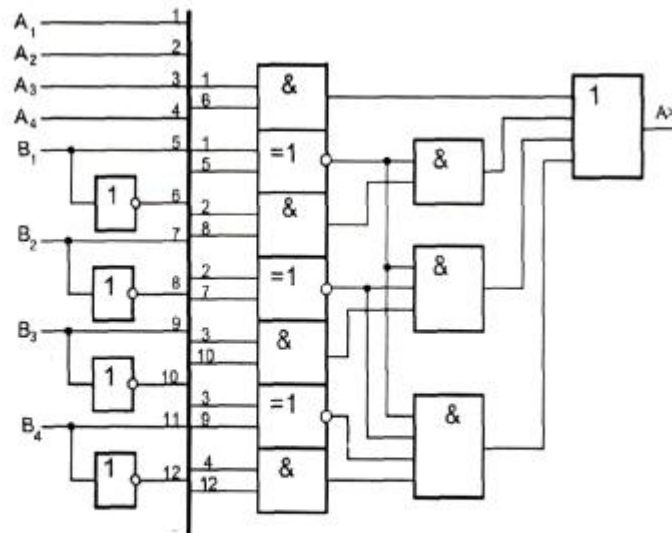
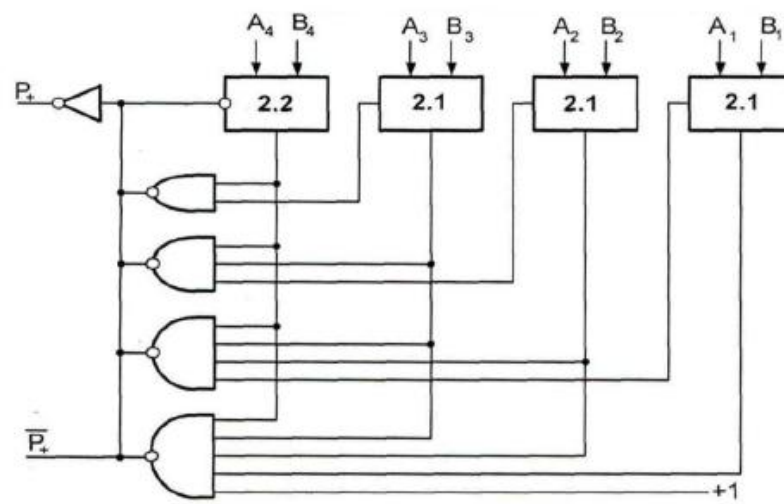


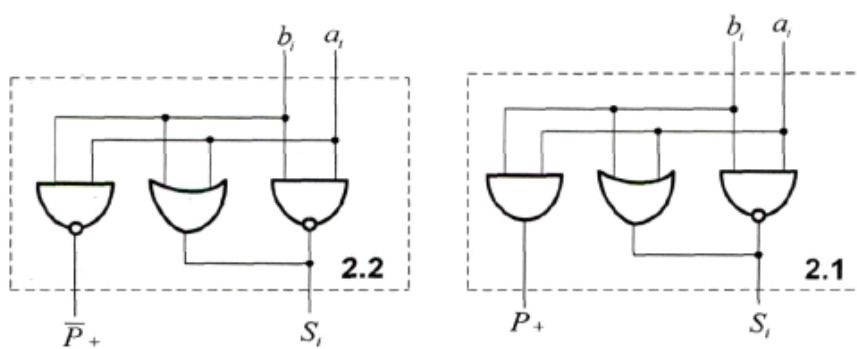
Fig.2



Дод.1



Дод.2



Дод.3