



УКРАЇНА

(19) **UA** (11) **153176** (13) **U**
(51) МПК (2023.01)
H03K 19/21 (2006.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2022 03364	(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Грига Володимир Михайлович (UA)
(22) Дата подання заявки: 13.09.2022	(73) Володілець (володільці): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Володимир Михайлович, пров. Івана Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності: 01.06.2023	
(46) Публікація відомостей про державну реєстрацію: 31.05.2023, Бюл.№ 22	

(54) ЛОГІЧНИЙ ЕЛЕМЕНТ ВИКЛЮЧНЕ АБО З ІНВЕРСНИМ ВИХОДОМ

(57) Реферат:

Логічний елемент Виключне АБО з інверсним виходом містить логічний елемент І-НІ, перший вхід якого з'єднаний з першим прямим інформаційним входом (а) та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом логічного елемента І-НІ, вихід якого з'єднаний з виходом логічного елемента АБО. Вихід логічного елемента АБО додатково з'єднаний з інверсним виходом пристрою ($\bar{Q}$), а другий вхід додатково з'єднаний з додатково введеним другим інформаційним входом пристрою (b).

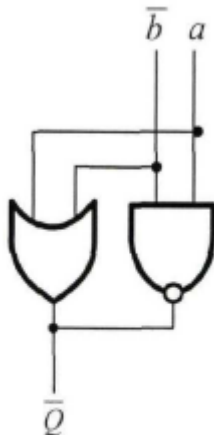


Fig. 3

UA 153176 U

Корисна модель належить до засобів обчислювальної техніки і може бути використана як компонента матричних перемножувачів Брауна, Дадда та інших, в яких як ярусні компоненти застосовуються неповні та повні однорозрядні двійкові суматори і комірки Гілда з прямими та інверсними вхідно-виходами.

Відомий аналог - логічний елемент "Виключне АБО" з інверсним виходом [Шило В. Л. Популярны́е цифрове микросхемы: Справочник. - М.: Радио и связь, 1988. - С. 57, рис. 1.34 д, ж, з], які містить прямі інформаційні входи (А, В), інверсні виходи ($\bar{Q}$) і логічні елементи АБО-НЕ, І-НЕ та НЕ, які з'єднані між собою відповідним чином (фіг. 1).

Недоліком такого логічного елемента "Виключне АБО" з інверсним виходом є велика апаратна складність (4-5 вентилів) та низька швидкодія із затримкою вихідних сигналів на 3 мікротакти.

Як найближчий аналог вибрано логічний елемент "Виключне АБО" з парафазними виходами [Николайчук Я. М., Возна Н. Я., Давлетова А. Я. Логічний елемент "Виключне АБО" з парафазними виходами. Патент на корисну модель № 138509, Бюл. № 22, 2019, фіг. 2], який містить (фіг. 2) логічний елемент І-НІ, перший вхід якого з'єднаний з першим інформаційним входом (а), другий вхід логічного елемента І-НІ з'єднаний з другим інформаційним входом (b) та першим входом логічного елемента АБО, другий вхід якого з'єднаний з першим входом логічного елемента І-НІ, вихід логічного елемента АБО з'єднаний з виходом логічного елемента І-НІ, який є першим прямим виходом пристрою (Q) і містить логічний елемент НІ, вхід якого з'єднаний з виходом логічного елемента АБО, вихід якого є другим інверсним виходом пристрою ($\bar{Q}$). Компонентом такого пристрою є логічний елемент "Виключне АБО" з інверсним виходом (фіг. 2), який містить інформаційні входи (b, a), інверсний вихід ($\bar{Q}$) логічні елементи І-НІ, АБО та НІ, які з'єднані між собою відповідним чином.

Недоліком такого пристрою є низька швидкодія формування інверсного сигналу логічної функції Виключне АБО із затримкою на 2 мікротакти та велика апаратна складність (3 вентилі).

В основу корисної моделі поставлена задача підвищення швидкодії та зменшення апаратної складності логічного елемента Виключне АБО з інверсним виходом, шляхом подачі на один з інформаційних входів пристрою інвертованого сигналу ($\bar{b}$) та вилучення зі структури, відомого логічного елемента, Виключне АБО з парафазними виходами, інвертора (НІ) та прямого виходу (Q), що дозволяє зменшити його апаратну складність (до 2 вентилів) та затримку інверсних вихідних сигналів ($\bar{Q}$) на 1 мікротакт.

Формування інверсного входу ($\bar{b}$) такого удосконаленого пристрою може здійснюватися без додаткових затримок сигналів на інверсних виходах тригерів вхідних регістрів АЛП та інверсних виходах суми повних однорозрядних суматорів нижніх ярусів матричних перемножувачів [Николайчук Я. М., Возна Н. Я., Грига В. М., Волинський О. І. Суматор з прискореним переносом. Патент на корисну модель № 138509, Бюл. № 23, 2021, фіг. 5],

Поставлена задача вирішується тим, що логічний елемент Виключне АБО з інверсним виходом ($\bar{Q}$), що містить логічний елемент І-НІ, перший вхід якого з'єднаний з першим прямим інформаційним входом (а) та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом логічного елемента І-НІ, вихід якого з'єднаний з виходом логічного елемента АБО, в якому згідно з корисною моделлю вихід логічного елемента АБО додатково з'єднаний з інверсним виходом пристрою ($\bar{Q}$), а другий вхід додатково з'єднаний з додатково введеним другим інформаційним входом пристрою ($\bar{b}$).

Корисна модель ілюструється кресленням, де на фіг. 3 показана структура удосконаленого логічного елемента Виключне АБО з інверсним виходом, який містить; 1 - прямий інформаційний вхід (а); 2 - інверсний інформаційний вхід ($\bar{b}$); 3 - логічний елемент І-НІ; 4 - логічний елемент АБО; 5 - інверсний вихід ($\bar{Q}$).

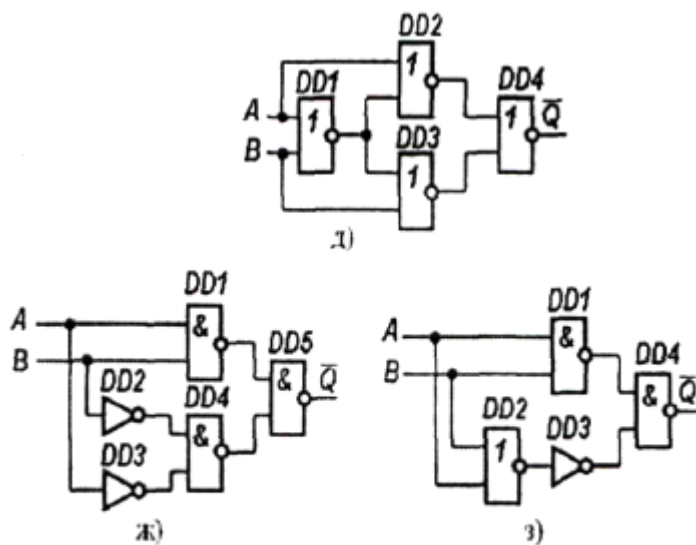
Пристрій працює наступним чином.

При подачі на входи логічного елемента Виключне АБО логічних значень ($a = 1, \bar{b} = 0$) або ($a = 0, \bar{b} = 1$) на виході пристрою ($\bar{Q}$) формується інверсний сигнал логічного "0", в іншому випадку на виході ($\bar{Q}$) формується сигнал логічної "1".

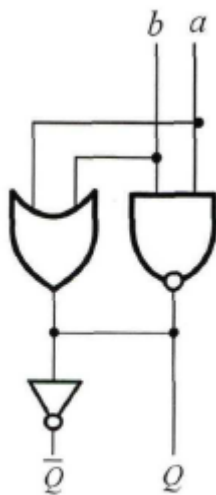
У результаті удосконалення логічного елемента Виключне АБО з інверсним виходом, у порівнянні з прототипом, досягнуто зменшення апаратної складності в 1,5 разу та підвищення швидкодії у 2 рази.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

- 5 Логічний елемент Виключне АБО з інверсним виходом, який містить логічний елемент І-НІ, перший вхід якого з'єднаний з першим прямим інформаційним входом (а) та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом логічного елемента І-НІ, вихід якого з'єднаний з виходом логічного елемента АБО, який **відрізняється** тим, що вихід логічного елемента АБО додатково з'єднаний з інверсним виходом пристрою ($\bar{Q}$), а другий вхід додатково з'єднаний з додатково введеним другим інформаційним входом пристрою (b).



Фиг. 1



Фиг. 2

