



УКРАЇНА

(19) **UA** (11) **154623** (13) **U**
(51) МПК (2023.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

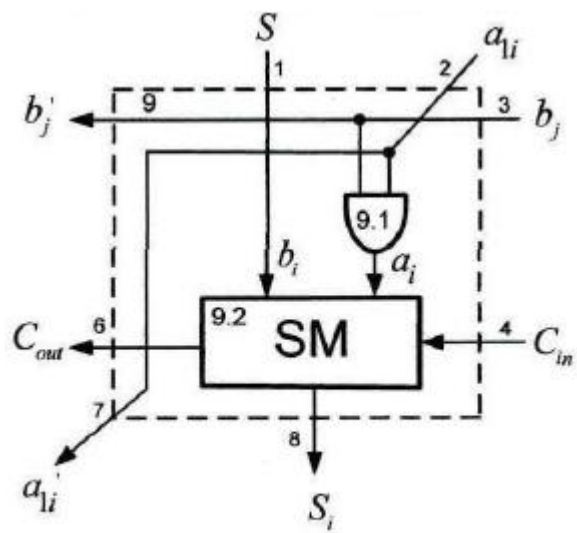
(21) Номер заявки: u 2023 00489	(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Николайчук Любов Михайлівна (UA), Грига Людмила Петрівна (UA)
(22) Дата подання заявки: 10.02.2023	
(24) Дата, з якої є чинними права інтелектуальної власності: 30.11.2023	
(46) Публікація відомостей про державну реєстрацію: 29.11.2023, Бюл.№ 48	(73) Володілець (володільці): Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Любов Михайлівна, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)

(54) КОМІРКА ПІВСУМАТОРА

(57) Реферат:

Комірка півсуматора містить перший логічний елемент "I", перший вхід якого з'єднаний з входом комутації (b_j , b_j'), другий вхід з'єднаний з прямим другим інформаційним входом-виходом пристрою (a_{1i} , a_{1i}'), вихід першого логічного елемента "I" з'єднаний з першим інформаційним входом повного однорозрядного двійкового суматора (SM), другий вхід якого з'єднаний з другим прямим інформаційним входом пристрою (S), третій вхід пристрою з'єднаний з входом наскрізного переносу суматора (C_{in}), другий вихід суматора з'єднаний з виходом наскрізного переносу (C_{out}), а третій вихід суматора з'єднаний з виходом суми пристрою (S_i). Повний однорозрядний суматор (SM) додатково містить: перший інформаційний вхід (a_i), додатково з'єднаний з виходом першого логічного елемента "I", першим входом першого логічного елемента I-HI, першим входом першого логічного елемента АБО та першим входом другого логічного елемента "I". Другий вхід (b_i) однорозрядного повного суматора (SM) додатково з'єднаний з інформаційним входом пристрою (S), другим входом першого логічного елемента I-HI, другим входом другого логічного елемента "I" та другим входом першого логічного елемента АБО, вихід якого з'єднаний з першим входом третього логічного елемента "I", виходом першого логічного елемента I-HI, першим входом другого логічного елемента I-HI та другим входом другого логічного елемента АБО, вихід якого з'єднаний з виходом другого логічного елемента I-HI та першим виходом суми пристрою (S_i). Третій вхід однорозрядного суматора (SM) додатково з'єднаний з другим входом другого логічного елемента I-HI, другим входом другого логічного елемента АБО та другим входом другого логічного елемента "I", вихід якого з'єднаний з першим входом третього логічного елемента АБО, другий вхід якого з'єднаний з виходом другого логічного елемента "I", а вихід з'єднаний з виходом наскрізного переносу пристрою (C_{out}).

UA 154623 U



Фиг. 3

Комірка півсуматора належить до засобів обчислювальної техніки і може бути використана як компонент паралельних матричних помножувачів, арифметико-логічних пристроїв (АЛП), багатоядерних, скалярних, векторних і квантових суперкомп'ютерів та спецпроцесорів цифрового опрацювання даних.

Відомий аналог - Н-модель комірки півсуматора, що реалізує неповну комірку Гілда, в якій відсутній вхід наскрізного переносу [Черкаський М.В., Ткачук Т.І. Характеристики складності пристроїв множення Науково-технічний журнал "Радіоелектронні і комп'ютерні системи" - Харків: Національний аерокосмічний університет ім. М.Є. Жуковського "Харківський авіаційний інститут", 2012. - № 5(28) - С. 142-147, рис. 5]. Структура такої комірки Гілда ілюструється на фіг. 1, яка містить перший логічний елемент "І", перший вхід якого з'єднаний з першим входо-виходом пристрою (b_j, b_j^l), другий вхід логічного елемента "І" з'єднаний з другим прямим входо-виходом пристрою (a_i, a_i^l) вихід першого логічного елемента "І" з'єднаний з першим входом другого логічного елемента "І" та першим входом логічного елемента "Виключне АБО", вихід якого є виходом прямої суми пристрою (S^l), другий вхід логічного елемента "Виключне АБО" з'єднаний з другим інформаційним входом пристрою (S) та другим входом другого логічного елемента "І", вихід якого є прямим виходом наскрізного переносу пристрою (C).

Недоліком такого пристрою є обмежені функціональні можливості, які обумовлені відсутністю входу наскрізного переносу у структурі неповної комірки Гілда. Така реалізація комірки Гілда, може бути застосована тільки в перших розрядах матричних перемножувачів Брауна, Дадда та інших [Возна Н.Я., Грига В.М., Николайчук Я.М. Матричний перемножувач. Патент на винахід № 123924 Бюл. № 25, 2021, фіг. 3], що обмежує їх застосування в інших розрядах матричних перемножувачів.

Відомий найближчий аналог - комірка Гілда [Вишенчук І.М., Черкаський Н.В., Алгоритмические операционные устройства и суперЭВМ. - К.: Техника, 1990. ст. 48, рис. 2.11(а)], структура якої ілюструється на фіг. 2, що містить логічний елемент "І", перший вхід якого з'єднаний з прямим входо-виходом комутації (b_j, b_j^l), другий вхід з'єднаний з другим прямим інформаційним входо-виходом пристрою (a_i, a_i^l), вихід логічного елемента "І", з'єднаний з першим інформаційним входом (S) повного однорозрядного двійкового суматора (SM), другий вхід якого з'єднаний з другим прямим інформаційним входом пристрою (S), третій вхід з'єднаний з прямим входом наскрізного переносу суматора (c), перший вихід суматора (SM) з'єднаний з прямим виходом наскрізного переносу (c^l), а другий вихід суматора з'єднаний з прямим виходом суми пристрою (S^l).

Недоліком такого пристрою є велика апаратна складність та низька швидкодія, яка обумовлена застосуванням, в якості повного однорозрядного суматора, класичної структури повного однорозрядного двійкового суматора [<http://phg.su/basis2/X133.HTM>], з прямими інформаційними входами (a_i, b_i), прямим виходом суми (S) та прямими входо-виходами наскрізних переносів (C_{in}, C_{out}). Залежно від застосованих структур логічних елементів "Виключне АБО" з прямими входами та виходом із затримкою сигналів на 3 мікротакти [Шило В.Л. Популярныe цифровые микросхемы: Справочник. - М.: Радио и связь, 1988. - С. 57. рис. 1.35 а, в, г]. Апаратна складність такої комірки Гілда (фіг. 2) з врахуванням вхідного логічного елемента "І", відповідно, складає (11-13 вентилів), затримка сигналів у такому суматорі між входо-виходами наступна: $a_i, b_i \rightarrow S-6$ у; $a_i, b_i \rightarrow C_{out}-5$ у; $C_{in} \rightarrow C_{out}-2$ у; $C_{in} \rightarrow S-3$ у.

Таким чином, затримка сигналів у відомій комірці Гілда із застосування повного однорозрядного двійкового суматора з прямими входами та виходами, відповідно складає: $b_j, b_j^l \rightarrow S^l - 7$ у (u - затримка сигналів у логічному елементі на один мікротакт); $a_i, a_i^l \rightarrow c^l - 6$ у, $C \rightarrow C' - 2$ у; $C \rightarrow S' - 3$ у.

В основу корисної моделі поставлена задача зменшення апаратної складності та підвищення швидкодії комірки півсуматора, шляхом застосування у структурі однорозрядного повного двійкового суматора (SM) двох послідовно-з'єднаних логічних елементів "Виключне І" з прямими входами та прямим монтажним виходом, кожен з яких є компонентом логічного елемента "Виключне АБО" з парафазними ви виходами [Николайчук Я.М., Возна Н.Я., Давлетова А.Я. Логічний елемент "Виключне АБО" з парафазними виходами. Патент на корисну модель № 138509. Бюл. № 22, 2019, фіг. 2].

Поставлена задача вирішується тим, що комірка півсуматора, яка містить перший логічний елемент "І", перший вхід якого з'єднаний з входом комутації (b_j, b_j^l), другий вхід з'єднаний з прямим другим інформаційним входо-виходом пристрою (a_{1i}, a_{1i}^l), вихід першого логічного елемента "І", з'єднаний з першим інформаційним входом повного однорозрядного двійкового суматора (SM), другий вхід якого з'єднаний з другим прямим інформаційним входом пристрою (S), третій вхід пристрою з'єднаний з входом наскрізного переносу суматора (C_{in}), другий вихід

суматора з'єднаний з виходом наскрізного переносу (C_{out}), а третій вихід суматора з'єднаний з виходом суми пристрою (S_i), згідно з корисною моделлю, повний однорозрядний суматор (SM) додатково містить: перший інформаційний вхід (a_i), з'єднаний з виходом першого логічного елемента "I", першим входом першого логічного елемента I-HI, першим входом першого логічного елемента АБО та першим входом другого логічного елемента "I", другий вхід (b_i) однорозрядного повного суматора (SM) додатково з'єднаний з інформаційним входом пристрою (S), другим входом першого логічного елемента I-HI, другим входом другого логічного елемента "I" та другим входом першого логічного елемента АБО, вихід якого з'єднаний з першим входом третього логічного елемента "I", виходом першого логічного елемента I-HI, першим входом другого логічного елемента I-HI та другим входом другого логічного елемента АБО, вихід якого з'єднаний з виходом другого логічного елемента I-HI та першим виходом суми пристрою (S_i), третій вхід однорозрядного суматора (SM) з'єднаний з другим входом другого логічного елемента I-HI, другим входом другого логічного елемента АБО та другим входом другого логічного елемента "I", вихід якого з'єднаний з першим входом третього логічного елемента АБО, другий вхід якого з'єднаний з виходом другого логічного елемента "I", а вихід з'єднаний з виходом наскрізного переносу пристрою (C_{out}).

Корисна модель ілюструється кресленнями, де на фіг. 3, фіг. 4 показано: 1, 2, 3, 4 - відповідні інформаційні входи комірки півсуматора (S , a_{1i} , b_j , C_{in}); 5, 6, 7, 8 - відповідні інформаційні виходи комірки Гілда (a_{2j} , C_{out} , a_{1i} , S_i); 9 - комірка півсуматора; 9.1 - логічний елемент I; 9.2 - повний двійковий однорозрядний суматор (SM), 10 - два послідовно з'єднаних логічних елементи I-HI.

Пристрій працює наступним чином: при подачі логічного сигналу "0" або "1" на вхід комірки півсуматора (a_{1i}) на її виході повторюється значення сигналу (a_{1i}), при одночасній подачі сигналу логічної "1" на входи (a_{1i}) та (b_j), на виході логічного елемента I (9.1), формується сигнал логічної "1", при подачі логічного сигналу "0" або "1", на перший вхід пристрою (S) та логічного сигналу "0" або "1" на вхід (C_{in}), на виходах однорозрядного суматора (SM) формуються відповідні прямі сигнали наскрізного переносу (C_{out}) та суми (S_i), згідно з відомою таблицею істинності [Мельник А.О. Архітектура комп'ютера. Наукове видання. - Луцьк: Волинська обласна друкарня, 2008. - С. 210, табл. 6.5] формування вихідних сигналів однорозрядних повних суматорів.

Технічний результат.

Апаратна складність відомої комірки Гілда розраховується згідно з виразом:

$A_1 = A_{LE} + A_{SM}$, де A_{LE} - 1 - апаратна складність логічного вентиля, A_{SM} - апаратна складність повного однорозрядного суматора з врахуванням вхідного комутаційного логічного елемента I, $A_{SM} = (1-13)v$. Тобто, $A_1 = 1 + (11-13) = (12-14)v$.

Апаратна складність удосконаленої комірки півсуматора розраховується згідно з виразом:

$A_2 = A_{LE} + A_{SM}$, де $A_{LE} = 1v$, $A_{SM} = 7v$. Тобто, $A_2 = 1 + 7 = 8v$.

Тобто апаратна складність удосконаленої комірки півсуматора порівняно з апаратною складністю відомого пристрою зменшується у $(11-13)/8 = (1,4-1,6)$ разів.

При застосуванні такої удосконаленої комірки у матричних перемножувачах Брауна з розрядністю $n = (32-128)$, загальна кількість логічних вентилів зменшується на $(5120-81920)$ вентилів.

У структурі удосконаленої комірки півсуматора, повного однорозрядного суматора застосовані два послідовно-з'єднані логічні елементи "Виключне I" ($=1$) з прямими входами та прямим виходом (фіг. 5), $=1$. Удосконалена комірка півсуматора характеризується підвищеною швидкістю із наступними затримками сигналів між входами та виходами: $a_{1i}b_j \rightarrow S_i - 2u$, $a_i b_j \rightarrow C_{out} - 4u$, $C_{in} \rightarrow C_{out} - 2u$.

Тобто підвищення швидкодії формування вихідної суми удосконаленої комірки півсуматора порівняно з близьким аналогом відповідно складає: $k = 7/3 = 2,3$ рази.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Комірка півсуматора, що містить перший логічний елемент "I", перший вхід якого з'єднаний з входом комутації (b_j , b_{jI}), другий вхід з'єднаний з прямим другим інформаційним входом-виходом пристрою (a_{1i} , a_{1iI}), вихід першого логічного елемента "I" з'єднаний з першим інформаційним входом повного однорозрядного двійкового суматора (SM), другий вхід якого з'єднаний з другим прямим інформаційним входом пристрою (S), третій вхід пристрою з'єднаний з входом наскрізного переносу суматора (C_{in}), другий вихід суматора з'єднаний з виходом наскрізного переносу (C_{out}), а третій вихід суматора з'єднаний з виходом суми пристрою (S_i), яка **відрізняється** тим, що повний однорозрядний суматор (SM) додатково містить: перший

інформаційний вхід (a_i), додатково з'єднаний з виходом першого логічного елемента "I", першим входом першого логічного елемента I-II, першим входом першого логічного елемента АБО та першим входом другого логічного елемента "I", другий вхід (b_i) однорозрядного повного суматора (SM) додатково з'єднаний з інформаційним входом пристрою (S), другим входом першого логічного елемента I-II, другим входом другого логічного елемента "I" та другим входом першого логічного елемента АБО, вихід якого з'єднаний з першим входом третього логічного елемента "I", виходом першого логічного елемента I-II, першим входом другого логічного елемента I-II та другим входом другого логічного елемента АБО, вихід якого з'єднаний з виходом другого логічного елемента I-II та першим виходом суми пристрою (S_i), третій вхід однорозрядного суматора (SM) додатково з'єднаний з другим входом другого логічного елемента I-II, другим входом другого логічного елемента АБО та другим входом другого логічного елемента "I", вихід якого з'єднаний з першим входом третього логічного елемента АБО, другий вхід якого з'єднаний з виходом другого логічного елемента "I", а вихід з'єднаний з виходом наскрізного переносу пристрою (C_{out}).

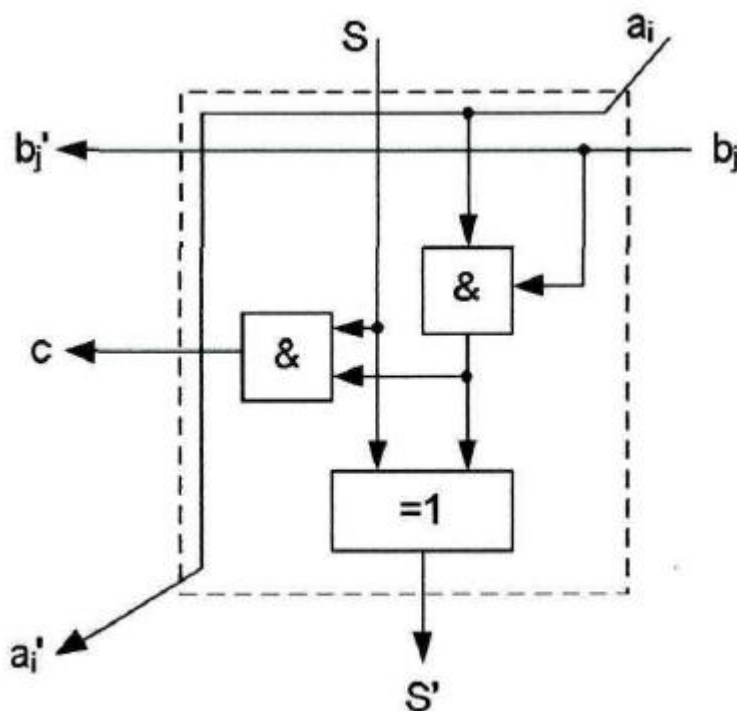
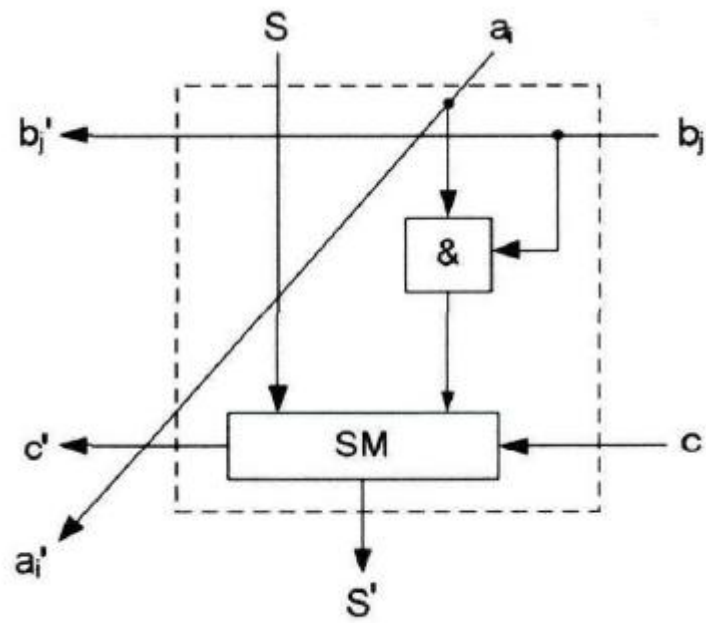
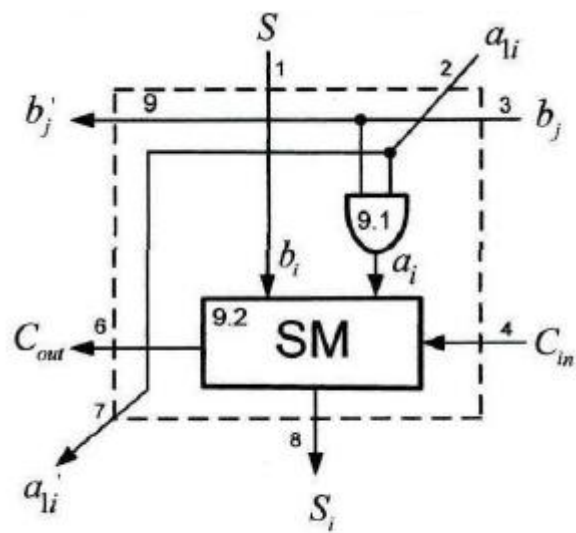


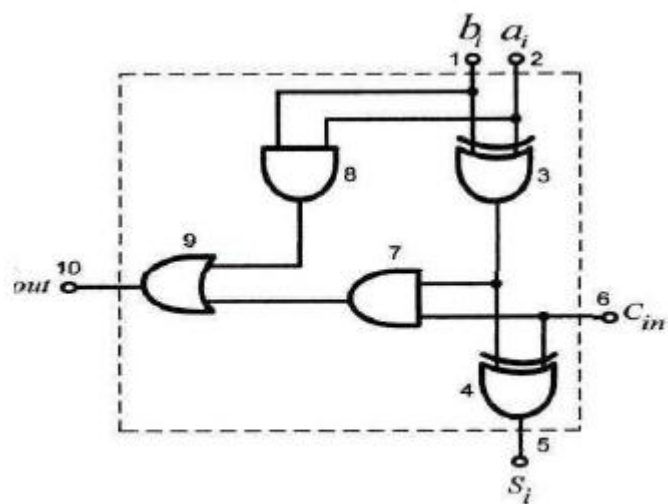
Fig. 1



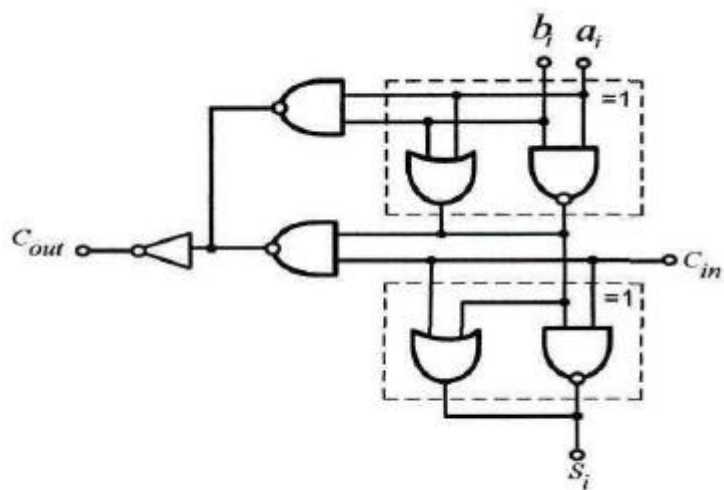
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5