



УКРАЇНА

(19) **UA** (11) **127969** (13) **C2**
(51) МПК (2024.01)
G06F 7/501 (2006.01)
G06F 7/50 (2006.01)
G06F 7/507 (2006.01)
H03K 19/21 (2006.01)
H03K 19/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

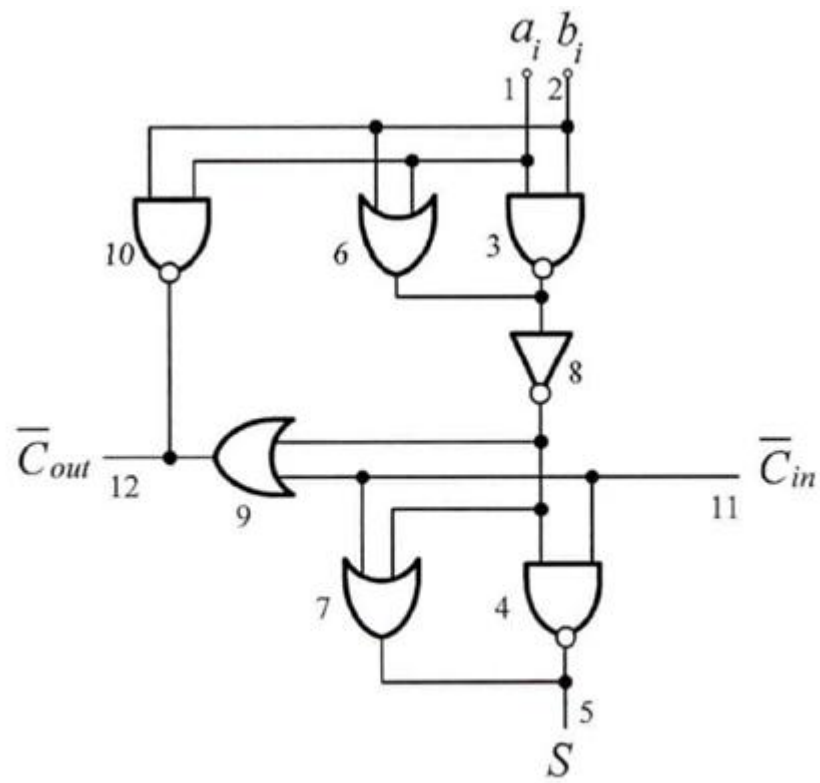
(21) Номер заявки: а 2020 01177 (22) Дата подання заявки: 24.02.2020 (24) Дата, з якої є чинними права інтелектуальної власності: 29.02.2024 (41) Публікація відомостей про заявку: 25.08.2021, Бюл.№ 34 (46) Публікація відомостей про державну реєстрацію: 28.02.2024, Бюл.№ 9	(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA), Грига Людмила Петрівна (UA) (73) Володілець (володільці): Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA) (56) Перелік документів, взятих до уваги експертизою: UA 124563 U, 10.04.2018 UA 120123 C2, 10.10.2019 US 4449197 A, 15.05.1984 JP H09258960 A, 03.10.1997 US 2005289211 A1, 29.12.2005 JP H635668 A, 10.02.1994 RU 2427027 C1, 20.08.2011
--	--

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Винахід належить до області обчислювальної техніки. Повний однорозрядний суматор, який містить інформаційні входи a_i та b_i , інверсний вхід (C_{in}) та інверсний вихід переносу (C_{out}), прямий вихід суми (S), три двовходові логічні елементи І-НІ, три логічні елементи АБО та один логічний елемент НІ, з'єднані відповідним чином з відповідними входами та виходами, у якому в першому компоненті здійснюється формування суми та наскрізного переносу шляхом опрацювання прямих входів a_i та b_i згідно зі структурою неповного однорозрядного суматора, а в наступному компоненті згідно зі структурою неповного однорозрядного суматора здійснюється формування вихідних сигналів інверсного переносу та суми шляхом опрацювання інверсних входів. Технічним результатом, що досягається даним винаходом, є зменшення апаратної складності та покращення технічних характеристик суматора.

UA 127969 C2



Фиг. 4

Винахід належить до засобів обчислювальної техніки і може бути використаний як компонент багаторозрядних двійкових суматорів, матричних перемножувачів, арифметико-логічних пристроїв мікропроцесорів та спецпроцесорів сортування та шифрування даних.

Відомий аналог - двійковий однорозрядний суматор [http://phg.su/basis2/x134.HTM, с. 1/6, 11.5], який містить два прямих входи, які з'єднані з відповідними першим і другим входами першого логічного елемента "Виключаюче АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключаюче АБО", вихід якого є прямим виходом суми. Перший і другий входи першого логічного елемента "Виключаюче АБО" з'єднані з відповідними першими і другими входами першого логічного елемента "І". Вихід першого логічного елемента "Виключаюче АБО" з'єднаний з першим входом другого логічного елемента "І", другий вхід якого з'єднаний з прямим входом переносу з молодшого розряду, а вихід з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом першого логічного елемента "І", а вихід є прямим виходом переносу в старший розряд (фіг. 1). Кожен логічний елемент "Виключаюче АБО" містить 2 інвертори та 3 логічних елементи "2І-НІ", відповідно з'єднаних між собою [Шило В.Л. Популярные цифровые микросхемы: Справочник. - М.: Радио и связь, 1988 г, с. 57, рис. 1.35 в, м] (фіг. 2 а, б).

Недоліком такого суматора є велика апаратна складність та низька швидкодія, що відповідно підвищує апаратну та часову складність мікроелектронних пристроїв, в яких такі суматори використовуються як базові компоненти, наприклад, у багаторозрядних матричних перемножувачах Брауна і Дадда [Орлов С.А., Цилькер Б.Я. Организация ЭВМ и систем: Учебник для вузов. 2-е изд. - СПб.: Питер, 2011, ст. 194] та арифметико-логічних пристроях. Велика апаратна складність обумовлена наявністю 13 логічних елементів у структурі суматора (А=13 вентилів). Низька швидкодія обумовлена затримкою сигналів формування суми та переносів між наступними входами та виходами: $a_i b_i \rightarrow S - 6\tau$ (τ - затримка сигналів в логічному елементі за один мікротакт); $a_i b_i \rightarrow \bar{C}_{out} - 2\tau$ або 5τ , $\bar{C}_{in} \rightarrow \bar{C}_{out} - 2\tau$.

Відомий найближчий аналог - повний однорозрядний суматор [Николайчук Я.М., Грига В.М., Возна Н.Я., Давлетова А.Я. Патент на корисну модель № 124563 бюл. № 7 від 10.04.2018 р.), який містить перший вхід a_i , з'єднаний з першим входом логічного елемента І-НІ та першим входом логічного елемента АБО, другий вхід однорозрядного суматора, з'єднаний з другим входом логічного елемента АБО та другим входом логічного елемента І-НІ, другий логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом другого логічного елемента АБО, третій логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом першого логічного елемента АБО, другий вхід з'єднаний з другим входом першого логічного елемента АБО, вихід якого з'єднаний з виходом першого логічного елемента І-НІ, вихід якого з'єднаний з першим входом другого логічного елемента І-НІ та входом першого логічного елемента НІ, вихід якого з'єднаний з першим входом логічного елемента АБО, вихід якого з'єднаний з виходом третього логічного елемента І-НІ і є інверсним виходом, а другий вихід логічного елемента АБО з'єднаний з інверсним входом переносу однорозрядного суматора, другий логічний елемент І-НІ з'єднаний з другим логічним елементом АБО, вихід якого з'єднаний з виходом другого логічного елемента АБО та є виходом суми S_i однорозрядного суматора.

Недоліком такого суматора є велика апаратна складність, оскільки такий пристрій містить 8 логічних елементів (3 двовходові логічні елементи І-НІ, 3 двовходові логічні елементи АБО та 2 логічні елементи НІ та характеризується наступними затримками сигналів суми та переносу: $a_i b_i \rightarrow S - 2\tau$, $a_i b_i \rightarrow \bar{C}_{out} - 1\tau$ або 3τ , $\bar{C}_{in} \rightarrow \bar{C}_{out} - 1\tau$.

В основу винаходу поставлена задача досягнення гранично-мінімальної апаратної складності однорозрядного повного двійкового суматора та гранично-мінімальної затримки інверсних сигналів наскрізного переносу тривалістю 1 мікротакт, шляхом вилучення зі структури відомого суматора другого одновходового логічного елемента НІ та додаткового з'єднання виходу першого логічного елемента НІ з першим входом другого логічного елемента І-НІ та першим входом другого логічного елемента АБО. При цьому логічна функція "Виключаюче І", яка формує вихідний сигнал суми $S = 0$, коли на входи другого логічного елемента І-НІ і другого логічного елемента АБО надходять сигнали з виходів схеми НІ та $\bar{C}_{in}$ сигнали 11 або 00.

Поставлена задача вирішується тим, що повний однорозрядний суматор, який містить перший вхід a_i , з'єднаний з першим входом першого логічного елемента І-НІ та першим входом першого логічного елемента АБО, другий вхід b_i однорозрядного суматора, з'єднаний з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ,

вихід якого з'єднаний з виходом першого логічного елемента АБО та входом логічного елемента НІ вихід якого з'єднаний з першим входом другого логічного елемента АБО, містить другий логічний елемент І-НІ, перший та другий входи якого, відповідно, з'єднані з першим та другим

5 входами суматора, вихід з'єднаний з інверсним виходом переносу ($\bar{C}_{out}$) суматора та виходом другого логічного елемента АБО, другий вхід якого з'єднаний з інверсним входом переносу та першими входами третього логічного елемента І-НІ та третього логічного елемента АБО, виходи яких з'єднані між собою та є виходами суми (S) суматора, а другі входи, які з'єднані між собою, додатково з'єднані з виходом логічного елемента НІ.

Винахід ілюструється кресленням (фіг. 4), де на кресленні представлена структура пристрою, який містить: 1, 2 - відповідні інформаційні входи a_i та b_i ; 3, 4 - відповідно перший та другий логічні елементи І-НІ; 5 - вихід суми; 6,1 - відповідно перший та другий логічні елементи АБО; 8 - логічний елемент НІ; 9 - третій логічний елемент АБО; 10 - третій логічний елемент І-НІ; 11,12 - відповідно, інверсний вхід ($\bar{C}_{in}$) та інверсний вихід ($\bar{C}_{out}$) переносу однорозрядного суматора.

15 Однорозрядний суматор працює наступним чином: при подачі на входи a_i (1) та b_i (2) логічних значень "0" або "1" на монтажно з'єднаному виході першого логічного елемента І-НІ (3) та першого логічного елемента АБО (6) з затримкою на 1 мікротакт формується логічний сигнал,

який відповідає модульній сумі $a_i \oplus b_i$, який надходить на вхід логічного елемента НІ (8) та входи логічного елемента І-НІ (4) та логічного елемента АБО (7), на об'єднаних виходах яких

20 формується сигнал суми (5), вхідні сигнали a_i та b_i на входах суматора (1), (2) надходять на входи логічного елемента І-НІ (10), який з'єднаний з виходом логічного елемента АБО (9), що

формує вихідний інверсний сигнал виходу переносу $\bar{C}_{out}$ (12), вхідний інверсний сигнал переносу $\bar{C}_{in}$ (11), який надходить на вхід логічного елемента АБО (9), якщо на виході логічного

25 елемента І-НІ формується сигнал "0" і на інверсному вході переносу також сигнал "0", то на виході логічного елемента АБО (9) формується нульовий вихідний сигнал інверсного переносу. Якщо на виході логічного елемента (8) НІ формується логічний сигнал 1 або на інверсному вході переносу логічний сигнал 1, то на виході суматора (5) формується сигнал суми 1.

Запропонований повний однорозрядний суматор характеризується наступними затримками сигналів суми та переносу: $a_i b_i \rightarrow S - 3\tau$, $a_i b_i \rightarrow \bar{C}_{out} (1 \text{ або } 3\tau)$, $\bar{C}_{in} \rightarrow \bar{C}_{out} - 1\tau$, $\bar{C}_{in} \rightarrow S - 1\tau$.

30 Технічний результат: Запропонований повний однорозрядний суматор характеризується

зменшенням апаратної складності у $\frac{8}{7} = 1.14$ рази - у порівнянні з найближчим аналогом, та $\frac{11}{7} = 1.6$ рази - у порівнянні з класичною структурою повного однорозрядного сумматора (аналога). Тобто при розрядності багаторозрядного суматора 1024 біти, який використовується

35 для шифрування даних згідно з алгоритмом RSA зменшення об'єму мікроелектронного обладнання при його реалізації на ПЛІС у порівнянні з прототипом складає 1024 вентиля, а у порівнянні з аналогом відповідно складає 4096 вентилів. При застосуванні такого суматора в

матричних перемножувачах з кількістю суматорів в перемножуваній матриці $n \times (n-1)$ при $n=1024$, відповідне зменшення апаратної складності складає у порівнянні з прототипом

40 1047552 вентилів, а у порівнянні з аналогом - 4190208, що складає 35-40 % економії інформаційної ємності кристала.

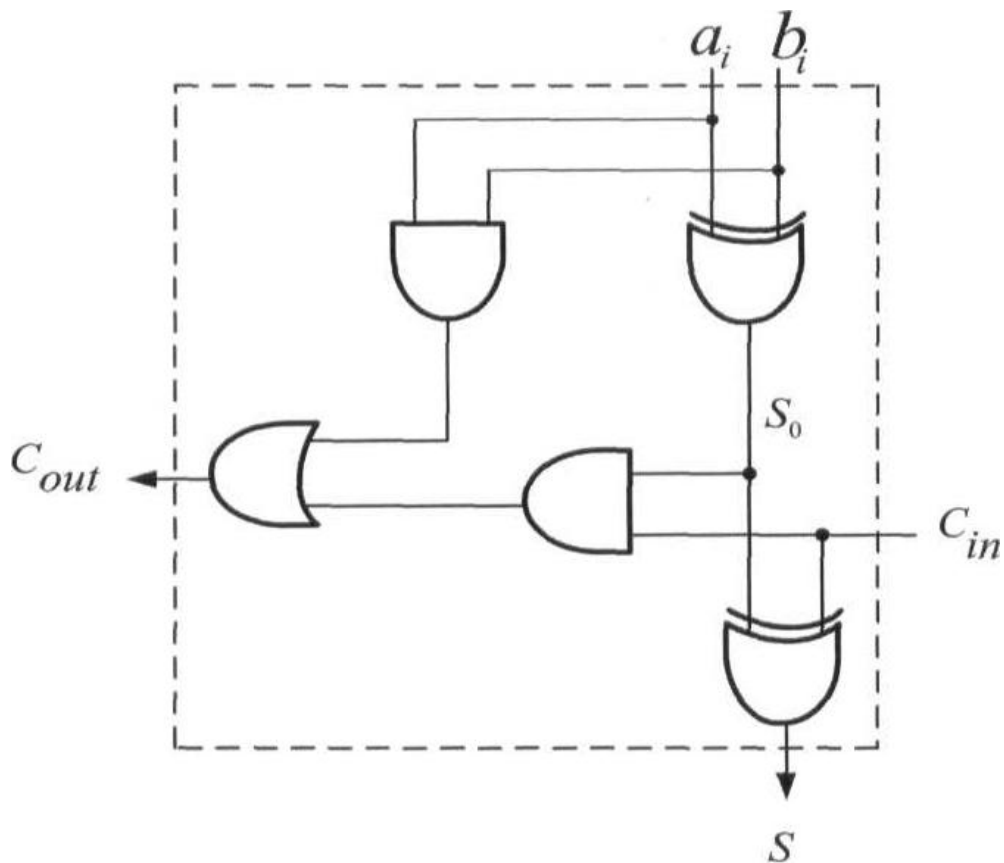
ФОРМУЛА ВИНАХОДУ

Повний однорозрядний суматор, який містить перший вхід a_i , з'єднаний з першим входом першого логічного елемента І-НІ та першим входом першого логічного елемента АБО, другий

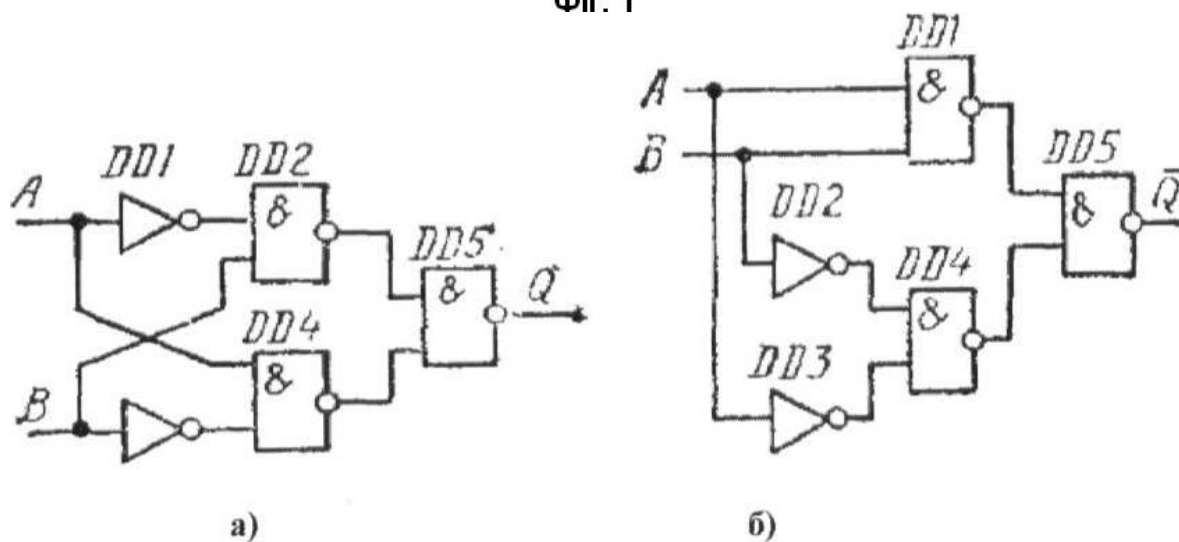
45 вхід b_i однорозрядного суматора, з'єднаний з другим входом першого логічного елемента АБО та другим входом першого логічного елемента І-НІ, вихід якого з'єднаний з виходом першого логічного елемента АБО та входом логічного елемента НІ, вихід якого з'єднаний з першим

50 входом другого логічного елемента АБО, містить другий логічний елемент І-НІ, перший та другий входи якого, відповідно, з'єднані з першим та другим входами суматора, вихід з'єднаний з інверсним виходом переносу ($\bar{C}_{out}$) суматора та виходом другого логічного елемента АБО,

другий вхід якого з'єднаний з інверсним входом переносу ($\bar{C}_{in}$) та першими входами третього логічного елемента І-НІ та третього логічного елемента АБО, виходи яких з'єднані між собою та є виходами суми (S) суматора, який **відрізняється** тим, що другі входи третього логічного елемента І-НІ та третього логічного елемента АБО, що з'єднані між собою, додатково з'єднані з виходом логічного елемента НІ.



Фиг. 1



Фиг. 2

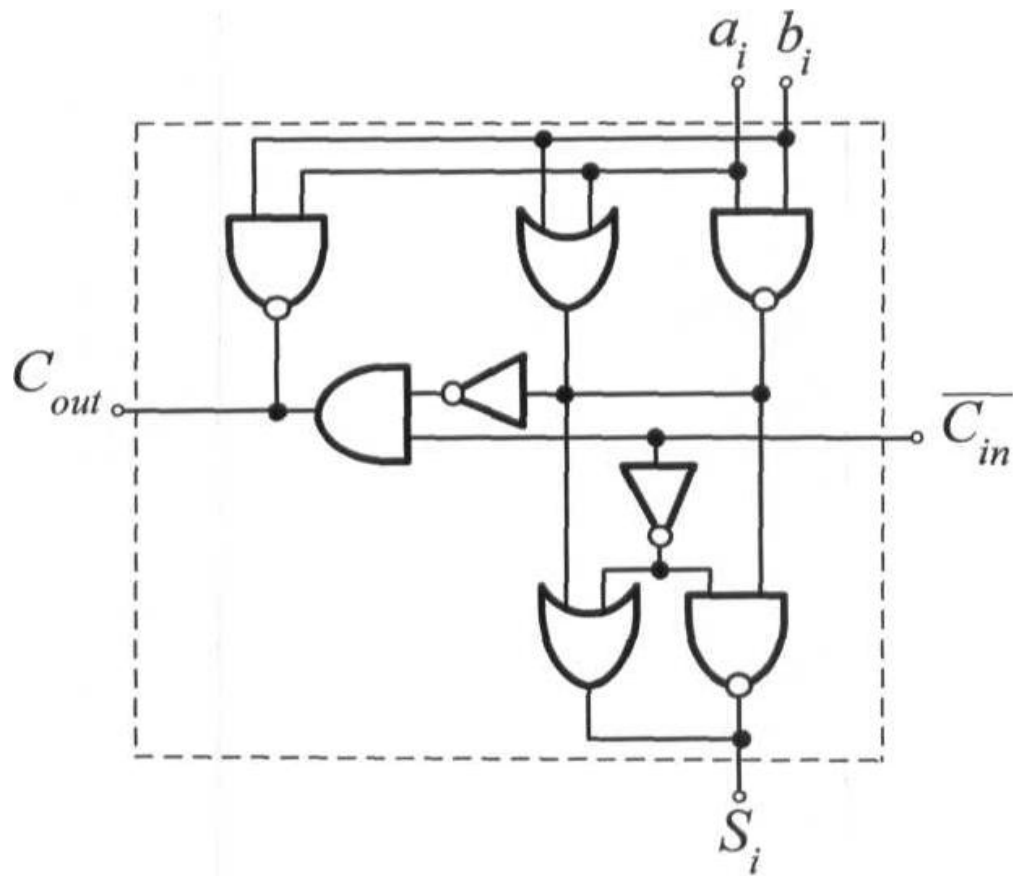


Fig. 3

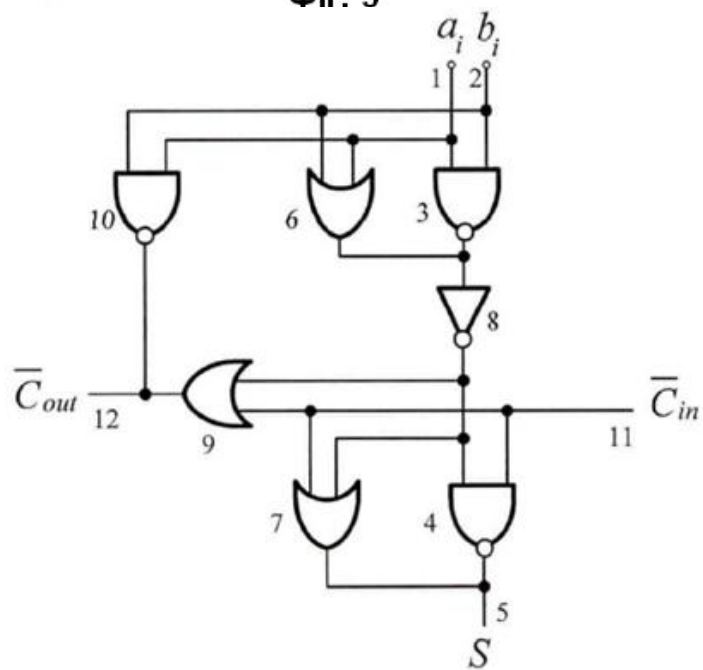


Fig. 4