



УКРАЇНА

(19) UA

(11) 156500

(13) U

(51) МПК

G06F 7/501 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2023 05549	(72) Винахідник(и): Грига Володимир Михайлович (UA), Николайчук Ярослав Миколайович (UA)
(22) Дата подання заявки: 20.11.2023	(73) Володілець (володільці): Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності: 04.07.2024	
(46) Публікація відомостей про державну реєстрацію: 03.07.2024, Бюл.№ 27	

(54) СИНХРОНІЗОВАНИЙ МАТРИЧНИЙ ПЕРЕМНОЖУВАЧ**(57) Реферат:**

Синхронізований матричний перемножувач двійкових кодів містить першу n -розрядну вхідну інформаційну шину $(x_{n-1}, \dots, x_i, \dots, x_0)$, другу n -розрядну вхідну інформаційну шину $(y_n, \dots, y_{i+1}, \dots, y_1)$, вихідну інформаційну шину, багаторозрядні регістри пам'яті на тригерах та багаторозрядні суматори, які з'єднані між собою відповідним чином. Додатково містить синхронізатор, перший вихід (R_0) якого з'єднаний з першими входами додатково введених логічних елементів "І-НІ" та першими інверсними входами логічних елементів "АБО". Другі входи логічних елементів "І-НІ" з'єднані з (X_i) -ми виходами першої вхідної шини, виходи логічних елементів "І-НІ" з'єднані з S -входами тригерів i -их розрядів регістрів пам'яті та суматорів. Треті входи логічних елементів "І-НІ" з'єднані з відповідними виходами другої інформаційної шини (Y_{i+1}, Y_i) та другими входами логічних елементів "АБО", виходи яких з'єднані з R -входами i -их тригерів регістрів пам'яті та суматорів. Додатково прямі виходи бінарно-двійкових кодів $(\hat{S}_i \hat{C}_i)$ перших двох молодших розрядів регістрів пам'яті та суматорів з'єднані з D -входами відповідних тригерів вихідного регістра пам'яті, C -входи синхронізації тригерів регістрів пам'яті та суматорів з'єднані з другим виходом синхронізатора (S_x) . Кожні наступні два бінарно-двійкові виходи синхронізатора $(\hat{S}_i \hat{C}_i)$ додатково з'єднані з відповідними першими та другими входами синхронізованих мультиплексорів, наступні виходи мультиплексорів з'єднані з інформаційними входами відповідних розрядів суматорів, додатково кожні наступні два бінарно-двійкові виходи суматорів з'єднані з відповідними входами відповідних черезрівневих синхронізованих мультиплексорів. Виходи кінцевого суматора з'єднані з D -входами відповідних старших розрядів тригерів вихідного регістра пам'яті, виходи якого з'єднані з $4n$ -розрядною вихідною шиною пристрою, а треті входи вихідного регістра пам'яті з'єднані з виходом синхронізатора S_0 .

UA 156500 U

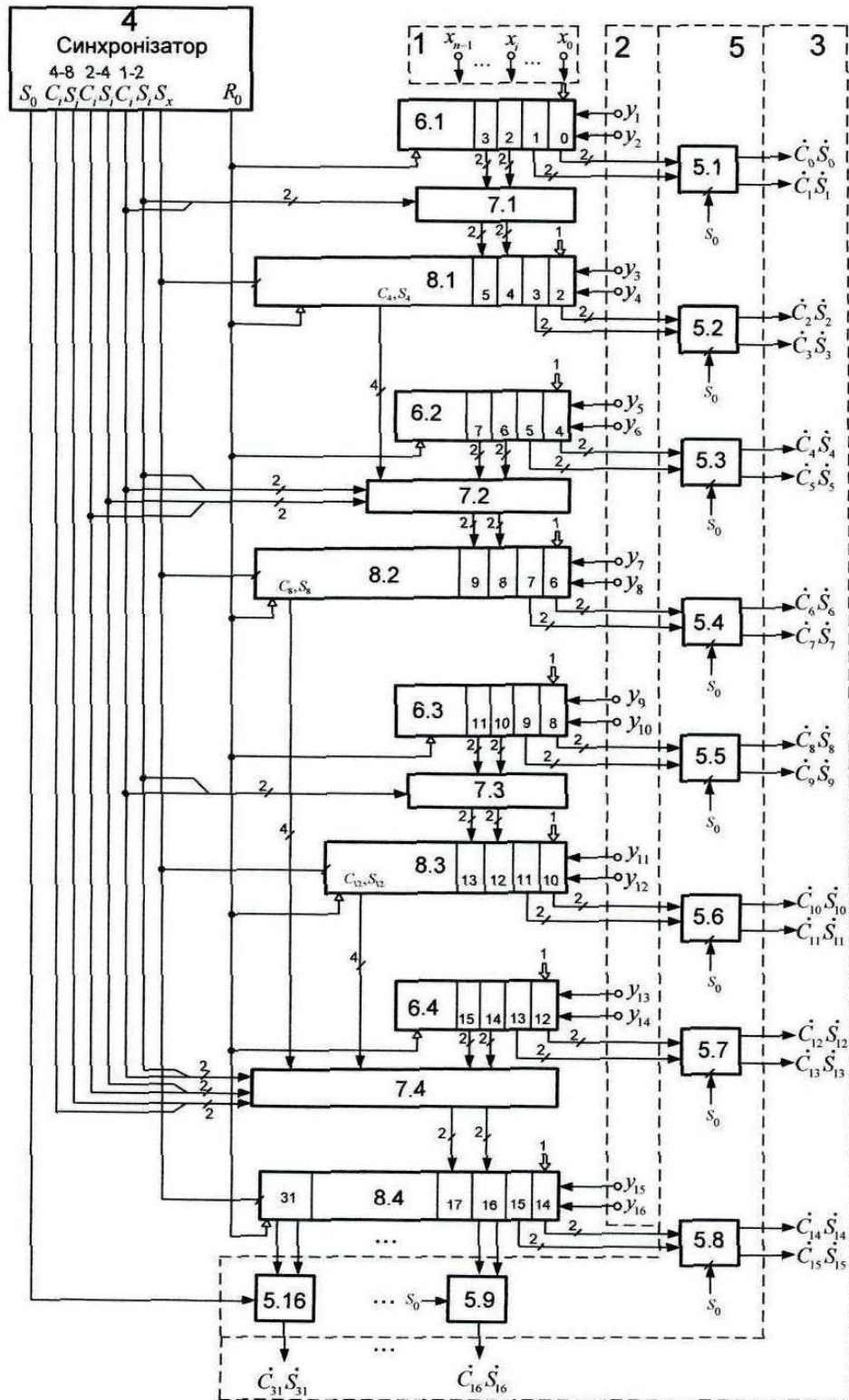


Fig. 4

Пристрій належить до засобів обчислювальної техніки і може бути використаний як швидкодіючий компонент арифметико-логічних пристроїв багатоядерних суперкомп'ютерів та спецпроцесорів цифрового опрацювання даних.

Відомий аналог - матричний перемножувач згідно з алгоритмом Брауна, структура якого представлена на фіг. 1 [1, 3/5], який містить першу і другу вхідні шини двійкових кодів перемножуваних чисел, біти яких попарно з'єднані з входами логічних елементів "І", виходи яких підключені до відповідних входів матриці неповних та повних однорозрядних суматорів, виходи якої є виходами перемножувача.

Недоліком такого матричного перемножувача є низька швидкодія, яка обумовлена загальною затримкою сигналів залежно від розрядності вхідних двійкових чисел ($3n-4$) мікротакти [2].

Відомий близький аналог - матричний перемножувач згідно з алгоритмом Бута, структура якого представлена на фіг. 2 [3, 3/5], який містить першу вхідну шину двійкового коду, другу вхідну шину двійкового коду, 3-розрядні виходи якої з'єднані з комірками Бута [4, фіг. 1, 4/5], які комутують входи суматорів перемножуваної матриці та формування міжсуматорних сум, кількість яких дорівнює $n/2$.

Недоліком такого пристрою є низька швидкодія, яка обумовлена наявністю в кожному каскаді структури перемножувача Бута багаторозрядних несинхронізованих двійкових суматорів з наскрізними переносами, що визначає швидкодію відомого перемножувача згідно виразу $\tau_v = \tau_1 + \tau_2$, де $\tau_1 = 4$ - мікротакти (затримка сигналів в однорозрядній комірці Бута) [4, фіг. 1, 4/5], $\tau_2 = 4 + 3n - 4 = 3n$ мікротактів (затримка сигналів у матриці n -розрядних двійкових суматорів з наскрізними переносами).

В основу удосконалення багаторозрядного матричного перемножувача покладено застосування принципу побудови перемножувачів згідно з алгоритмом Бута [5] та застосування бінарно-двійкової арифметики [6] для реалізації виконання операції додавання багаторозрядних двійкових чисел з відсутніми наскрізними переносами.

Перевагою алгоритму Бута порівняно з алгоритмом Брауна є зменшення в 2 рази кількості суматорів та відповідної кількості операцій додавання, які реалізуються n -розрядними двійковими суматорами з наскрізними переносами.

Недоліком такого алгоритму є застосування у структурі відомого пристрою багаторозрядних двійкових суматорів з наскрізними переносами, кожний розряд яких містить 8 вентилів та має затримку сигналів наскрізного переносу і суми 2 мікротакти [7], фіг. 3.

В основу корисної моделі поставлена задача підвищення швидкодії синхронізованого матричного перемножувача.

Поставлена задача вирішується тим, що багаторозрядний синхронізований перемножувач двійкових кодів, який містить: першу n -розрядну вхідну інформаційну шину ($x_{n-1}, \dots, x_i, \dots, x_0$), другу n -розрядну вхідну інформаційну шину ($y_n, \dots, y_{i+1}, \dots, y_1$), вихідну інформаційну шину, багаторозрядні регістри пам'яті на тригерах та багаторозрядні суматори, які з'єднані між собою відповідним чином, згідно з корисною моделлю, додатково містить синхронізатор, перший вихід (R_0) якого з'єднаний з першими входами додатково введених логічних елементів "І-НІ" та першими інверсними входами логічних елементів "АБО", другі входи логічних елементів "І-НІ" з'єднані з (x_i)-ми виходами першої вхідної шини, виходи логічних елементів "І-НІ" з'єднані з S -входами тригерів i -их розрядів регістрів пам'яті та суматорів, треті входи логічних елементів "І-НІ" з'єднані з відповідними виходами другої інформаційної шини (y_{i+1}, y_i) та другими входами логічних елементів "АБО", виходи яких з'єднані з R -входами i -их тригерів регістрів пам'яті та суматорів, додатково прямі виходи бінарно-двійкових кодів ($\tilde{S}_i \tilde{C}_i$) перших двох молодших розрядів регістрів пам'яті та суматорів з'єднані з D -входами відповідних тригерів вихідного регістра пам'яті, C -входи синхронізації тригерів регістрів пам'яті та суматорів з'єднані з другим виходом синхронізатора (S_x), кожні наступні два бінарно-двійкові виходи синхронізатора ($\tilde{S}_i \tilde{C}_i$) додатково з'єднані з відповідними першими та другими входами синхронізованих мультиплексорів, наступні виходи мультиплексорів з'єднані з інформаційними входами відповідних розрядів суматорів, додатково кожні наступні два бінарно-двійкові виходи суматорів з'єднані з відповідними входами відповідних черезрівневих синхронізованих мультиплексорів, а виходи кінцевого суматора з'єднані з D -входами відповідних старших розрядів тригерів вихідного регістра пам'яті, виходи якого з'єднані з $4n$ -розрядною вихідною шиною пристрою, а треті входи вихідного регістра пам'яті з'єднані з виходом синхронізатора S_0 .

Синхронізований матричний перемножувач (фіг. 4) містить: 1 - першу n -розрядну вхідну шину ($x_{n-1}, \dots, x_i, \dots, x_0$), 2 - другу n -розрядну вхідну інформаційну шину ($y_n, \dots, y_{i+1}, \dots, y_1$), 3 - $4n$ -розрядну вихідну інформаційну шину бінарно-двійкового коду ($\tilde{C}_{2n-1} \tilde{S}_{2n-1}, \dots, \tilde{C}_i \tilde{S}_i, \dots, \tilde{C}_0 \tilde{S}_0$); 4 - синхронізатор; 5 - $4n$ -розрядний вихідний регістр пам'яті на D -тригерах; 6 - $2n$ -розрядні

комутовані регістри пам'яті на RS-тригерах (фіг. 5); 7 - синхронізовані мультиплексори на логічних елементах "І-НІ" (фіг. 6), де k - розрядність мультиплексора, яка залежить від вхідної розрядності перемножувача; 8 - синхронізований n -розрядний суматор (фіг. 7), який у кожному розряді містить логічний елемент "І-НІ" та логічний елемент "АБО" з інверсним входом, повний

5 однорозрядний суматор (3, фіг. 8) та два D-тригери (5, 6).

Пристрій працює наступним чином: на початку циклу перемноження на виході синхронізатора (R_0) формується сигнал логічної '1' тривалістю 3 мікротакти, який подається на перші входи логічних елементів "І-НІ", інверсні входи логічних елементів АБО $2n$ -розрядних регістрів пам'яті (фіг. 5) та n -розрядних суматорів (фіг. 7). У результаті нульовими потенціалами

10 з виходів логічних елементів "І-НІ" та "АБО", які подаються відповідно на S- та R-входи тригерів регістрів пам'яті та суматорів, записуються відповідні коди Бута (0,X,2X,3X) згідно з таблицею.

Таблиця

Формування кодів Бута в тригерах регістрів пам'яті та суматорів на основі розрядних бітів вхідних інформаційних шин x_i та y_j

x_i	y_j	C	S	B
0	0	0	0	0
1	0	0	1	X
0	1	1	0	2X
1	1	1	1	3X

У наступних мікроциклах роботи пристрою, на виходах синхронізатора (S_iC_i), згідно з

15 послідовністю активації відповідних входів синхронізованих мультиплексорів (7.1-7.4) 1-2, 2-4, 2-8, із затримкою сигналів у розрядах синхронізованих суматорів (8.1-8.4) загальною тривалістю 12 мікротактів, з яких 4 мікротакти відбуваються одноразово, накопичення бітів $\hat{S}_i$ та дворазове накопичення по 4 мікротакти бітів $\hat{C}_i$. Таким чином, у кожному наступному мікроциклі роботи пристрою відбувається накопичення часткових сум результату множення у кінцевому суматорі

20 (фіг. 4, 8.4), тобто, загальна сумарна затримка у наступних мікроциклах роботи пристрою, кількість яких є пропорційною $(\log_2 n - 1)$ -розрядності пристрою. У кінцевому мікроциклі роботи пристрою, фронтом наростання сигналу синхронізатора (S_0) з тривалістю логічної "1" 2 мікротакти по D-входах тригерів, які з'єднані з виходами старших розрядів кінцевого суматора (8.4), здійснюється запис інформації у молодші та старші розряди вихідного регістра пам'яті

25 (5.1-5.16).

Підвищення швидкодії запропонованого пристрою досягається за рахунок застосування у його структурі n -розрядних синхронізованих накопичуючих суматорів (фіг. 7), у яких відсутні міжрозрядні наскрізні переноси [7]. При цьому операція накопичення суми кожного біта, який надходить на інформаційний вхід повного однорозрядного синхронізованого суматора (фіг. 7)

30 здійснюється за 4 мікротакти (2 мікротакти в 6-вентильному однорозрядному суматорі (фіг. 8) та 2 мікротакти в D-тригерах (фіг. 7, 5, 6).

Підсумовування бінарно-двійкових кодів ($\hat{S}_i\hat{C}_i$) між регістрами пам'яті і суматорами у пристрої відбувається послідовним додаванням 3-х бітів: $\hat{S}_i$ один раз та $\hat{C}_i$ два рази.

Таким чином, вихідний результат множення у запропонованому пристрої формується у

35 вигляді $4n$ -розрядного бінарно-двійкового коду ($\hat{C}_{2n-1}\hat{S}_{2n-1}, \dots, \hat{C}_i\hat{S}_i, \dots, \hat{C}_0\hat{S}_0$).

Залежно від розрядності вхідних шин, загальна затримка сигналів, у запропонованому синхронізованому перемножувачі та часова складність розраховується згідно із виразом:

$$\tau_y = \tau_1 + \tau_2 + \tau_3,$$

де $\tau_1 = 3$ - мікротакти (затримка сигналів запису кодів Бута у тригери регістрів пам'яті (фіг. 5) та суматорів (фіг. 7); $\tau_2 = 3 \times 4 \times [\log_2 n - 1]$ - мікротакти (затримка сигналів операції підсумовування в накопичуючих суматорах (фіг. 4, фіг. 7, фіг. 8); $\tau_3 = 2$ - мікротакти (затримка сигналів запису інформації у всі D-тригери вихідного $4n$ -розрядного регістра пам'яті (5.1-5.16).

Тобто, при розрядності вхідних двійкових чисел ($n=16; 1024$), часова складність відомого перемножувача для заданих розрядностей відповідно складає: (48; 3072) мікротактів.

45 Підвищення швидкодії запропонованого перемножувача у порівнянні з відомим близьким аналогом, при розрядності $n=16; 1024$ відповідно становить:

$$k_c = 3n / [3 + 12 \times (\log_2 n - 1) + 2] = 1,2; 27 \text{ разів.}$$

Запропонований високопродуктивний синхронізований перемножувач доцільно застосувати як потоковий перемножувач, який у багатоядерному суперкомп'ютері, може послідовно

50 обслуговувати велику кількість користувачів, які застосовують бінарно-двійкові коди згідно з алгоритмами статистичного, кореляційного та ентропійного опрацювання даних. Наприклад у

структурі пристрою визначення вибіркового математичного сподівання (Номер заявки № u 202300491 від 10.02.2023 р, фіг. 3), який реалізує операцію реєстрації суми накопичених даних у бінарно-двійковому коді з безпосереднім перетворенням результатів обчислень у двійковий код синхронним лічильником старших розрядів пристрою.

5 Джерела інформації:

1. phg.su/basis2/X149.HTM (с. 3/5)

2. Николайчук Я.М., Возна Н.Я., Грига В.М., Круліковський Б.Б., Давлетова А.Я. Високопродуктивні матричні та потокові перемножувачі цифрових даних / Збірник наукових праць "Математичне та комп'ютерне моделювання". Серія: Технічні науки - Кам'янець-Подільський, Україна, 2019. - Вип. 19. - С 101-107.

3. phg.su/basis2/X149.HTM (с. 3/5)

4. phg.su/basis2/X149.HTM (с. 4/5)

5. Barun Biswas, Bidyut B. Chaudhuri Generalization of Booth's Algorithm for Efficient Multiplication, Procedia Technology, 2013. - Volume 10. - P. 304-310

15 6. Николайчук Я.М. Основы теории, методологии та схемотехніки бінарної арифметики багаторозрядних суперкомп'ютерів // Матеріали проблемно-наукової міжгалузевої конференції "Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління", ISCM-2022 - Надвірна, 2022. - С. 11-27

7. Давлетова А.Я., Грига В.М., Николайчук Я.М. Патент на корисну модель № 132520 (бюл. №4 від 25.02.2019р.) Матричний перемножувач.

20 8. Николайчук Я.М., Возна Н.Я., Грига В.М., Пітух І.Р., Давлетова А.Я. Накопичуючий двійковий суматор Патент на корисну модель № 150332 (бюл. № 5, 2022 р.)

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

25 Синхронізований матричний перемножувач двійкових кодів, який містить: першу n-розрядну вхідну інформаційну шину ($X_{n-1}, \dots, X_i, \dots, X_0$), другу n-розрядну вхідну інформаційну шину ($Y_n, \dots, Y_{i+1}, \dots, Y_1$), вихідну інформаційну шину, багаторозрядні регістри пам'яті на тригерах та багаторозрядні суматори, які з'єднані між собою відповідним чином, який **відрізняється** тим, що додатково містить синхронізатор, перший вихід (R_0) якого з'єднаний з першими входами додатково введених логічних елементів "І-НІ" та першими інверсними входами логічних елементів "АБО", другі входи логічних елементів "І-НІ" з'єднані з (X_i)-ми виходами першої вхідної шини, виходи логічних елементів "І-НІ" з'єднані з S-входами тригерів i-их розрядів регістрів пам'яті та суматорів, треті входи логічних елементів "І-НІ" з'єднані з відповідними виходами 35 другої інформаційної шини (Y_{i+1}, Y_i) та другими входами логічних елементів "АБО", виходи яких з'єднані з R-входами i-их тригерів регістрів пам'яті та суматорів, додатково прямі виходи бінарно-двійкових кодів ($\hat{S}_i, \hat{C}_i$) перших двох молодших розрядів регістрів пам'яті та суматорів з'єднані з D-входами відповідних тригерів вихідного регістра пам'яті, C-входи синхронізації тригерів регістрів пам'яті та суматорів з'єднані з другим виходом синхронізатора (S_x), кожні 40 наступні два бінарно-двійкові виходи синхронізатора ($\hat{S}_i, \hat{C}_i$) додатково з'єднані з відповідними першими та другими входами синхронізованих мультиплексорів, наступні виходи мультиплексорів з'єднані з інформаційними входами відповідних розрядів суматорів, додатково кожні наступні два бінарно-двійкові виходи суматорів з'єднані з відповідними входами відповідних черезрівневих синхронізованих мультиплексорів, а виходи кінцевого суматора з'єднані з D-входами відповідних старших розрядів тригерів вихідного регістра пам'яті, виходи якого з'єднані з 4n-розрядною вихідною шиною пристрою, а треті входи вихідного регістра 45 пам'яті з'єднані з виходом синхронізатора S_0 .

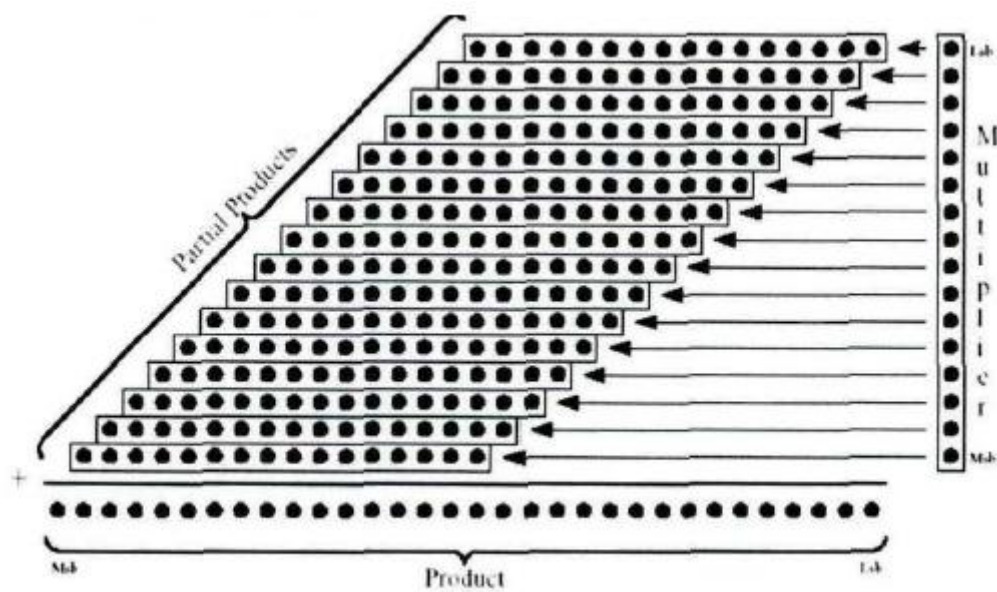


Fig. 1

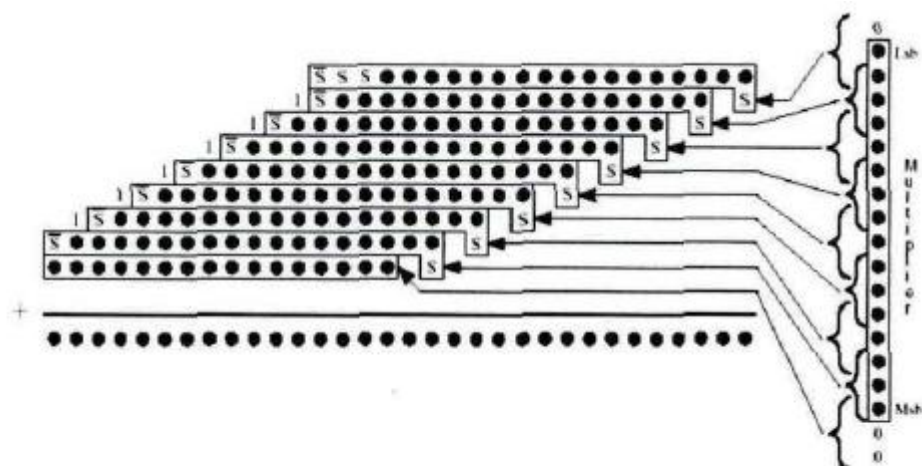


Fig. 2

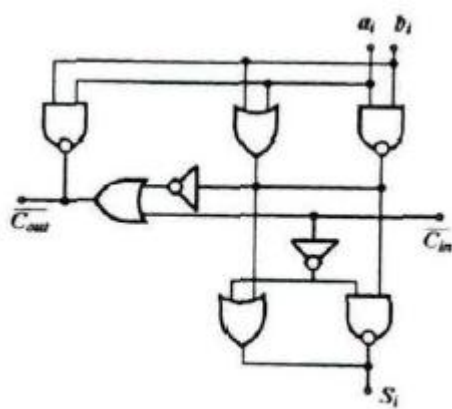
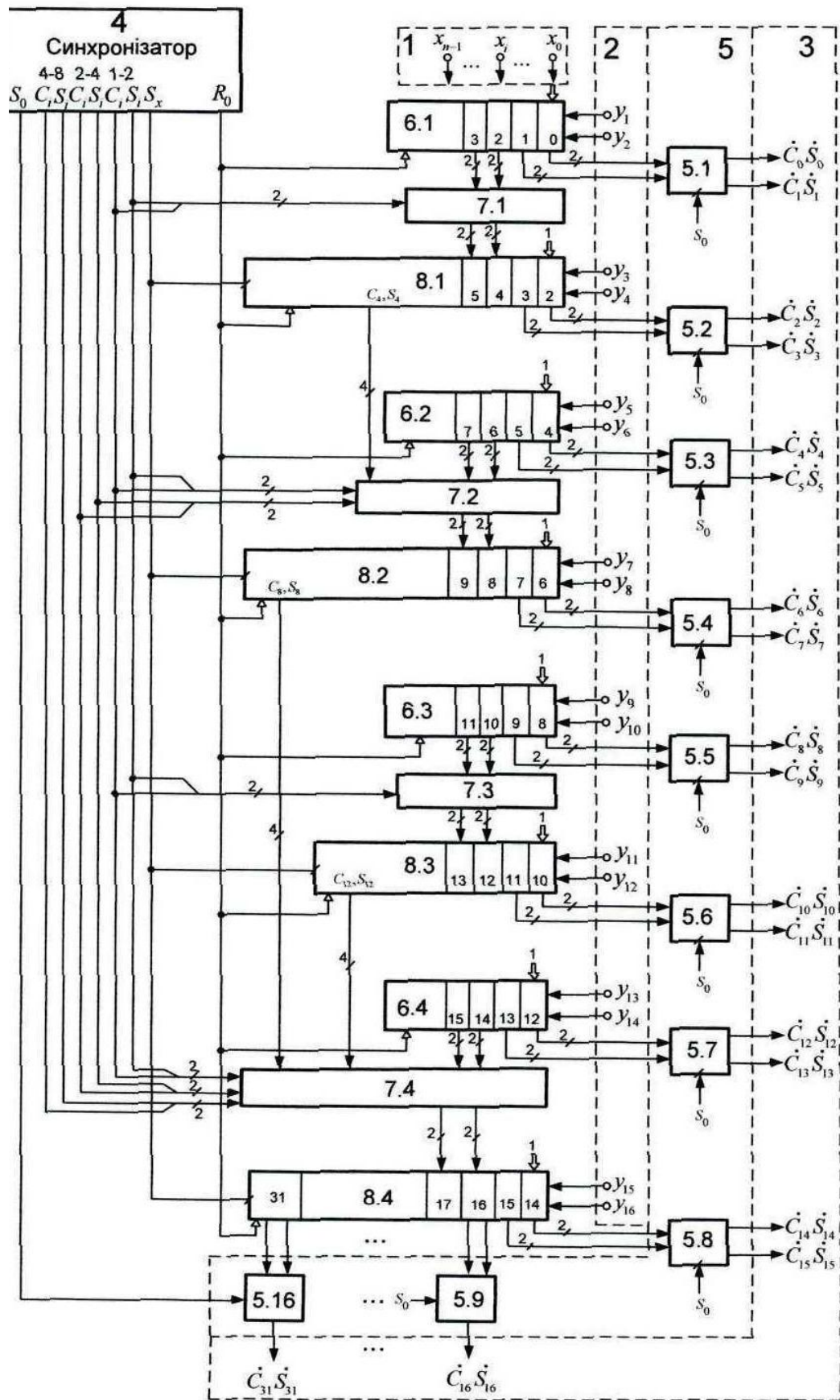


Fig. 3



Фиг.4

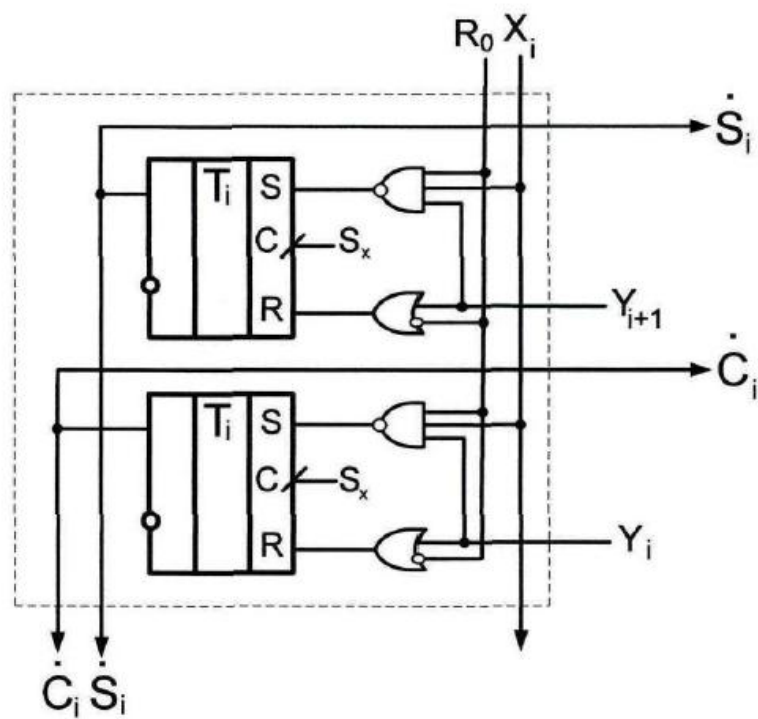


Fig. 5

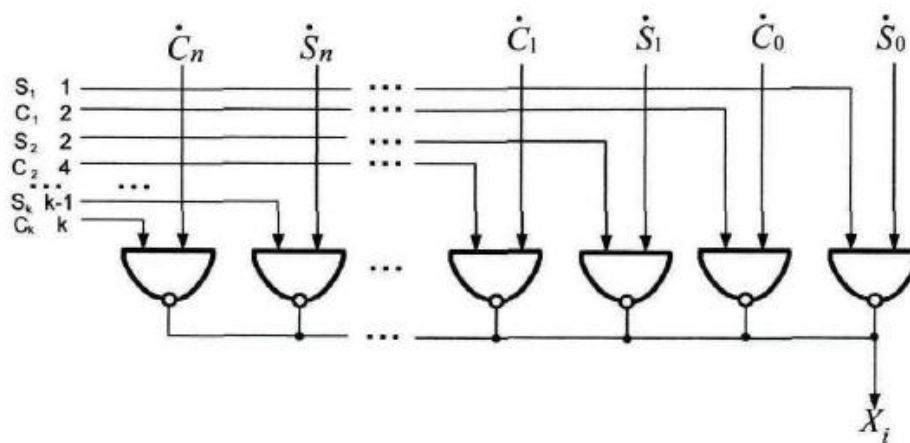
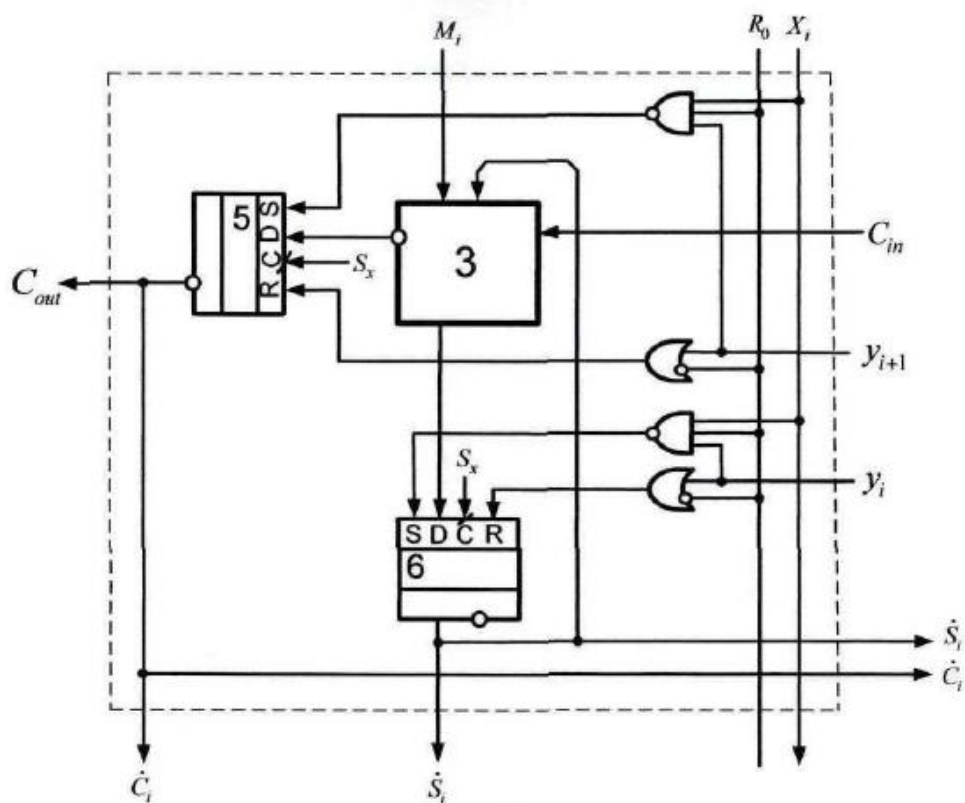
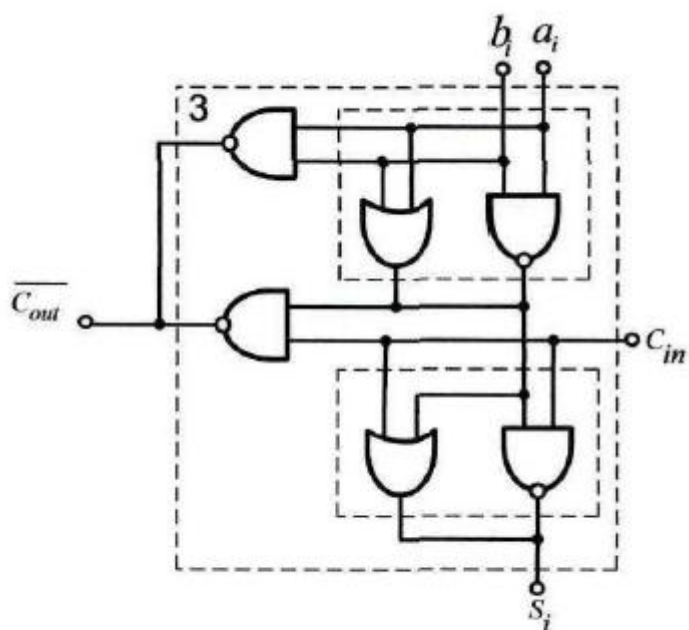


Fig. 6



Фиг. 7



Фиг. 8