



УКРАЇНА

(19) UA (11) 150820 (13) U

(51) МПК (2022.01)

G06F 7/00

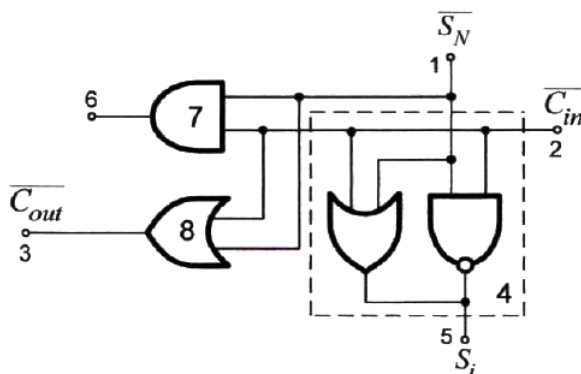
НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки:	u 2021 04205	(72) Винахідник(и):	Николайчук Ярослав Миколайович (UA), Грига Людмила Петрівна (UA), Николайчук Любов Михайлівна (UA)
(22) Дата подання заявки:	19.07.2021	(73) Володілець (володільці):	Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано-Франківська обл., 78400 (UA), Николайчук Любов Михайлівна, вул. В. Великого, 14-а, м. Надвірна, Івано-Франківська обл., 78400 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності:	28.04.2022		
(46) Публікація відомостей про державну реєстрацію:	27.04.2022, Бюл. № 17		

(54) ОДНОРОЗРЯДНИЙ ПІВСУМАТОР**(57) Реферат:**

Однорозрядний напівсуматор містить логічний елемент І, перший вхід якого з'єднаний з першим входом півсуматора, другий вхід з'єднаний з другим входом півсуматора, а вихід є першим виходом переносу півсуматора, логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом півсуматора та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом півсуматора, а вихід з'єднаний з виходом логічного елемента І-НІ та виходом суми півсуматора. Додатково півсуматор містить логічний елемент АБО, перший вхід якого додатково з'єднаний з першим інформаційним входом, другий вхід додатково з'єднаний з входом наскрізного переносу, а вихід з'єднаний з додатково уведеним інверсним виходом наскрізного переносу пристрою.



Фіг. 3

UA 150820 U

Корисна модель належить до пристроїв обчислювальної техніки і може бути використана як арифметико-комунікаційний компонент швидкодіючих багаторозрядних суматорів та компонентів арифметико-логічних пристроїв (АЛП) процесорів для стикування на виходах наскрізних переносів m -розрядних комбінаційних суматорів [1] та суматорів з прискореними переносами [2].

Відомий аналог - двійковий півсуматор [Браммер Ю.А. Цифрове устройства: Учеб. Пособие для вузов / Ю.А. Браммер, И.Н. Пашук. - М.: Высшая школа, 2004. - С. 90, рис. 9.2а], який містить перший та другий входи, які з'єднані з відповідними входами комбінаційної схеми на логічних елементах І, АБО, НІ, перший вихід якої з'єднаний з першим виходом суми однорозрядного півсуматора, а другий вихід з'єднаний з виходом переносу однорозрядного півсуматора.

Недоліком такого півсуматора є велика апаратна складність, обумовлена наявністю п'яти логічних елементів, що при використанні таких півсуматорів у багаторозрядних комбінаційних суматорах, наприклад, у 1024-бітних процесорах шифрування даних, приводить до відповідної значної апаратної складності. Недоліком відомого півсуматора є низька швидкодія, обумовлена наявністю трьох послідовно з'єднаних логічних елементів у комбінаційній схемі, яка формує вихід суми однорозрядного півсуматора, що відповідно знижує швидкодію багаторозрядних суматорів при його застосуванні як базового компонента.

Іншим недоліком такого півсуматора є обмежені функціональні можливості обумовлені його непрацездатністю при застосуванні вхідних інверсних сигналів.

Відомий аналог - однорозрядний півсуматор [Шило В.Л. Популярныe цифровые микросхемы: Справочник. - М.: Радио и связь, 1988. - С. 56, рис. 1.346], який містить перший вхід, з'єднаний з першим входом логічного елемента "І" та першим входом логічного елемента "Виключне АБО", вихід якого є першим виходом суми однорозрядного півсуматора, а другий вхід з'єднаний з другим входом логічного елемента "І", вихід якого є другим виходом переносу однорозрядного півсуматора.

Недоліком такого однорозрядного півсуматора є велика апаратна складність та низька швидкодія, які обумовлені наявністю логічного елемента "Виключне АБО", який реалізується на основі комбінаційної схеми з п'яти логічних елементів та затримки сигналів при формуванні вихідної суми на 3 мікротакти.

Іншим недоліком такого півсуматора є обмежені функціональні можливості обумовлені його непрацездатністю при подачі на його входи інверсних сигналів.

Відомий найближчий аналог - однорозрядний півсуматор [Давлетова А.Я., Николайчук Я.М., Пат. 115861, Однорозрядный півсуматор. Бюл. № 8, 2017 р., фіг. 2], який містить (фіг. 1) логічний елемент І, перший вхід якого з'єднаний з першим входом (а) півсуматора, другий вхід з'єднаний з другим входом (b) півсуматора, а вихід є першим виходом переносу півсуматора (Р), логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом (а) півсуматора та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом (b) півсуматора, а вихід з'єднаний з виходом логічного елемента І-НІ та виходом суми (S) півсуматора.

Перевагою такого півсуматора є можливість виконувати операції додавання як прямих так і інверсних вхідних бітів із затримкою сигналів формування суми та наскрізного переносу на 1 мікротакт.

Недоліком такого півсуматора є обмежені функціональні можливості обумовлені тим, що пристрій дозволяє формувати тільки прямі сигнали наскрізних переносів, що не дозволяє його застосовувати як арифметико-комутаційний елемент у структурах швидкодіючих багаторозрядних суматорів з інверсними входи/виходами наскрізних переносів та суматорів з прискореним переносом.

В основу корисної моделі поставлена задача вдосконалення однорозрядного півсуматора шляхом розширення його функціональних можливостей та додатковим введенням у його структуру логічного елемента АБО, перший вхід якого додатково з'єднаний з першим інформаційним входом, другий вхід додатково з'єднаний з входом наскрізного переносу, а вихід з'єднаний з додатково введеним інверсним виходом наскрізного переносу пристрою.

Поставлена задача вирішується тим, що однорозрядний півсуматор, який містить логічний елемент І, перший вхід якого з'єднаний з першим входом півсуматора, другий вхід з'єднаний з другим входом півсуматора, а вихід є першим виходом переносу півсуматора, логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом півсуматора та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом півсуматора, а вихід з'єднаний з виходом логічного елемента І-НІ та виходом суми півсуматора, згідно з корисною моделлю, додатково містить логічний елемент АБО, перший вхід якого додатково з'єднаний з першим

інформаційним входом, другий вхід додатково з'єднаний з входом наскрізного переносу, а вихід з'єднаний з додатково уведеним інверсним виходом наскрізного переносу пристрою.

Корисна модель пояснюється кресленнями, на яких зображено:

на Фіг. 1 показаний однорозрядний півсуматор;

на Фіг. 2 показані структури цифрового опрацювання прямих вхідних сигналів;

на Фіг. 3 - з інверсним інформаційним входом ($\overline{S_N}$) та інверсними виходами наскрізного переносу (C_{in} , C_{out}).

Однорозрядний півсуматор з прямими вхідними сигналами (Фіг. 2) містить: 1- S_N , прямий інформаційний вхід; 2- C_{in} , прямий вхід наскрізного переносу; 3 - C_{out} , прямий вихід наскрізного переносу; 4 - логічний елемент "Виключне І"; 5 - прямий вихід суми (S_i); 6 - вихід логічного елемента АБО, який не використовується як вихід наскрізного переносу у відповідних застосуваннях структури пристрою з розширеними можливостями.

Однорозрядний півсуматор з інвертними вхідними сигналами (Фіг. 3) містить: 1 - $\overline{S_N}$, інверсний інформаційний вхід; 2 - $\overline{C_{in}}$, інверсний вхід наскрізного переносу, 3 - $\overline{C_{out}}$, інверсний вихід наскрізного переносу; 4 - логічний елемент "Виключне І"; 5 - прямий вихід суми (S_i); 6 - виходи логічного елемента І, який не використовується як вихід наскрізного переносу у відповідних застосуваннях структури пристрою з розширеними можливостями.

Пристрій працює наступним чином.

1. Структура півсуматора (фіг. 2).

При подачі на входи півсуматора логічних значень $S_N=0$ та $C_{in}=0$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=0$, а на виході логічного елемента І (7) формується сигнал $C_{out}=0$.

При подачі на вхід півсуматора логічних значень $S_N=1$ та $C_{in}=1$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=0$, а на виході логічного елемента І (7) формується сигнал $C_{out}=1$.

При подачі на вхід півсуматора логічних значень $S_N=1$ та $C_{in}=0$ або $S_N=0$ та $C_{in}=1$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=1$, а на виході логічного елемента І (7) формується сигнал $C_{out}=0$. При цьому сигнал (6) на виході логічного елемента АБО (8) не використовується.

2. Структура півсуматора (фіг. 3).

При подачі на входи півсуматора логічних значень $\overline{S_N}=0$ та $\overline{C_{in}}=0$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=0$, а на виході логічного елемента АБО формується сигнал $C_{out}=0$.

При подачі на входи півсуматора логічних значень $\overline{S_N}=1$ та $\overline{C_{in}}=1$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=0$, а на виході логічного елемента АБО (8) формується сигнал $C_{out}=1$.

При подачі на вхід півсуматора логічних значень $\overline{S_N}=1$ та $\overline{C_{in}}=0$ або $\overline{S_N}=0$ та $\overline{C_{in}}=1$ на виході логічного елемента "Виключне І" (4) формується сигнал $S_i=1$, а на виході логічного елемента АБО (8) формується сигнал $C_{out}=1$. При цьому сигнал (6) на виході логічного елемента І (7) не використовується.

Півсуматор з прямими інформаційними входами (Фіг. 2) застосовується як півсуматори (НС) у структурах матричних перемножувачів Брауна [3], комбінаційних та інкрементних багаторозрядних суматорів [1, 2].

Півсуматор з інверсними інформаційними входами (Фіг. 3) застосовується як арифметико-комунікаційні компоненти на виходах комбінаційних суматорів пірамідального типу та суматорів з прискореними переносами [1, 2].

Технічний результат.

У результаті удосконалення однорозрядного півсуматора створено півсуматор з розширеними функціональними можливостями цифрового опрацювання прямих та інверсних вхідних сигналів із затримкою вихідних сигналів суми та наскрізного переносу за 1 мікротакт.

ДЖЕРЕЛА ІНФОРМАЦІЇ:

1. Возна Н.Я., Круліковський Б.Б., Грига В.М., Давлетова А.Я., Николайчук Я.М. Патент на винахід № 115751 Комбінаційний суматор. Бюл. № 23, 2017.

2. Круліковський Б.Б., Возна Н.Я., Грига В.М., Николайчук Я.М., Давлетова А.Я. Патент на корисну модель № 115752. Суматор з прискореним переносом. Бюл. № 12 2017.

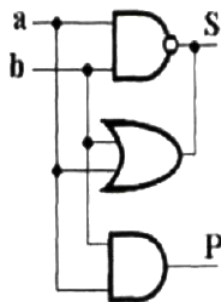
3. Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем: Учебник для вузов. - спб.: Питер, 2006. - 668 с (ст. 354, рис. 7.2а).

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

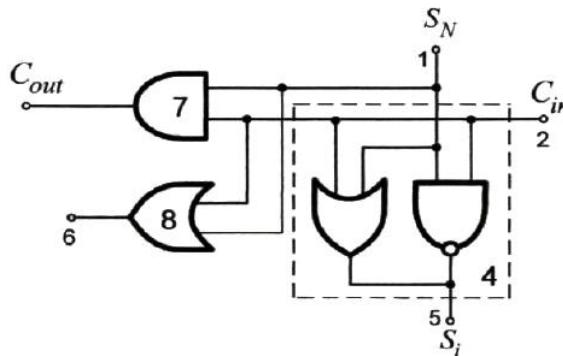
5

Однорозрядний півсуматор, який містить логічний елемент І, перший вхід якого з'єднаний з першим входом півсуматора, другий вхід з'єднаний з другим входом півсуматора, а вихід є першим виходом переносу півсуматора, логічний елемент І-НІ, перший вхід якого з'єднаний з першим входом півсуматора та першим входом логічного елемента АБО, другий вхід якого з'єднаний з другим входом півсуматора, а вихід з'єднаний з виходом логічного елемента І-НІ та виходом суми півсуматора, який **відрізняється** тим, що додатково містить логічний елемент АБО, перший вхід якого додатково з'єднаний з першим інформаційним входом, другий вхід додатково з'єднаний з входом наскрізного переносу, а вихід з'єднаний з додатково уведеним інверсним виходом наскрізного переносу пристрою.

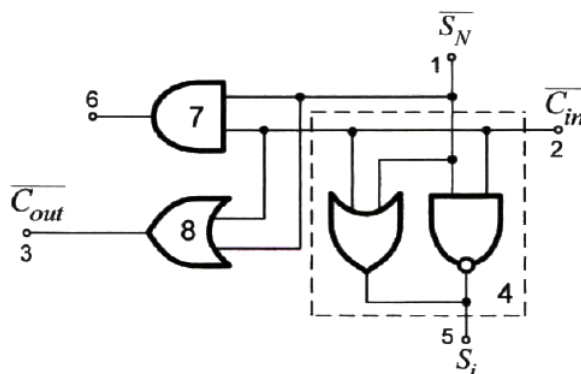
10



Фіг. 1



Фіг. 2



Фіг. 3