



УКРАЇНА

(19) UA

(11) 153527

(13) U

(51) МПК

G06F 7/42 (2006.01)

G06F 7/50 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2022 03361**

(22) Дата подання заявки: **13.09.2022**

(24) Дата, з якої є чинними
права інтелектуальної
власності: **20.07.2023**

(46) Публікація відомостей
про державну
реєстрацію: **19.07.2023, Бюл.№ 29**

(72) Винахідник(и):

Николайчук Ярослав Миколайович (UA)

(73) Володілець (володільці):

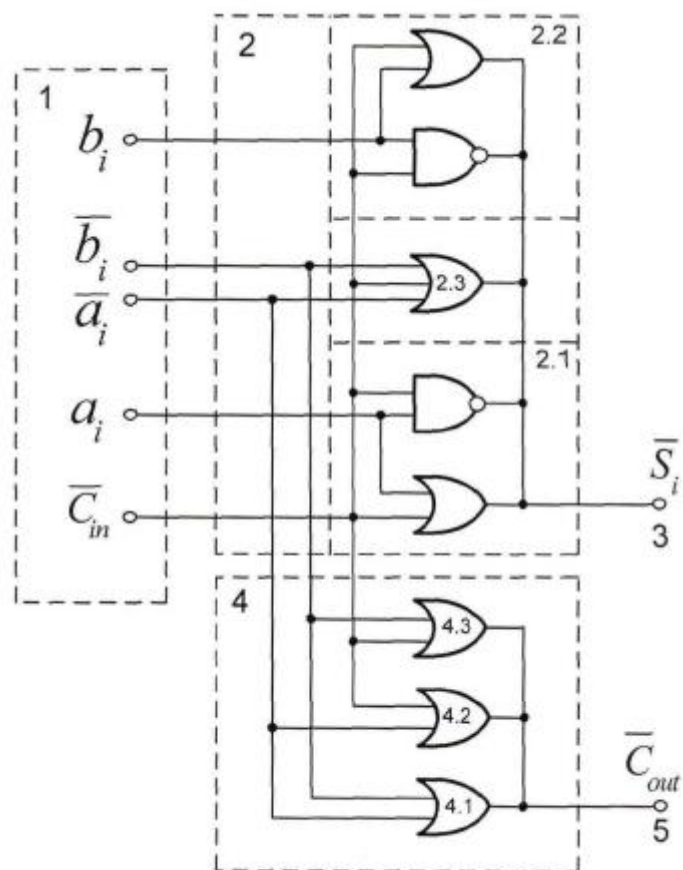
Николайчук Ярослав Миколайович,
вул. В. Великого, 14-а, м. Надвірна, Івано-
Франківська обл., 78400 (UA)

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Повний одnorozрядний двійковий суматор містить парафазні інформаційні входи ($a_i, \bar{a}_i, b_i, \bar{b}_i$) та інверсний вхід наскрізного переносу ($\bar{C}_{in}$), які відповідно з'єднані з відповідними входами першої та другої груп логічних елементів, виходи першої групи логічних елементів з'єднані між собою та вихідним каналом пристрою ($\bar{S}$), виходи другої групи логічних елементів з'єднані між собою та вихідним каналом пристрою (C_{out}). Додатково перша група логічних елементів містить перший логічний елемент ПРОВІДНЕ І з монтажним інверсним виходом.

UA 153527 U



Фиг. 4

Корисна модель належить до засобів обчислювальної техніки і може бути використана як компонент багаторозрядних двійкових суматорів, матричних перемножувачів, швидкодіючих компонентів арифметико-логічних пристроїв (АЛП) багатоядерних, скалярних, векторних і квантових суперкомп'ютерів та спецпроцесорів цифрового опрацювання і шифрування даних.

Відомий аналог - двійковий однорозрядний суматор [http://phg.su/basis2/x134.HTM, с. 1/6, 11.5], який містить два прямих входи, які з'єднані з відповідними першим і другим входами першого логічного елемента "Виключаюче АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключаюче АБО", вихід якого є прямим виходом суми. Перший і другий вхід першого логічного елемента "Виключаюче АБО" з'єднані з відповідними першим і другим входами першого логічного елемента "І". Вихід першого логічного елемента "Виключаюче АБО" з'єднаний з першим входом другого логічного елемента "І", другий вхід якого з'єднаний з прямим входом переносу з молодшого розряду, а вихід з'єднаний з першим входом логічного елемента АБО, другий вхід якого з'єднаний з виходом першого логічного елемента "І", а вихід є прямим виходом переносу в старший розряд (фіг. 1). Кожен логічний елемент "Виключаюче АБО" містить 2 інвертори та 3 логічних елементи "2І-НІ" відповідно з'єднаних між собою [Шило В. Л. Популярныe цифрове микросхемы: Справочник. - М: Радио и связь, 1988 г, с. 57, рис. 1.35: а, в, г].

Недоліком такого суматора є велика апаратна складність та низька швидкодія, що відповідно підвищує апаратну та часову складність мікроелектронних пристроїв, в яких такі суматори використовуються як базові компоненти, наприклад, у багаторозрядних матричних перемножувачах Брауна і Дадда [Орлов С. А., Цилькер Б. Я. Организация ЭВМ и систем: Учебник для вузов. 2-е изд. - СПб.: Питер, 2011, ст. 194] та АЛП багаторозрядних суперкомп'ютерів. Велика апаратна складність обумовлена наявністю 13 логічних елементів у структурі суматора ($A=13$ вентилів). Низька швидкодія обумовлена затримкою сигналів формування суми та переносів між наступними входами та виходами: $a_i b_i \rightarrow S - 6\tau$ (τ - затримка сигналів у логічному елементі на один мікротакт); $a_i b_i \rightarrow \overline{C_{out}} - 5\tau$; $\overline{C_{in}} \rightarrow \overline{C_{out}} - 2\tau$; $\overline{C_{in}} \rightarrow S_i - 3\tau$.

При застосуванні структур відомих класичних суматорів з прямими інформаційними входами та прямими входами-виходами наскрізних переносів, у принципі, неможливо створити повний однорозрядний суматор із затримками сигналів формування суми та наскрізного переносу менше ніж за 2 мікротакти, що не дозволяє такий пристрій ефективно застосувати при реалізації швидкодіючих компонентів АЛП.

Відомий аналог - повний однорозрядний суматор [Николайчук Я. М., Грига В. М., Возна Н. Я., Давлетова А. Я. Повний однорозрядний суматор. Патент на корисну модель № 124563, Бюл. № 7, 2018, фіг. 1], що ілюструється на фіг. 2, який містить прямі вхідні інформаційні входи, прямий вихід суми та інверсні входи-виходи наскрізних переносів.

Такий пристрій містить 8 логічних елементів (два елементи НІ, три елементи АБО та три елементи І-НІ), які з'єднані між собою відповідним чином.

Недоліком такого суматора є низька швидкодія, яка обумовлена наступними затримками вихідних сигналів суми та переносу: $a_i b_i \rightarrow S - 2\tau$; $a_i b_i \rightarrow \overline{C_{out}} - 3\tau$; $\overline{C_{in}} \rightarrow \overline{C_{out}} - 1\tau$; $\overline{C_{in}} \rightarrow S_i - 2\tau$.

Відомий найближчий аналог - однорозрядний суматор [Давлетова А. Я., Круліковський Б. Б., Возна Н. Я. Николайчук Я. М. Однорозрядний суматор. Патент на корисну модель № 109142, Бюл. № 15, 2016, фіг. 1], структурна схема якого ілюструється на фіг. 3, що містить парафазні входи-виходи, першу і другу групи логічних елементів з інверсними виходами, перший, третій і другий інформаційні входи однорозрядного суматора, які з'єднані з відповідними першими входами групи логічних елементів, вхід блокування результату однорозрядного суматора, який з'єднаний з відповідними другими входами першої і другої підгруп групи логічних елементів однорозрядного суматора, перший вихід суми та другий вихід переносу однорозрядного суматора, які відповідно з'єднані з виходами першої і другої груп логічних елементів однорозрядного суматора, вхід блокування результату однорозрядного суматора з'єднаний з входом першого логічного повторювача третьої підгрупи груп та входом другого логічного повторювача четвертої підгрупи групи логічних елементів І-НІ, відповідні входи яких з'єднані з четвертим, п'ятим та шостим інверсними інформаційними входами однорозрядного суматора, виходи логічних елементів І-НІ першої підгрупи з'єднані між собою та другим виходом переносу однорозрядного суматора, виходи другої підгрупи логічних елементів І-НІ з'єднані між собою і першим виходом суми однорозрядного суматора, виходи третьої підгрупи логічних елементів І-НІ з'єднані між собою, виходом першого логічного повторювача та третім інверсним виходом переносу однорозрядного суматора, а виходи четвертої підгрупи логічних елементів І-НІ

з'єднані між собою, виходом другого логічного повторювача і четвертим інверсним виходом суми однорозрядного суматора.

У такому однорозрядному суматорі затримка вихідних сигналів наскрізних переносів та сум складає 1 мікротакт.

Недоліком такого однорозрядного суматора є велика апаратна складність (18 логічних елементів І-НІ) та значна структурна складність, яка згідно з критерієм Квайна обумовлена великою кількістю з'єднань між логічними елементами у структурі пристрою. Іншим недоліком такого пристрою є функціональна надлишковість, яка обумовлена наявністю керуючого входу (Y), двох інверсних повторювачів, груп логічних елементів І-НІ. Які формують прямі канали входів-виходів наскрізних переносів (C_{in} , C_{out}) та прямий канал виходу суми (S).

В основу корисної моделі поставлена задача зменшення апаратної складності повного однорозрядного двійкового суматора без зміни характеристик максимальної швидкодії між входами-виходами наскрізних переносів та формування інверсної суми, шляхом вилучення зі складу пристрою функціонально-надлишкових груп логічних елементів І-НІ, прямих каналів входів-виходів наскрізних переносів (C_{in} , C_{out}) та прямого каналу виходу суми (S).

Поставлена задача вирішується тим, що в повному однорозрядному суматорі, що містить парафазні інформаційні входи (a_i , $\bar{a}_i$, b_i , $\bar{b}_i$) та інверсний вхід наскрізного переносу ($\bar{C}_{in}$), які відповідно з'єднані з відповідними входами першої та другої груп логічних елементів, інверсні виходи першої групи логічних елементів з'єднані між собою та інверсним вихідним каналом

пристрою ($\bar{S}$), інверсні виходи другої групи логічних елементів з'єднані між собою та інверсним вихідним каналом пристрою ($\bar{C}_{out}$), згідно з корисною моделлю, додатково: перша група логічних елементів містить перший логічний елемент ПРОВІДНЕ І з монтажним інверсним виходом, перший вхід якого з'єднаний з вхідним каналом a_i , а другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$;

другий логічний елемент ПРОВІДНЕ І з монтажним інверсним виходом, перший вхід якого з'єднаний з вхідним каналом b_i , другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$, логічний елемент АБО, перший вхід якого з'єднаний з вхідним каналом $\bar{a}_i$, другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$,

третій вхід з'єднаний з вхідним каналом $\bar{b}_i$, друга група логічних елементів містить перший логічний елемент АБО, входи якого з'єднані з відповідними вхідними каналами $\bar{a}_i$, $\bar{b}_i$, входи другого логічного елемента АБО з'єднані з відповідними каналами $\bar{a}_i$, $\bar{C}_{in}$, а входи третього логічного елемента АБО з'єднані з відповідними вхідними каналами $\bar{b}_i$ та $\bar{C}_{in}$.

Повний однорозрядний двійковий суматор ілюструється кресленням (фіг. 4), який містить: 1 - вхідні парафазні інформаційні канали та інверсний вхід наскрізного переносу (a_i , $\bar{a}_i$, b_i , $\bar{b}_i$, $\bar{C}_{in}$); 2 - перша група логічних елементів, яка містить: 2.1 - перший та 2.2 - другий логічні елементи ПРОВІДНЕ І, який реалізує логічну функцію ВИКЛЮЧНЕ АБО з інверсним виходом, [Якубовский С. В., Ниссельсон Л. П., Кулешова В. И. и др. ... В. И. Кулешова и др.; Под ред. С. В. Якубовского. - М.: Радио и связь, 1990. - С. 105, рис. 2.19], [Давлетова А. Я., Николайчук Я. М. Однорозрядный напівсуматор. Патент на корисну модель № 115861, Бюл. № 8, 2017р., фіг. 2]; 2.3 - логічний елемент АБО; 3 - інверсний вихід суми ($\bar{S}$); 4 - друга група логічних елементів, яка містить: 4.1, 4.2, 4.3 - логічні елементи АБО; 5 - інверсний вихід наскрізного переносу пристрою ($\bar{C}_{out}$).

Однорозрядний повний двійковий суматор працює наступним чином: при подачі на входи першої та другої груп логічних елементів (2,4) сигналів вхідних парафазних каналів (a_i , $\bar{a}_i$, b_i , $\bar{b}_i$) та вхідного сигналу наскрізного переносу ($\bar{C}_{in}$), на виходах пристрою (3) та (5) із затримкою сигналів на 1 мікротакт відповідно формуються інверсний сигнал суми ($\bar{S}$) та інверсний сигнал наскрізного переносу ($\bar{C}_{out}$).

Технічний результат. Запропонований удосконалений повний однорозрядний двійковий суматор у порівнянні з найближчим аналогом характеризується зменшеною апаратною складністю у $18/8 = 2,2$ разу, максимальною швидкістю формування вихідних сигналів

інверсної суми ($\bar{S}$) та інверсного наскрізного переносу ($\bar{C}_{out}$), із затримкою сигналів на 1 мікротакт, а також відповідно зменшеною на 1 порядок, згідно з критерієм Квайна, структурною складністю. При цьому зменшуються габарити мікроелектронних кристалів, кількість входів-виходів, енергоспоживання, тепловиділення та відповідно підвищується надійність.

5

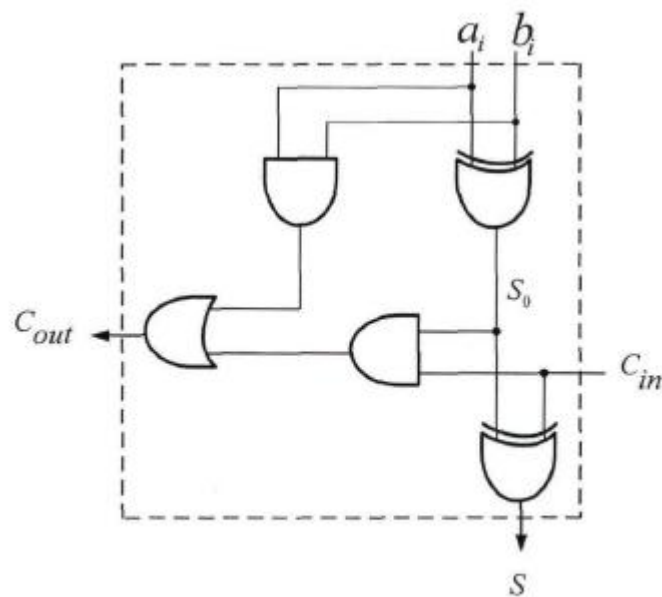
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Повний однорозрядний двійковий суматор, що містить парафазні інформаційні входи ($a_i, \bar{a}_i, b_i, \bar{b}_i$) та інверсний вхід наскрізного переносу ($\bar{C}_{in}$), які відповідно з'єднані з відповідними входами першої та другої груп логічних елементів, виходи першої групи логічних елементів з'єднані між собою та вихідним каналом пристрою ($\bar{S}$), виходи другої групи логічних елементів з'єднані між собою та вихідним каналом пристрою ($\bar{C}_{out}$), який **відрізняється** тим, що додатково перша група логічних елементів містить перший логічний елемент ПРОВІДНЕ І з монтажним інверсним виходом, перший вхід якого з'єднаний з вхідним каналом a_i , другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$, другий логічний елемент ПРОВІДНЕ І з монтажним інверсним виходом, перший вхід якого з'єднаний з вхідним каналом b_i , другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$, логічний елемент АБО, перший вхід якого з'єднаний з вхідним каналом a_i , другий вхід з'єднаний з вхідним каналом $\bar{C}_{in}$, а третій вхід з'єднаний з вхідним каналом b_i , друга група логічних елементів містить перший логічний елемент АБО, входи якого з'єднані з відповідними вхідними каналами a_i, b_i , входи другого логічного елемента АБО з'єднані з відповідними каналами $\bar{a}_i, \bar{b}_i$, а входи третього логічного елемента АБО з'єднані з відповідними вхідними каналами $\bar{a}_i$ та $\bar{C}_{in}$.

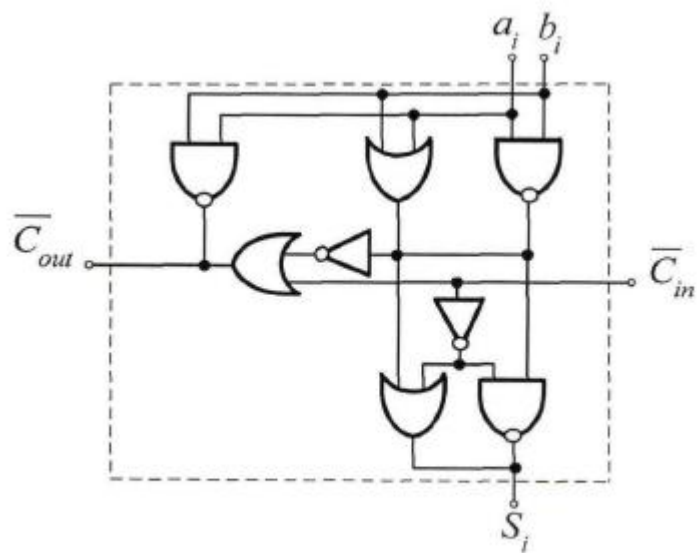
10

15

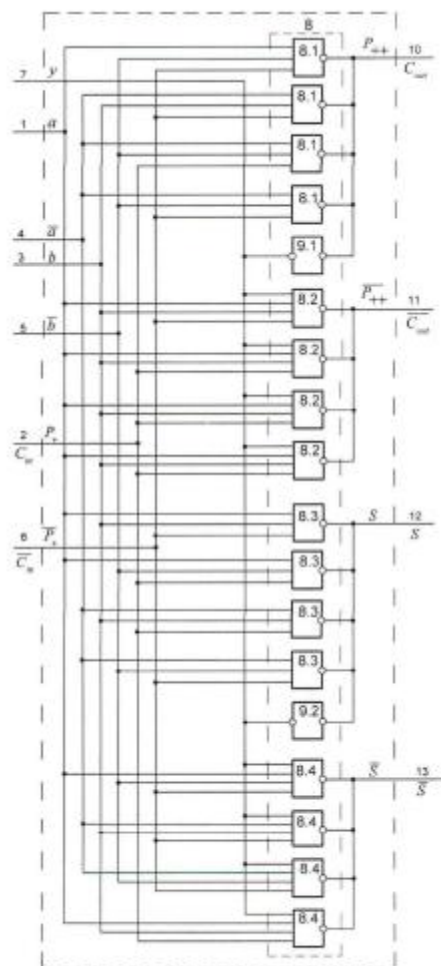
20



Фиг. 1



Фиг. 2



Фиг. 3

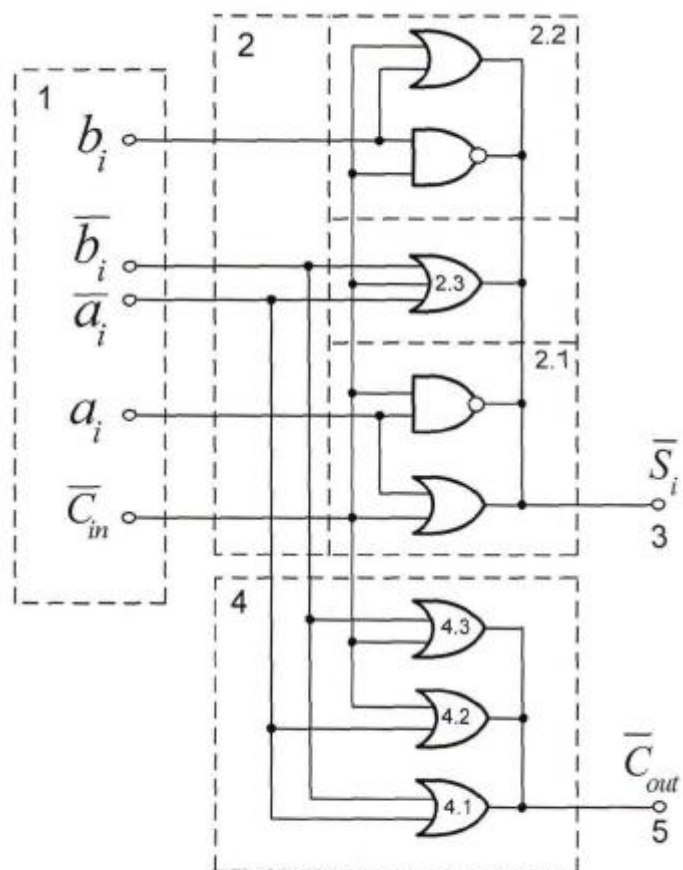


Fig. 4