



УКРАЇНА

(19) **UA** (11) **128705** (13) **C2**
(51) МПК*H03K 19/177* (2020.01)*H03K 19/17728* (2020.01)*G06F 7/57* (2006.01)*H03K 5/15* (2006.01)*G06F 11/263* (2006.01)

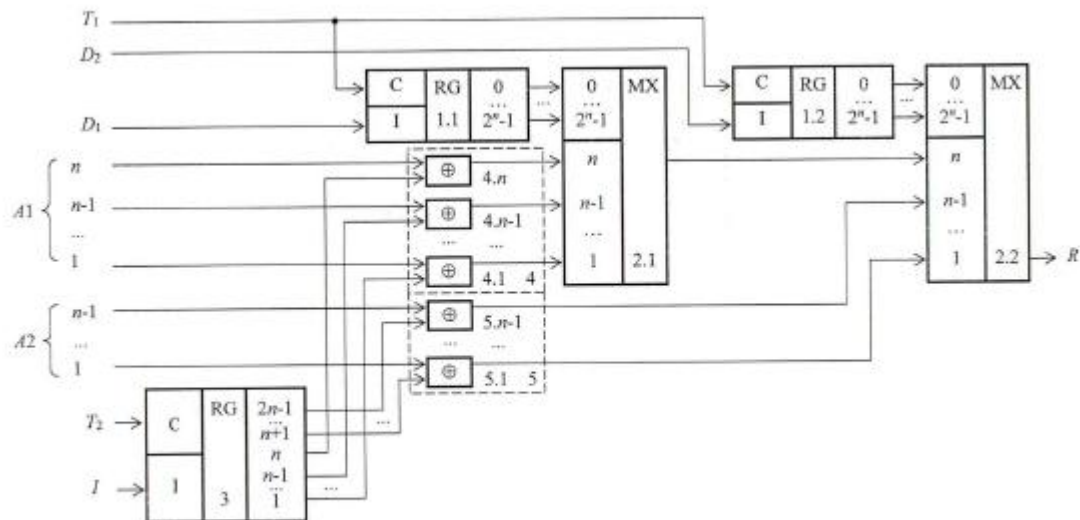
НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД**(21)** Номер заявки: **а 2021 05325****(22)** Дата подання заявки: **20.09.2021****(24)** Дата, з якої є чинними
права інтелектуальної
власності: **03.10.2024****(41)** Публікація відомостей
про заявку: **02.02.2022, Бюл.№ 5****(46)** Публікація відомостей
про державну
реєстрацію: **02.10.2024, Бюл.№ 40****(72)** Винахідник(и):**Дрозд Олександр Валентинович (UA),
Саченко Анатолій Олексійович (UA),
Защолкін Костянтин В'ячеславович (UA),
Дрозд Мирослав Валентинович (UA),
Кочан Володимир Володимирович (UA),
Яцек Волошин (PL)****(73)** Володілець (володільці):**Дрозд Олександр Валентинович,
вул. Корольова, 28, кв. 140, м. Одеса, 65114
(UA),
Саченко Анатолій Олексійович,
вул. Загребельна, 42, м. Тернопіль, 46027
(UA),
Защолкін Костянтин В'ячеславович,
вул. Пілотна, 28, м. Одеса, 65049 (UA),
Дрозд Мирослав Валентинович,
вул. Корольова, 28, кв. 140, м. Одеса, 65114
(UA),
Кочан Володимир Володимирович,
вул. Львівська, 7, кв. 3, м. Тернопіль, 46009
(UA)****(56)** Перелік документів, взятих до уваги
експертизою:**UA 107437 C2, 25.12.2014
WO 2015068207 A1, 14.05.2015
US 2016028401 A1, 28.01.2016
US 7573291 B1, 11.08.2009
WO 2004088500 A1, 14.10.2004
EP 0456475 A2, 13.11.1991
EP 0455428 A2, 06.11.1991****(54) ПРОГРАМОВАНІЙ ПРИСТРІЙ****(57)** Реферат:

Винахід належить до області обчислювальної техніки, а саме до програмованих цифрових пристроїв. Програмований пристрій (ПП) містить перший та другий регістри (Р) і перший та другий n-адресні мультиплексори (М), при цьому перший тактовий вхід ПП підключено до тактових входів першого та другого Р, перший та другий входи прийому даних ПП підключено, відповідно, до входів послідовного прийому даних першого та другого Р, виходи розрядів 0,..., 2ⁿ-1 яких підключено, відповідно, до інформаційних входів 0,..., 2ⁿ-1 першого та другого n-адресних М, виходи яких підключено, відповідно, до входу адресного розряду n другого n-адресного М та виходу ПП, відповідно до винаходу введено: третій Р і перша та друга групи,

UA 128705 C2

відповідно, з n та $n-1$ суматорів за модулем два (СМ2), при цьому другий тактовий та інформаційний входи ПП підключено, відповідно, до тактового та інформаційного входів третього Р, розряди $1, \dots, n$ першого адресного входу ПП підключено, відповідно, до перших входів СМ2 $1, \dots, n$ першої групи, другі входи яких підключено, відповідно, до виходів $1, \dots, n$ третього Р, виходи СМ2 $1, \dots, n$ першої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n$ першого n -адресного М, розряди $1, \dots, n-1$ другого адресного входу ПП підключено, відповідно, до перших входів СМ2 $1, \dots, n-1$ другої групи, другі входи яких підключено, відповідно, до виходів $n+1, \dots, 2n-1$ третього Р, виходи СМ2 $1, \dots, n-1$ другої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n-1$ другого n -адресного М. Технічним результатом, що досягається винаходом є розширення функціональних можливостей програмованого пристрою.



Фіг. 1

Винахід належить до обчислювальної техніки, а саме до програмованих цифрових пристроїв, і може бути використаний у машинобудівних технологіях.

Відомий програмований пристрій для обчислення логічної функції n змінних, який містить регістр і n -адресний мультиплексор, при цьому тактовий вхід та вхід послідовного прийому даних регістра є першим і другим входами пристрою, вхід n адресних розрядів n -адресного мультиплексора є третім входом пристрою, виходи розрядів $0, \dots, 2^n - 1$ регістра підключено, відповідно, до інформаційних входів $0, \dots, 2^n - 1$ n -адресного мультиплексора, вихід якого підключено до виходу пристрою [1].

Недоліки аналогу: результат обчислюється тільки за одною версією, що суттєво обмежує функціональні можливості програмованого пристрою.

Найбільш близьким до запропонованого винаходу за технічною суттю та результату, що досягається, є програмований пристрій, який містить перший та другий регістри і перший та другий n -адресні мультиплексори, при цьому перший тактовий вхід пристрою підключено до тактових входів першого та другого регістрів, перший та другий входи прийому даних пристрою підключено, відповідно, до входів послідовного прийому даних першого та другого регістрів, виходи розрядів $0, \dots, 2^n - 1$ яких підключено, відповідно, до інформаційних входів $0, \dots, 2^n - 1$ першого та другого n -адресних мультиплексорів, входи n адресних розрядів $1, \dots, n$ першого n -адресного мультиплексора є першим адресним входом пристрою, входи молодших адресних розрядів $1, \dots, n - 1$ другого n -адресного мультиплексора є другим адресним входом пристрою, вхід режиму пристрою підключено до входів дозволу паралельного прийому даних першого та другого регістрів, виходи розрядів $0, \dots, 2^n - 1$ першого регістра підключено, відповідно, до його інверсних входів розрядів $0, \dots, 2^n - 1$, виходи розрядів $0, \dots, 2^n - 1$ другого регістра підключено, відповідно, до його входів розрядів $2^{n-1}, \dots, 2^n - 1$, а виходи розрядів $2^{n-1}, \dots, 2^n - 1$ другого регістра підключено, відповідно, до його входів розрядів $0, \dots, 2^{n-1} - 1$, вихід першого n -адресного мультиплексора підключено до входу старшого адресного розряду n другого n -адресного мультиплексора, вихід якого підключено до виходу пристрою [2].

Недоліки аналогу: пристрій може працювати лише за двома версіями обчислення результату на його виході. Ці версії задаються за нульовим та одиничним значенням на вході режиму пристрою і демонструють певний технічний ефект від їх використання, який однак обмежений кількістю версій, що також суттєво обмежує й функціональні можливості щодо покращення програмованого пристрою.

В основу винаходу поставлена задача створення програмованого пристрою, в якому шляхом введення третього регістра і суматорів за модулем два першої та другої групи забезпечено обчислення результату на його виході за багатьма версіями, за рахунок чого розширюються функціональні можливості програмованого пристрою.

Поставлена задача вирішується тим, що програмований пристрій, що містить перший та другий регістри і перший та другий n -адресні мультиплексори, при цьому перший тактовий вхід пристрою підключено до тактових входів першого та другого регістрів, перший та другий входи прийому даних пристрою підключено, відповідно, до входів послідовного прийому даних першого та другого регістрів, виходи розрядів $0, \dots, 2^n - 1$ яких підключено, відповідно, до інформаційних входів $0, \dots, 2^n - 1$ першого та другого n -адресних мультиплексорів, виходи яких підключено, відповідно, до входу адресного розряду n другого n -адресного мультиплексора та виходу пристрою. Додатково введено третій регістр і перша та друга групи, відповідно, з n та $n - 1$ суматорів за модулем два, при цьому другий тактовий та інформаційний входи пристрою підключено, відповідно, до тактового та інформаційного входу третього регістра, розряди $1, \dots, n$ першого адресного входу пристрою підключено, відповідно, до перших входів суматорів за модулем два $1, \dots, n$ першої групи, другі входи яких підключено, відповідно, до виходів $1, \dots, n$ третього регістра, виходи суматорів за модулем два $1, \dots, n$ першої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n$ першого n -адресного мультиплексора, розряди $1, \dots, n - 1$ другого адресного входу пристрою підключено, відповідно, до перших входів суматорів за модулем два $1, \dots, n - 1$ другої групи, другі входи яких підключено, відповідно, до виходів $n + 1, \dots, 2^n - 1$ третього регістра, виходи суматорів за модулем два $1, \dots, n - 1$ другої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n - 1$ другого n -адресного мультиплексора.

Технічний ефект від запропонованого рішення полягає в тому, що, шляхом введення третього регістра та суматорів за модулем два першої і другої груп, забезпечено обчислення результату на виході пристрою за одною з 2^{2n} версій. Відповідно до версій всі параметри програмованого пристрою, такі як контролепридатність, достовірність обчислюваних результатів, складність, енергоспоживання тощо, можна поділити на активні та пасивні, тобто ті, що залежать або не залежать від зміни версій. Тому можна вибрати версію, за якою

досягається найбільше покращення пристрою за вибраним активним параметром при збереженні його пасивних параметрів.

Наслідки розширення функціональних можливостей пристрою за рахунок збільшення кількості версій обчислення результату можна оцінити наступним чином. У прототипі перша версія обчислення результату змінюється на другу за рахунок інвертування коду в першому регістрі та, відповідно, значення на виході першого n -адресного мультиплексора й входу адресного розряду n другого n -адресного мультиплексора, а також компенсації цієї інверсії, що забезпечується зміною коду в другому регістрі, де перша половина коду міняється місцем з другою половиною. Тобто інверсія значення на вході адресного розряду n -адресного мультиплексора може бути скомпенсована зміною розрядів у коді відповідного регістра.

У запропонованому рішенні введені третій регістр та перша й друга групи суматорів за модулем два дозволяють інвертувати значення на входах адресних розрядів першого та другого n -адресних мультиплексорів, що може бути скомпенсоване зміною кодів в першому й другому регістрах. Таким чином, кожний з n -адресних мультиплексорів може працювати за 2^n різними значеннями адрес, що подаються на входи адресних розрядів, тобто незалежно один від одного може створювати 2^{2n} версій обчислення результату.

Покращення програмованого пристрою за рахунок розширення функціональних можливостей у виборі версій може бути розглянуте на прикладі підвищення достовірності результатів при замиканні сусідніх входів адресних розрядів. Нехай $n=4$, що відповідає поширеному випадку використання LUT-орієнтованої архітектури на основі 4-LUT (Look-Up Table) вузлів з чотирма входами A, B, C, D, де LUT вузол складається з регістра та 4-адресного мультиплексора, зокрема наприклад, перших або других регістра та n -адресного мультиплексора пристрою. Тоді кожний з цих LUT вузлів може функціонувати за одною з 16-ти версій, відповідно, до 16-ти різних значень від 0 до 15, що можуть бути подані на входи A, B, C, D.

Моделювання схеми пристрою для випадку обчислення вузлом LUT функції $\neg A \neg B (C \vee D) \vee (A \vee B) \neg C \neg D$, записаної у перший регістр двійковим кодом, що дорівнює $111E_{16}$, показало результати, наведені в таблиці 1.

Таблиця 1

Версії виконання обчислень

Версія	Двійкові розряди																Кількість помилок
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	0	0	0	1	0	0	0	1	0	0	0	1	1	1	1	0	-
$A \leftrightarrow B$	0	1	1	1	0	1	1	1	0	1	1	1	1	0	0	0	8
$B \leftrightarrow C$	0	0	0	1	0	1	0	1	0	0	1	0	1	0	1	0	4
$C \leftrightarrow D$	0	0	0	1	1	1	1	0	1	1	1	0	1	1	1	0	8
2	0	0	0	1	1	1	1	0	0	0	0	1	0	0	0	1	-
$A \leftrightarrow B$	0	1	1	1	1	0	0	0	0	1	1	1	0	1	1	1	8
$B \leftrightarrow C$	0	0	1	0	1	0	1	0	0	0	0	1	0	1	0	1	4
$C \leftrightarrow D$	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	4
3	0	1	1	1	1	0	0	0	1	0	0	0	1	0	0	0	-
$A \leftrightarrow B$	0	1	1	1	1	0	0	0	1	0	0	0	1	0	0	0	0
$B \leftrightarrow C$	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	4
$C \leftrightarrow D$	0	1	1	1	1	0	0	0	1	0	0	0	1	0	0	0	0

Версії є чутливими до замикання сусідніх входів LUT-вузла. А така несправність проявляється і приховується, відповідно, при однакових та різних значеннях на цих входах, причому інверсія одного з них міняє місцями прояв і прихованість несправності. При домінуючому значенні нуля, прояв несправності робить обидва значення входів нульовими та вносить у роботу n -адресного мультиплексора помилку адресації, яка проявляється на його виході лише при різних значеннях на інформаційних входах, що підключаються на вихід за правильною та помилковою адресами.

Таблиця 1 показує коди, що записуються в перший або другий регістр, для версій 1, 2 та 3, а також, як ці коди спотворюються та скільки виникає помилок при замиканнях $A \leftrightarrow B$, $B \leftrightarrow C$ та $C \leftrightarrow D$ між сусідніми входами A і B, B і C, C і D. Помилкові значення розрядів виділено жирним шрифтом.

Прототип може змінити версію 1 лише на версію 2 з інверсією на вході адресного розряду n другого n -адресного мультиплексора, що відповідає інверсії входу D LUT-вузла, який утворюється з другого регістра та другого n -адресного мультиплексора. Таким чином кількість можливих помилок зменшується з 20 до 16, тобто у 1,25 разу.

Запропоноване рішення дозволяє реалізувати версію 3 як для того ж LUT-вузла, так і для LUT-вузла, що утворюється з першого регістра та першого n -адресного мультиплексора. Версія 3 одержується інверсією коду на всіх входах A , B , C , D . За цією версією кількість помилок зменшується до 4, тобто у 5 та 4 разів у порівнянні до версій 1 та 2 прототипу. До того ж, версія 3 може застосовуватися не тільки до одного LUT-вузла, на що спроможний прототип, але й розповсюджуватися на обидва LUT-вузли.

Суть винаходу пояснюють креслення.

На фіг. 1 зображено перший 1.1, другий 1.2 та третій 3 регістри, перший 2.1 та другий 2.2 n -адресні мультиплексори та суматори за модулем два 4.1,..., 4. n і 5.1,..., 5. n -1, відповідно, першої 4 і другої 5 групи, перший T_1 і другий T_2 тактові входи пристрою, перший D_1 і другий D_2 входи прийому даних пристрою, інформаційний вхід I пристрою, перший A_1 і другий A_2 адресні входи пристрою та вихід R пристрою. При цьому вхід T_1 пристрою підключено до тактових входів C регістрів 1.1 та 1.2, входи T_2 та I пристрою підключено, відповідно, до тактового C та інформаційного I входів регістра 3, входи D_1 та D_2 підключено, відповідно, до входів I послідовного прийому даних регістрів 1.1 та 1.2, виходи розрядів $0, \dots, 2^{n-1}$ яких підключено, відповідно, до інформаційних входів $0, \dots, 2^{n-1}$ першого та другого n -адресних мультиплексорів. А розряди $1, \dots, n$ входу A_1 пристрою підключено, відповідно, до перших входів суматорів за модулем два 4.1,..., 4. n першої групи 4, другі входи яких підключено, відповідно, до виходів $1, \dots, n$ регістра 3. Виходи суматорів за модулем два 4.1,..., 4. n першої групи 4 підключено, відповідно, до входів адресних розрядів $1, \dots, n$ n -адресного мультиплексора 2.1. Розряди $1, \dots, n-1$ входу A_2 пристрою підключено, відповідно, до перших входів суматорів за модулем два 5.1,..., 5. n -1 другої групи 5, другі входи яких підключено, відповідно, до виходів $n+1, \dots, 2n-1$ регістра 3. Виходи суматорів за модулем два 5.1,..., 5. n -1 другої групи 5 підключено, відповідно, до входів адресних розрядів $1, \dots, n-1$ n -адресного мультиплексора 2.2. Вихід n -адресного мультиплексора 2.1 підключено до входу адресного розряду n n -адресного мультиплексора 2.2, вихід якого підключено до виходу R пристрою.

На фіг. 2 показано часові діаграми роботи блоків пристрою для $n=4$ та функціонування за версією 3 (що відповідає фіг. 1), а саме для входів T_1 , T_2 , D_1 , D_2 пристрою, для кодів на виходах регістрів 1.1 та 1.2 (показаного у дужках), для розрядів 4, 3, 2, 1 входу A_1 пристрою, позначених як $A1.4$, $A1.3$, $A1.2$, $A1.1$, розрядів 3, 2, 1 входу A_2 пристрою, позначених як $A2.3$, $A2.2$, $A2.1$ (показані у дужках), а також виходів суматорів за модулем два 4.4, 4.3, 4.2, 4.1 першої групи 4, суматорів за модулем два 5.3, 5.2, 5.1 другої групи 5 (показані у дужках) та мультиплексорів 2.1 і 2.2 (вихід R пристрою). Часові діаграми розбиті на два періоди: I і II.

Пристрій працює у такий спосіб.

У періоді I виконується програмування пристрою, для чого на вхід T_1 пристрою та, відповідно, на тактові входи C регістрів 1.1 та 1.2 подається серія з 2^n тактових імпульсів типу "меандр", а на входи D_1 та D_2 і, відповідно, входи I послідовного прийому даних регістрів 1.1 та 1.2 надходять двійкові послідовні коди обчислення результату на виході пристрою, починаючи з молодших розрядів. Крім того, на вхід T_2 пристрою та, відповідно, на тактовий вхід регістра 3 подається серія з $2n-1$ тактових імпульсів типу "меандр", а на вхід I пристрою та, відповідно, інформаційний вхід I регістра 3 надходить послідовний код визначення версії, який приймає одиничне та нульове значення при необхідності інвертування або збереження значення на відповідних входах адресних розрядів мультиплексорів 2.1 та 2.2.

Для одержання версії 3 на обох LUT вузлах код визначення версії, що просувається в регістр 3, приймає в усіх розрядах одиничне значення: 1111111_2 . В регістр 1.1 просувається інверсія 8777_{16} коду 7888_{16} версії 3 (див. таблиця 1), щоб забезпечити інверсне значення на вході адресного розряду n мультиплексора 2.2. Інверсія коду має до замикань ті ж властивості, що і його пряме значення (підтверджується моделюванням). В регістр 1.2 просувається код 7888_{16} версії 3 (див. таблиця 1).

У періоді II показано роботу пристрою в тактах від 0 до 15 для версії 3. На входи A_1 та A_2 пристрою надходять всі набори значень від $0000_2 = 0_{16}$ до $1111_2 = F_{16}$ та двічі від 000_2 до 111_2 , відповідно.

З виходів 7, 6, 5, 4, 3, 2, 1 регістра 3 розряди коду визначення версії подаються на перші входи суматорів за модулем два 4.4, 4.3, 4.2, 4.1 і 5.3, 5.2, 5.1 першої 4 і другої 5 групи, на другі входи яких, відповідно, надходять послідовності значень з розрядів 4, 3, 2, 1 і 3, 2, 1 входів A_1 і A_2 пристрою. За одиничними значеннями коду визначення версії суматори за модулем два 4.4,

4.3, 4.2, 4.1 і 5.3, 5.2, 5.1 першої 4 і другої 5 групи інвертують набори значень, що надходять з входів A1 та A2 пристрою, та подають їх, відповідно, на входи адресних розрядів 4, 3, 2, 1 і 3, 2, 1 мультимплексорів 2.1 і 2.2.

В таблиці 2 показано значення, які в тактах 0-15 роботи пристрою приймають коди на входах A1 і A2 пристрою; розряди, що вибираються з регістра 1.1; код, що формується на виходах суматорів за модулем два першої групи 4; вихід мультимплексора 2.1; розряди, що вибираються з регістра 1.2; код, що формується на виходах суматорів за модулем два другої групи 5; позначений як A2.2, код на адресних входах мультимплексора 2.2, а також його вихід, що є виходом пристрою R.

Таблиця 2

Значення, що обчислюються

Рядок	Коди	Такти роботи пристрою															
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	A1	0 ₁₆	1 ₁₆	2 ₁₆	3 ₁₆	4 ₁₆	5 ₁₆	6 ₁₆	7 ₁₆	8 ₁₆	9 ₁₆	A ₁₆	B ₁₆	C ₁₆	D ₁₆	E ₁₆	F ₁₆
2	A2	0 ₁₆	1 ₁₆	2 ₁₆	3 ₁₆	4 ₁₆	5 ₁₆	6 ₁₆	7 ₁₆	0 ₁₆	1 ₁₆	2 ₁₆	3 ₁₆	4 ₁₆	5 ₁₆	6 ₁₆	7 ₁₆
3	1.1	1	1	1	0	1	1	1	0	1	1	1	0	0	0	0	1
4	4	F ₁₆	E ₁₆	D ₁₆	C ₁₆	B ₁₆	A ₁₆	9 ₁₆	8 ₁₆	7 ₁₆	6 ₁₆	5 ₁₆	4 ₁₆	3 ₁₆	2 ₁₆	1 ₁₆	0 ₁₆
5	2.1	1	0	0	0	0	1	1	1	0	1	1	1	0	1	1	1
6	1.2	0	0	0	1	0	0	0	1	0	0	0	1	1	1	1	0
7	5	7 ₁₆	6 ₁₆	5 ₁₆	4 ₁₆	3 ₁₆	2 ₁₆	1 ₁₆	0 ₁₆	7 ₁₆	6 ₁₆	5 ₁₆	4 ₁₆	3 ₁₆	2 ₁₆	1 ₁₆	0 ₁₆
8	A2.2	F ₁₆	6 ₁₆	5 ₁₆	4 ₁₆	3 ₁₆	A ₁₆	9 ₁₆	8 ₁₆	7 ₁₆	E ₁₆	D ₁₆	C ₁₆	3 ₁₆	A ₁₆	9 ₁₆	8 ₁₆
9	2.2 (R)	0	0	0	0	1	0	0	0	1	1	1	1	1	0	0	0

Коди, які подаються на вхід A1 пристрою (табл. 2, рядок 1), інвертуються на виходах суматорів за модулем два групи 4 у відповідності до коду визначення версії 1111111₂. Послідовність цих кодів в наслідок їх інверсії показується у зворотному порядку (табл. 2, рядок 4). За такими кодами розряди коду на виходах регістру 1.1 (табл. 2, рядок 3) вибираються мультимплексором 2.1 також у зворотному порядку (табл. 2, рядок 5) і визначають значення на вході адресного розряду n мультимплексора 2.2. Аналогічно, коди на вході A2 пристрою (табл. 2, рядок 2), інвертуються на виходах суматорів за модулем два групи 5. Послідовність цих кодів в наслідок їх інверсії також приймає зворотний порядок (табл. 2, рядок 7). Такі коди, доповнені значеннями адресного розряду n мультимплексора 2.2 (табл. 2, рядок 5), перетворюються у коди (табл. 2, рядок 8), за якими розряди коду на виходах регістра 1.2 (табл. 2, рядок 6) вибираються мультимплексором 2.2 і визначають значення на його виході та виході R пристрою (табл. 2, рядок 9).

Таким чином, результат на виході R пристрою обчислюється за версією 3 функціонування обох LUT вузлів із забезпеченням найменшої кількості можливих помилок від несправностей замикання сусідніх входів адресних розрядів мультимплексорів 2.1 та 2.2.

Пристрій може бути використаний для покращення схем, побудованих у LUT-орієнтованій архітектурі програмованих логічних інтегральних схем.

ДЖЕРЕЛА ІНФОРМАЦІЇ:

1. FPGA Architecture. Altera: White Paper.

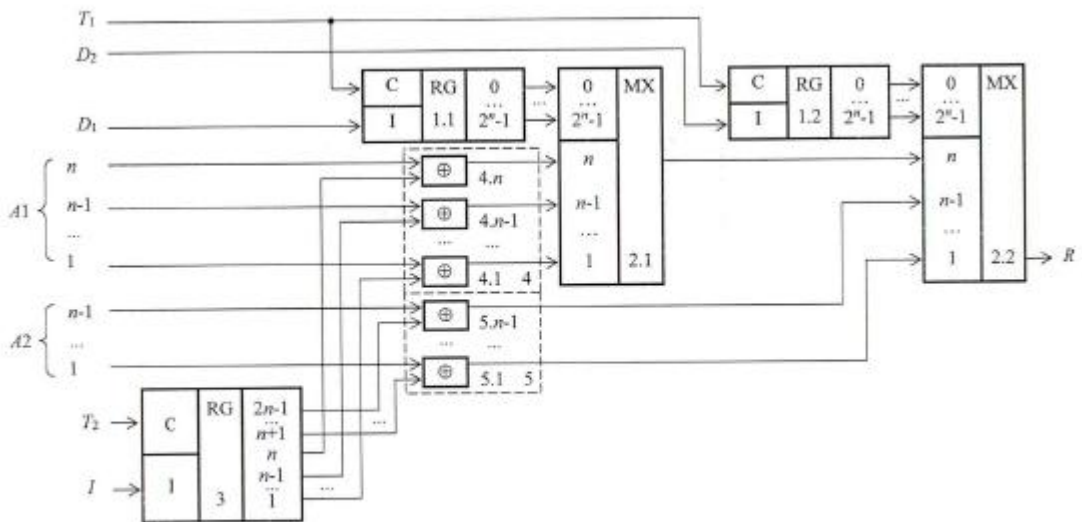
URL: <https://www.intel.com/contentdam/www/programmable/us/en/pdfs/literature/wp/wp-01003.pdf> (дата звернення: 12.07.2021).

2. Патент на винахід № 107437 Україна, МПК G06F 11/263 (2006.01). Програмований пристрій /О.В. Дрозд, С.А. Нестеренко, Ю.В. Дрозд, К.В. Защолюк, М.О. Кузнецов. - № а201402650; Заявлено 17.03.2014; Опубл. 25.06.2014, Бюл. № 13; 25.12.2014, Бюл. № 24.

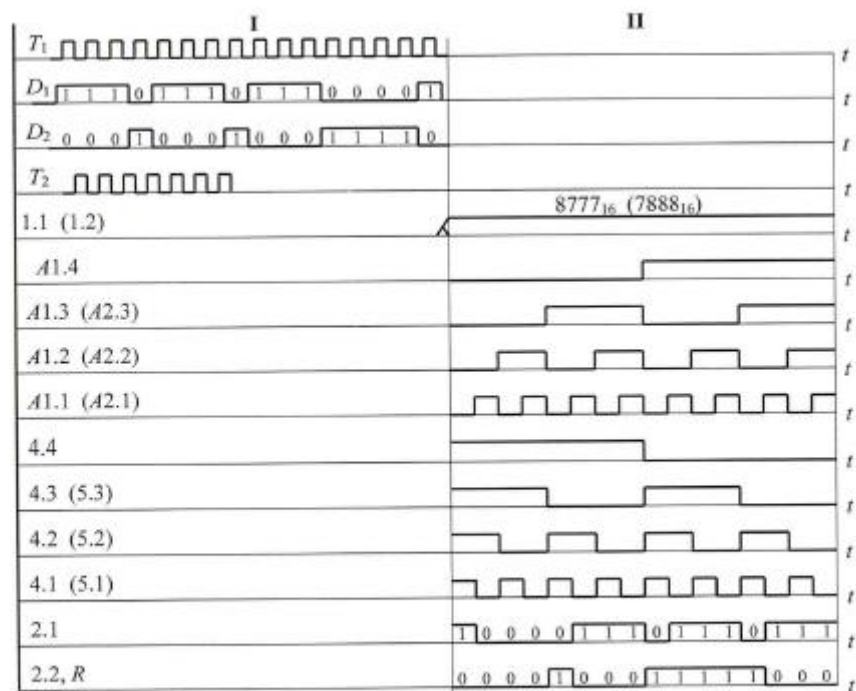
ФОРМУЛА ВІНАХОДУ

Програмований пристрій, що містить перший та другий регістри і перший та другий n-адресні мультимплексори, при цьому перший тактовий вхід пристрою підключено до тактових входів першого та другого регістрів, перший та другий входи прийому даних пристрою підключено, відповідно, до входів послідовного прийому даних першого та другого регістрів, виходи розрядів 0,..., 2ⁿ-1 яких підключено, відповідно, до інформаційних входів 0,..., 2ⁿ-1 першого та другого n-адресних мультимплексорів, виходи яких підключено, відповідно, до входу адресного розряду n другого n-адресного мультимплексора та виходу пристрою, який **відрізняється** тим, що

додатково введено третій регістр і перша та друга групи, відповідно, з n та $n-1$ суматорів за модулем два, при цьому другий тактовий та інформаційний входи пристрою підключено, відповідно, до тактового та інформаційного входів третього регістра, розряди $1, \dots, n$ першого адресного входу пристрою підключено, відповідно, до перших входів суматорів за модулем два $1, \dots, n$ першої групи, другі входи яких підключено, відповідно, до виходів $1, \dots, n$ третього регістра, виходи суматорів за модулем два $1, \dots, n$ першої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n$ першого n -адресного мультиплексора, розряди $1, \dots, n-1$ другого адресного входу пристрою підключено, відповідно, до перших входів суматорів за модулем два $1, \dots, n-1$ другої групи, другі входи яких підключено, відповідно, до виходів $n+1, \dots, 2^n-1$ третього регістра, виходи суматорів за модулем два $1, \dots, n-1$ другої групи підключено, відповідно, до входів адресних розрядів $1, \dots, n-1$ другого n -адресного мультиплексора.



Фіг. 1



Фіг. 2