



УКРАЇНА

(19) UA

(11) 158736

(13) U

(51) МПК

H03M 1/38 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2024 04322**
(22) Дата подання заявки: **03.09.2024**
(24) Дата, з якої є чинними права інтелектуальної власності: **13.03.2025**
(46) Публікація відомостей про державну реєстрацію: **12.03.2025, Бюл.№ 11**

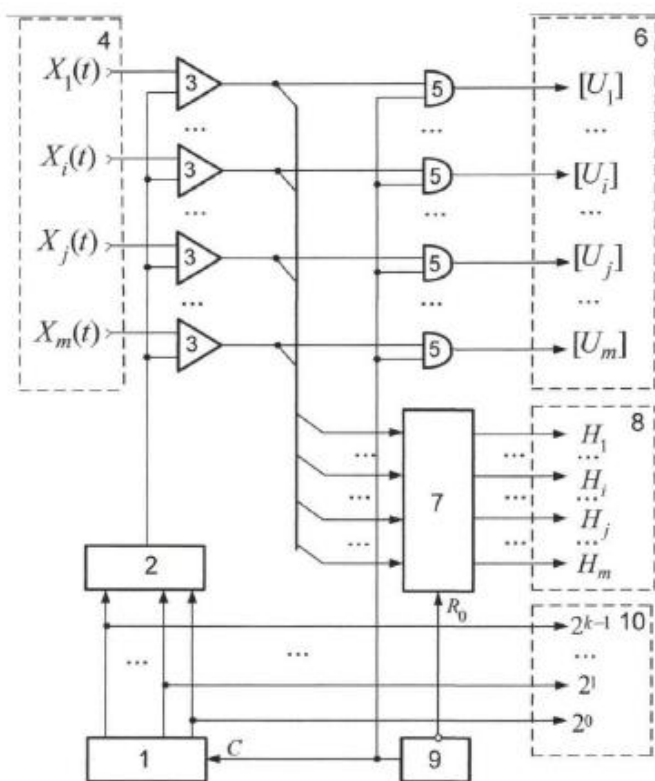
(72) Винахідник(и):
Пітух Ігор Романович (UA),
Возна Наталія Ярославівна (UA),
Грига Людмила Петрівна (UA)
(73) Володілець (володільці):
Пітух Ігор Романович,
вул. Куліша, 7, кв. 11, м. Бучач,
Тернопільська обл., 48000 (UA),
Возна Наталія Ярославівна,
вул. Київська, 11-б, кв. 21, м. Тернопіль,
46016 (UA),
Грига Людмила Петрівна,
пров. І. Богуна, 12, м. Надвірна, Івано-
Франківська обл., 78400 (UA)

(54) АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Аналого-цифровий перетворювач містить k-розрядний двійковий лічильник, паралельні виходи якого з'єднані з відповідними входами цифро-аналогового перетворювача, вихід якого з'єднаний з першими входами m-компараторів, другі входи яких з'єднані з відповідними аналоговими входами $[X_1(t), \dots, X_i(t), \dots, X_j(t), \dots, X_m(t)]$ вхідної інформаційної шини пристрою, вихід кожного i-го компаратора з'єднаний з першим входом i-го логічного елемента "І", другі входи всіх логічних елементів "І" з'єднані між собою і входом імпульсної генерації (С). Додатково виходи логічних елементів "І" з'єднані з відповідними входами першої додатково введеної t-розрядної вихідної інформаційної шини формування унітарних кодів $(U_1, \dots, U_i, \dots, U_j, \dots, U_m)$, додатково введений m-розрядний адресно-канальний модуль на Т-тригерах, перші входи якого з'єднані з виходами відповідних компараторів. Додатково виходи адресно-канального модуля з'єднані з відповідними входами другої додатково введеної m-розрядної адресно-канальної шини кодів Хаара $(H_1, \dots, H_i, \dots, H_j, \dots, H_m)$. Додатково введений парафазний генератор імпульсів, прямий вихід якого з'єднаний з С-входом k-розрядного двійкового лічильника, паралельні виходи додатково з'єднані з відповідними входами додатково введеної третьої k-розрядної вихідної шини двійкових кодів Радемахера (R). Інверсний вихід генератора імпульсів додатково з'єднаний з другим R₀-входом адресно-канального модуля.

UA 158736 U



Фиг. 3

Пристрій належить до засобів автоматики та інформаційно-вимірювальної техніки і може бути застосований як компонент засобу автоматичного управління технологічними процесами та обчислювальної техніки.

Відомий аналого-цифровий перетворювач (АЦП) розгортуючого типу в унітарному базисі [Николайчук Я.М., Возна Н.Я., Пітух І.Р. Проектування спеціалізованих комп'ютерних систем / Навчальний посібник / - Тернопіль: ТОВ Терно-граф; 2010, с. 228, табл. 8.1, п. 16], структура якого представлена на фіг. 1, що містить генератор імпульсів (Г), вихід якого з'єднаний з інформаційним входом k -розрядного двійкового лічильника (R), перший вихід якого з'єднаний з першим виходом синхронізації (С), другий паралельний вихід двійкового лічильника (R) з'єднаний з відповідними входами цифро-аналогового перетворювача (ЦАП), вихід якого з'єднаний з першим входом однофазного компаратора (К), другий вхід якого з'єднаний з потенціалом аналогового входу пристрою (U_x), вихід компаратора (К) з'єднаний з першим входом логічного елемента "І", другий вхід якого з'єднаний з виходом генератора імпульсів (Г), а вихід логічного елемента "І" з'єднаний з другим виходом пристрою в унітарному коді.

Недоліком такого пристрою є обмежені функціональні можливості, що обумовлено перетворенням у цифрову форму тільки одного вхідного аналогового сигналу (U_x) та формування одного виходу його цифрового значення в унітарному коді.

Низька швидкодія відомого пристрою обумовлена тим, що цифровий результат перетворення вхідного аналогового сигналу (U_x) формується і може бути зчитаним, тільки після завершення повного циклу вимірювання, у кінці формування генератором (Г) $n=2^k$ унітарних імпульсів, скидом в нульовий стан всіх тригерів двійкового лічильника (R) та формування на першому виході пристрою сигналу синхронізації зчитування (С).

Іншим недоліком такого пристрою є наявність ефекту старіння інформації, що обумовлено формуванням унітарного коду та його зчитування з часовим запізненням, не у момент фронту спаду імпульса на виході компаратора (К), а у кінці повного циклу вимірювання вхідного сигналу (U_x).

Відомий найближчий аналог - багатоканальний АЦП розгортуючого типу [Николайчук Я.М., Возна Н.Я., Пітух І.Р. Проектування спеціалізованих комп'ютерних систем / Навчальний посібник / - Тернопіль: ТОВ Терно-граф; 2010, с. 245, рис. 8.14], m -канальна структура якого представлена на фіг. 2, що містить перший інформаційний вхід імпульсного генератора (С), який з'єднаний з входом першого двійкового k -розрядного лічильника (Л1), паралельні виходи якого з'єднані з відповідними входами ЦАП, вихід якого з'єднаний з першими входами m -компараторів, другі входи яких з'єднані з відповідними аналоговими входами [$X_1(t)$, $X_2(t)$, ..., $X_m(t)$] вхідної інформаційної шини пристрою, вихід кожного i -го компаратора з'єднаний з першим входом i -го логічного елемента "І", другі входи всіх логічних елементів "І" з'єднані між собою і входом імпульсної генерації (С), а виходи логічних елементів "І" з'єднані з інформаційними входами i -их других k -розрядних двійкових лічильників (Л2), паралельні виходи яких (X_1 , X_2 , ..., X_m) є $(m \times k)$ -розрядною вихідною інформаційною шиною пристрою.

Недоліком такого пристрою є низька швидкодія, яка обумовлена тим, що цифровий результат перетворення вхідного аналогового сигналу $x_i(t)$ у цифровий код X_i може бути зчитаним, із паралельних виходів других двійкових лічильників (Л2), тільки після завершення повного циклу вимірювання, у кінці формування $n=2^k$ унітарних імпульсів на вході (С) та скидом у нульовий стан всіх тригерів першого двійкового лічильника (Л1).

Іншим недоліком такого пристрою є велика апаратна та структурна складність, яка обумовлена наявністю в його структурі (m) -других двійкових k -розрядних лічильників (Л2) та $(m \times k)$ - розрядної вихідної шини.

Недоліком відомого пристрою є наявність ефекту старіння інформації, що обумовлено формуванням паралельних двійкових кодів (X_1 , X_2 , ..., X_m) на виходах других двійкових лічильників (Л2) та їх зчитування з часовим запізненням, не у момент фронту спаду імпульса на виході компаратора (К), а у кінці повного циклу вимірювання вхідного сигналу (U_x).

Недоліком пристрою також є обмежені функціональні можливості, які обумовлені відсутністю вихідних шин формування унітарних та адресно-канальних кодів Хаара, що ускладнює процеси адресно-дистанційного передавання цифрових даних віддаленим приймачам вимірювальної інформації, які регулюють технологічні параметри або відображають на дисплеях промислових комп'ютерів операторів.

В основу корисної моделі поставлено задачу удосконалення пристрою шляхом вилучення з його структури (m) -других двійкових k -розрядних лічильників (Л2), додаткового вводу адресно-канального модуля, що містить m -розрядний регістр пам'яті на Т-тригерах, додаткового вводу генератора імпульсів з парафазним виходом, додатковим введенням першої m -розрядної, другої m -розрядної та третьої k -розрядної вихідних шин формування, відповідно, унітарних (U_i),

адресно-каналних (H_i) та двійкових (R_i) цифрових кодів $[X_1, \dots, X_i, \dots, X_j, \dots, X_m]$ вимірних значень вхідних аналогових сигналів $[X_1(t), \dots, X_i(t), \dots, X_j(t), \dots, X_m(t)]$.

Поставлена задача вирішується в аналого-цифровому перетворювачі, що містить k -розрядний двійковий лічильник, паралельні виходи якого з'єднані з відповідними входами цифро-аналогового перетворювача, вихід якого з'єднаний з першими входами m -компараторів, другі входи яких з'єднані з відповідними аналоговими входами $[X_1(t), \dots, X_i(t), \dots, X_j(t), \dots, X_m(t)]$ вхідної інформаційної шини пристрою, вихід кожного i -го компаратора з'єднаний з першим входом i -го логічного елемента "І", другі входи всіх логічних елементів "І" з'єднані між собою і входом імпульсної генерації (С), у якому, згідно з корисною моделлю, додатково виходи логічних елементів "І" з'єднані з відповідними входами першої додатково введеної m -розрядної вихідної інформаційної шини формування унітарних кодів $(U_1, \dots, U_i, \dots, U_j, \dots, U_m)$, додатково введений m -розрядний адресно-каналний модуль на Т-тригерах, перші входи якого з'єднані з виходами відповідних компараторів, додатково виходи адресно-каналного модуля з'єднані з відповідними входами другої додатково введеної m -розрядної адресно-каналної шини кодів Хаара $(H_1, \dots, H_i, \dots, H_j, \dots, H_m)$, додатково введений парафазний генератор імпульсів, прямий вихід якого з'єднаний з С-входом k -розрядного двійкового лічильника, паралельні виходи якого додатково з'єднані з відповідними входами додатково введеної третьої k -розрядної вихідної шини двійкових кодів Радемахера (R), а інверсний вихід генератора імпульсів додатково з'єднаний з другим R_0 -входом адресно-каналного модуля.

Корисну модель ілюструють кресленням, де на:

Фіг. 1 показано аналого-цифровий перетворювач (АЦП) розгортуючого типу.

Фіг. 2 показано m -каналну структуру багатоканального АЦП розгортуючого типу.

Фіг. 3 показана структура аналого-цифрового перетворювача, що містить: 1- k -розрядний двійковий лічильник; 2 - цифро-аналоговий перетворювач (ЦАП); 3 - компаратори; 4 - перша m -розрядна вхідна інформаційна шина; 5 логічні елементи "І"; 6 - перша m -розрядна вихідна шина унітарних кодів $(H_1, \dots, H_i, \dots, H_j, \dots, H_m)$; 7 - адресно-каналний модуль (Фіг. 4), який містить (m) Т-тригерів; 8 - друга m -розрядна вихідна інформаційна шина формування адресно-каналних кодів Хаара $(U_1, \dots, U_i, \dots, U_j, \dots, U_m)$; 9 - генератор імпульсів з парафазним виходом; 10 - третя k -розрядна вихідна шина двійкового коду базису Радемахера $(a_{k-1}, \dots, a_i, \dots, a_j, \dots, a_0)$, $a_i \in \overline{0,1}$.

Пристрій працює наступним чином. Повний цикл перетворення вхідних аналогових сигналів $[X_1(t), \dots, X_i(t), \dots, X_j(t), \dots, X_m(t)]$ у цифрові коди $(X_1, \dots, X_i, \dots, X_j, \dots, X_m)$ здійснюється на інтервалі формування 2^k імпульсів на прямому виході генератора імпульсів (9). При цьому, якщо всі тригери лічильника (1) приймають значення "0", на виходах всіх компараторів (3) у стартовому режимі формуються сигнали "+1". У подальшому, на виході ЦАП (2) генерується послідовність ступінчатих потенціалів, які порівнюються з потенціалами вхідних аналогових сигналів $X_i(t)$, $i \in \overline{1, m}$. У моменти збігу сигналів рівності потенціалів ЦАП (2) та $X_i(t)$ на виходах відповідних i -их компараторів (3) формуються фронти спаду сигналів "+1" у нульовий стан і на виходах i -их логічних елементів "І" (5) припиняється формування унітарних імпульсів у кожному каналі першої інформаційної шини (6), кількість яких у кожному i -му каналі рівна цифровому значенню X_i вхідного аналогового сигналу $X_i(t)$. Одночасно на виходах i -их компараторів (3) утворені фронти спаду сигналів у нульовий стан, подаються на Т-входи відповідних i -их Т-тригерів адресно-каналного модуля (7). При цьому, відповідні Т-тригери адресно-каналного модуля (7) переходять в одиничний стан і на другій вихідній шині пристрою (8) формується адресно-каналний код Хаара $(H_1, \dots, H_i, \dots, H_j, \dots, H_m)$. Одночасно, на третій вихідній шині пристрою (10) формується двійковий k -розрядний цифровий R-код базису Радемахера виміряного значення аналогового сигналу $X_i(t)$. Тобто, при рівних оцифрованих значеннях вхідних аналогових сигналів $X_i = X_j$ R-код на виході третьої вихідної інформаційної шини (10) передається відповідним споживачам згідно з адресно-каналним кодом Хаара другої інформаційної шини (8).

Технічний результат.

При застосуванні у структурі найближчого аналога швидкодіючих синхронізованих k -розрядних двійкових лічильників на JK-тригерах, апаратна складність розраховується згідно з виразом:

$$A_1 = k \times A_T + A_{ЦАП} + A_K + A_{ЛЕ} + m \times A_{Л2} + A_{Г},$$

де A_T - апаратна складність JK-тригерів синхронного двійкового лічильника (Л1), $A_T = 4V$ (вентилі); $A_{ЦАП}$ - апаратна складність цифро-аналогового перетворювача, $A_{ЦАП} = k + 1$ A_K - апаратна складність однофазного компаратора (К), $A_K = 3V$; $A_{ЛЕ}$ - апаратна складність логічного

елемента (&), $A_{LE}=1V$; A_{L2} - апаратна складність лічильника ($L2$), $A_{L2}=4k$; де k -розрядність двійкових лічильників на JK-тригерах.

При $m=16$, $k=8$: $A_1=(8 \times 4)+(8+1)+(16 \times 3)+16+(16 \times 3)+2=619$ (вентилів).

Апаратна складність удосконаленого пристрою розраховується згідно з виразом:

5 $A_2=k \times A_T + A_{ЦАП} + A_K + A_{LE} + m \times A_{T2} + A_G$,

де A_{T2} - апаратна складність Т-тригера адресно-канального модуля, $A_{T2}=3V$; A_G - апаратна складність генератора сигналів з парафазним виходом $A_G=2V$.

При $m=16$, $k=8$: $A_2=(8 \times 4)+(8+1)+(16 \times 3)+16+(16 \times 3)+2=155$ (вентилів).

Таким чином, зменшення апаратної складності удосконаленого АЦП при $m=16$, $k=8$ складає

10 $k=A_1/A_2=619/155=4$ рази.

Часова складність найближчого аналога розраховується згідно з виразом:

$T_1=2^k \times (T_{L1} + t_{ЦАП} + t_K + t_{LE} + T_{L2})$, та складає:

$T_1=256 \times (2+2+3+1+2)=256 \times 10=2560u$ (мікротактів).

Часова складність удосконаленого пристрою розраховується згідно з виразом:

15 $T_2=2^k \times (T_{T1} + t_{ЦАП} + t_K + T_{L2})$, та складає відповідну затримку сигналів $T_2=256 \times (2+2+3+2)=256 \times 9=2304u$ (мікротактів).

Таким чином, відносне зменшення часової складності удосконаленого АЦП у порівнянні з найближчим аналогом, відповідно складає $T_2/T_1=9/10=0,9$.

Швидкодія АЦП віднесена до кількості одночасно вимірюваних параметрів на інтервалі повного циклу роботи найближчого аналога та удосконаленого АЦП розраховується згідно з виразами: $\tau_{V1}=T_1/m$, $\tau_{V2}=T_2/m$.

Тобто, $\tau_{V1}=2560/16=160$ (мікротактів), $\tau_{V2}=2304/16=144$ (мікротактів).

При зростанні кількості вхідних каналів m , наприклад ($m=32$, 256), відносна швидкодія удосконаленого АЦП складає (72, 9) мікротактів. При цьому, відповідно, пропорційно зменшується апаратна складність удосконаленого АЦП у порівнянні з найближчим аналогом.

25 Зменшення структурної складності (S) удосконаленого пристрою у порівнянні з відомим визначається відповідним зменшенням структурної складності вихідних шин пристрою.

У відомому пристрої $S_1=k \times m \times S_T$, де S_T - структурна складність JK-тригера, $S_T=C_{VV}+(5 \times 6)=10+30=40$. Тобто, $S_1=16 \times 8 \times 40=5120$ (од.).

30 Структурна складність удосконаленого АЦП $S_2=m \times S_{TT}$, $S_2=16 \times 20=320$ (од.).

Тобто, зменшення структурної складності удосконаленого пристрою у порівнянні з відомим, при $m=16$, $k=8$, складає: $S_1/S_2=5120/320=16$ разів.

Такий пристрій дозволяє зменшити його апаратну та структурну складність, а також здійснити зчитування цифрових даних у моменти фронтів спаду сигналів відповідних компараторів, що ліквідує ефект старіння інформації при формуванні вихідних цифрових даних.

35 Розширення функціональних можливостей удосконаленого АЦП у порівнянні з відомим пристроєм здійснено шляхом паралельного формування трьох типів вихідних кодів (унітарного, Хаара та Радемахера). Тобто, запропонований удосконалений АЦП належить до класу пристроїв з мультибазисними цифровими виходами. Такі АЦП з мультибазисними цифровими

40 виходами значно спрощують подальші алгоритми обчислень та підвищують швидкодію спеціалізованих цифрових функціональних опрацювання даних.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

45 Аналого-цифровий перетворювач, що містить k -розрядний двійковий лічильник, паралельні виходи якого з'єднані з відповідними входами цифро-аналогового перетворювача, вихід якого з'єднаний з першими входами m -компараторів, другі входи яких з'єднані з відповідними аналоговими входами $[X_1(t), \dots, X_i(t), \dots, X_j(t), \dots, X_m(t)]$ вхідної інформаційної шини пристрою, вихід кожного i -го компаратора з'єднаний з першим входом i -го логічного елемента "І", другі

50 входи всіх логічних елементів "І" з'єднані між собою і входом імпульсної генерації (С), який **відрізняється** тим, що додатково виходи логічних елементів "І" з'єднані з відповідними входами першої додатково введеної t -розрядної вихідної інформаційної шини формування унітарних кодів ($U_1, \dots, U_i, \dots, U_j, \dots, U_m$), додатково введений m -розрядний адресно-канальний модуль на Т-тригерах, перші входи якого з'єднані з виходами відповідних компараторів, додатково виходи

55 адресно-канального модуля з'єднані з відповідними входами другої додатково введеної m -розрядної адресно-канальної шини кодів Хаара ($H_1, \dots, H_i, \dots, H_j, \dots, H_m$), додатково введений парафазний генератор імпульсів, прямий вихід якого з'єднаний з С-входом k -розрядного двійкового лічильника, паралельні виходи якого додатково з'єднані з відповідними входами додатково введеної третьої k -розрядної вихідної шини двійкових кодів Радемахера (R), а

інверсний вихід генератора імпульсів додатково з'єднаний з другим R_0 -входом адресно-канального модуля.

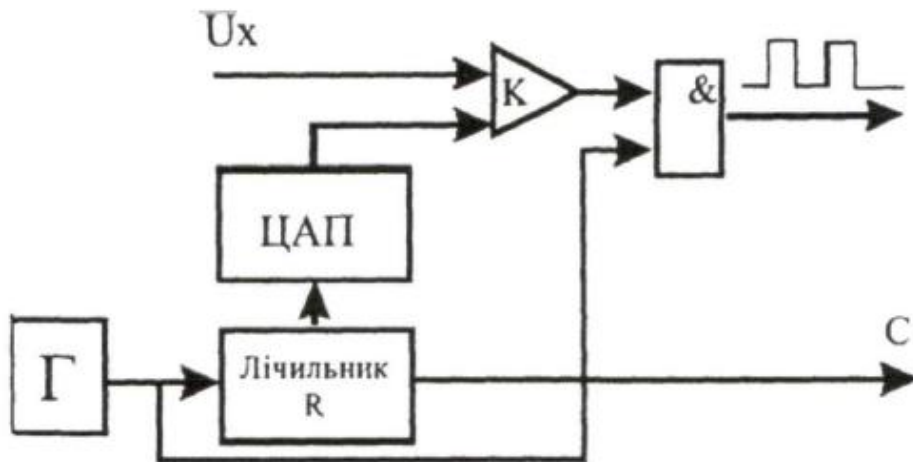


Fig. 1

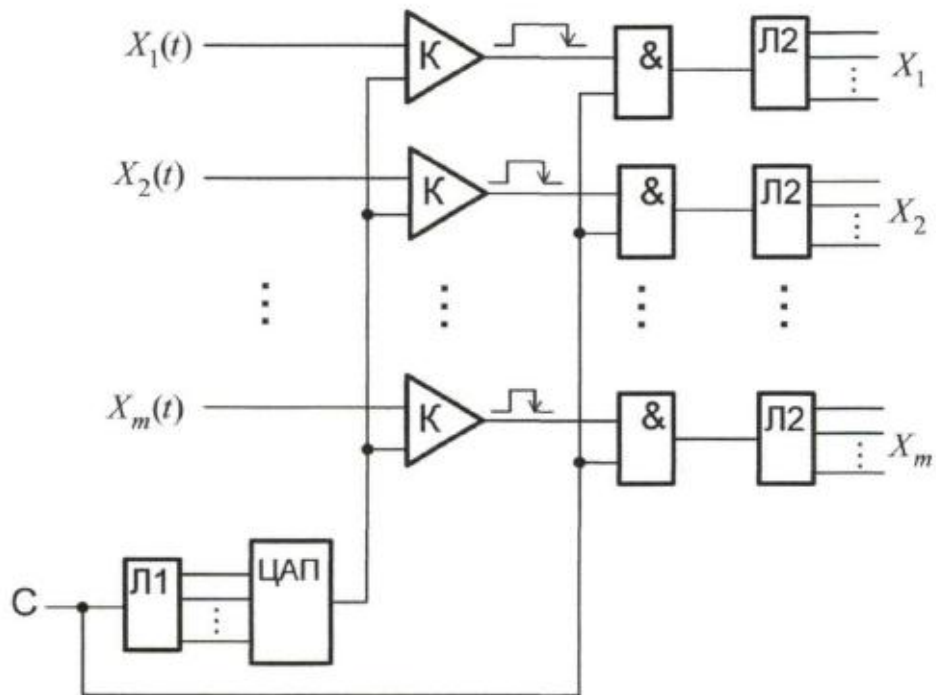
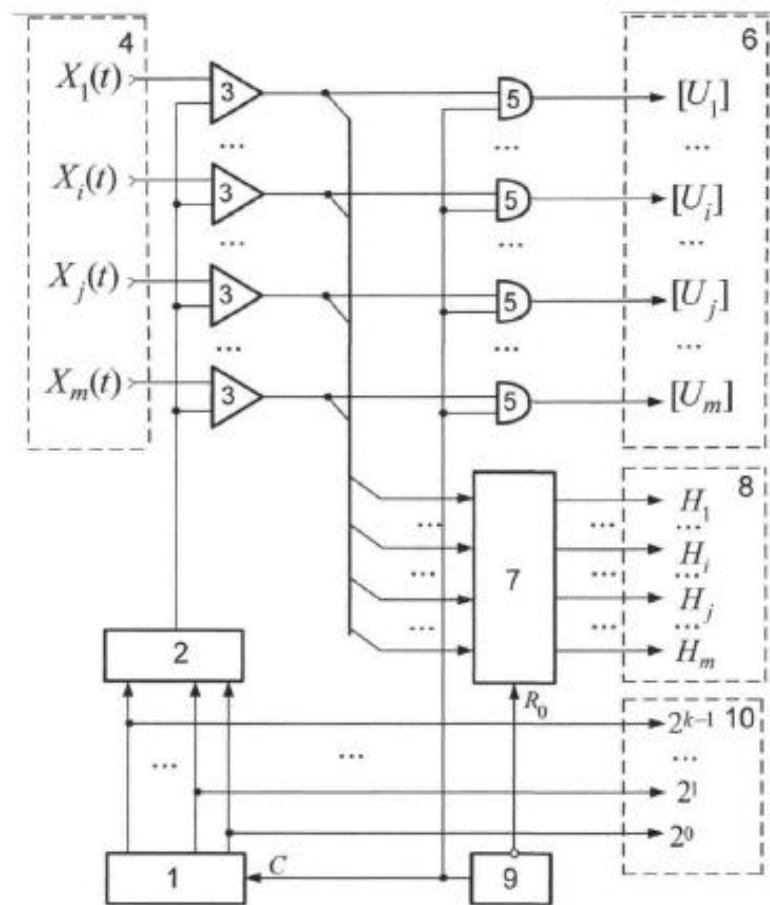
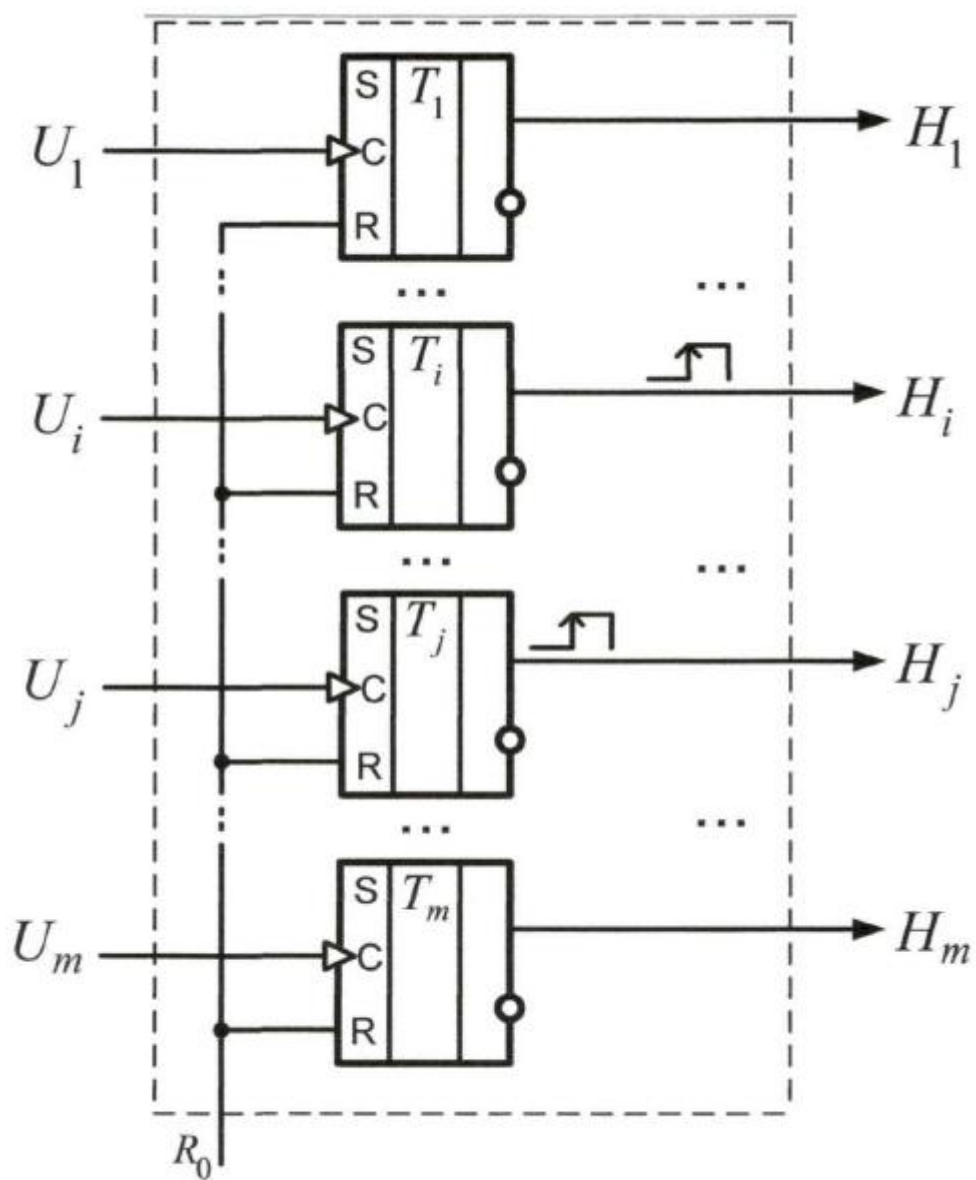


Fig. 2



Фиг. 3



Фиг. 4