



УКРАЇНА

(19) **UA** (11) **159225** (13) **U**
(51) МПК (2025.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2024 04320	(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Грига Володимир Михайлович (UA), Якименко Ігор Зіновійович (UA), Грига Людмила Петрівна (UA)
(22) Дата подання заявки: 03.09.2024	
(24) Дата, з якої є чинними права інтелектуальної власності: 08.05.2025	
(46) Публікація відомостей про державну реєстрацію: 07.05.2025, Бюл.№ 19	(73) Володілець (володільці): Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Володимир Михайлович, вул. Івана Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Якименко Ігор Зіновійович, вул. Волинська, 19а, с. Підгородне, Тернопільська обл., 47751 (UA), Грига Людмила Петрівна, пров. Івана Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)

(54) НАКОПИЧУЮЧИЙ СИНХРОНІЗОВАНИЙ ДВІЙКОВИЙ СУМАТОР

(57) Реферат:

Накопичуючий синхронізований двійковий суматор містить перший інформаційний вхід пристрою (a_i), який з'єднаний з першим входом першого логічного елемента "Виключне І" та першим входом першого логічного елемента "І-НІ". Другий інформаційний вхід першого логічного елемента "Виключне І" з'єднаний з другим входом першого логічного елемента "І-НІ", вихід першого логічного елемента "Виключне І" з'єднаний з першим входом другого логічного елемента "І-НІ" та першим входом другого логічного елемента "Виключне І", вихід якого з'єднаний з D-входом другого D-тригера. Другий інформаційний вхід наскрізного переносу пристрою (C_{in}) з'єднаний з другим входом другого логічного елемента "Виключне І" та другим входом другого логічного елемента "І-НІ", вихід якого з'єднаний з виходом першого логічного елемента "І-НІ" та D-входом першого D-тригера, інверсний вихід якого є виходом наскрізного переносу пристрою (C_{out}). Третій інформаційний вхід пристрою (S_x) з'єднаний з C-входами синхронізації першого та другого D-тригерів. Четвертий інформаційний вхід пристрою (R_0) з'єднаний з R-входами першого та другого D-тригера, прямий вихід якого з'єднаний з другим виходом пристрою (NS_i). Крім цього, додатково вихід другого логічного елемента "Виключне І" з'єднаний з другим входом першого логічного елемента "Виключне І".

UA 159225 U

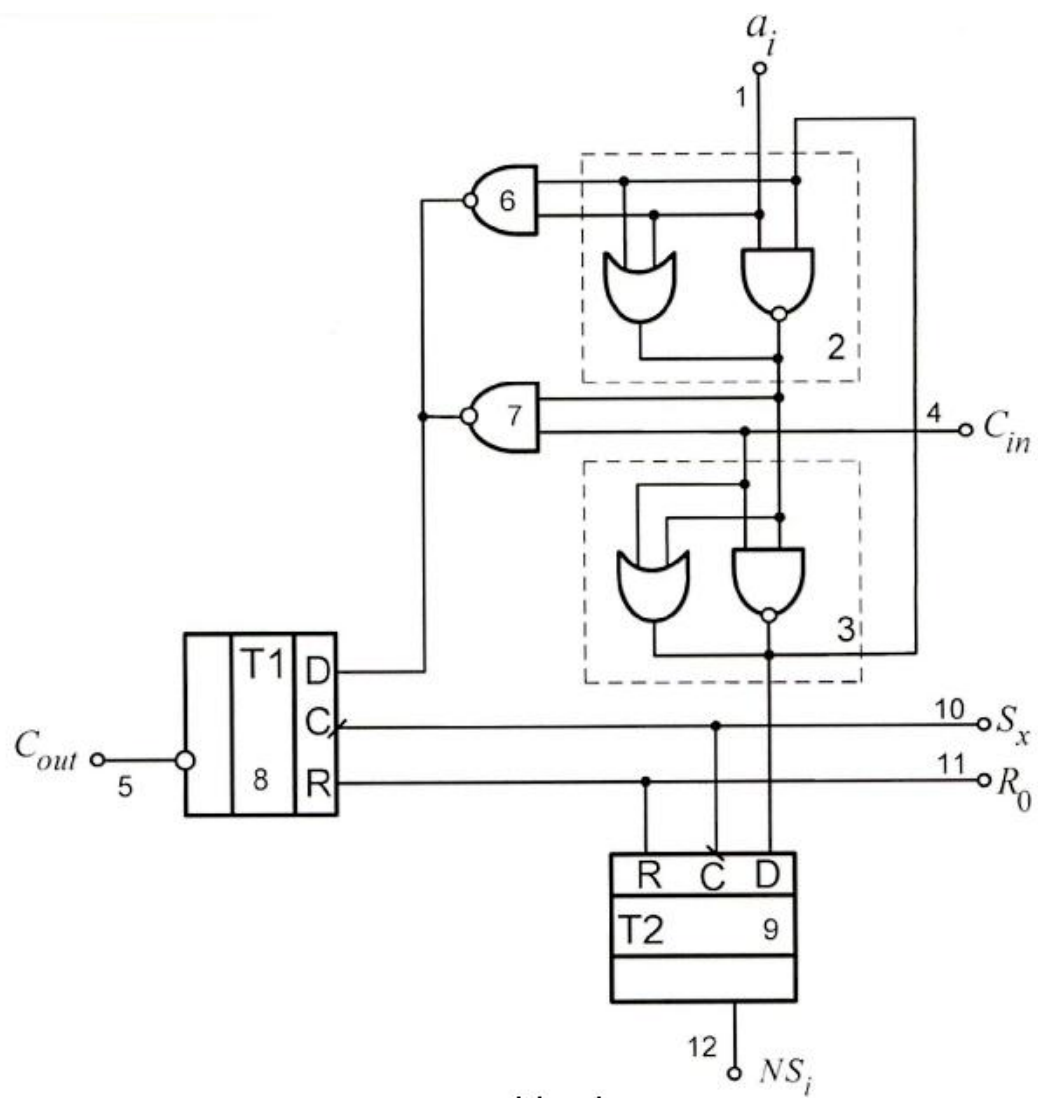


Fig. 4

Пристрій належить до засобів обчислювальної техніки і може бути використаний як синхронізований розрядний компонент накопичуючих суматорів, багаторозрядних комбінаційних двійкових суматорів, компонентів матричних перемножувачів двійкових чисел та процесорів криптозахисту даних.

Відомий аналог - однорозрядний накопичуючий синхронізований напівсуматор [Пітух І.Р., Грига В.М., Николайчук Л.М., Грига Л.П. Однорозрядний накопичуючий синхронізований напівсуматор. Патент на корисну модель № 147625, Бюл. № 21, 2021, Фіг. 3], структура якого представлена на фіг. 1, що містить логічний елемент "I", перший вхід якого з'єднаний з першим виходом пристрою (x_i), другий вхід з'єднаний з другим комутаційним виходом пристрою (a_i), вихід логічного елемента "I" з'єднаний з першим інформаційним входом однорозрядного напівсуматора, в якому логічний елемент "I-HI", перший вхід якого з'єднаний з другим інформаційним входом напівсуматора, другий вхід з'єднаний з першим інформаційним входом однорозрядного суматора, вихід з'єднаний з інверсним виходом наскрізного переносу пристрою, перший D-тригер, D-вхід якого з'єднаний з прямим виходом переносу однорозрядного напівсуматора, прямий та інверсний виходи першого тригера, відповідно, з'єднані з прямим та інверсним виходами синхронізованого переносу пристрою, R-входи першого та другого D-тригерів з'єднані між собою та першим входом синхронізації пристрою S_0 , C-вхід першого D-тригера з'єднаний з другим входом синхронізації S_x та C-входом другого D-тригера, D-вхід якого з'єднаний з виходом суми напівсуматора та входом інвертора, вихід якого є інверсним виходом суми пристрою, інверсний вихід другого D-тригера з'єднаний з інверсним виходом накопиченої суми пристрою, а прямий вихід другого D-тригера з'єднаний з прямим виходом накопиченої суми пристрою та другим інформаційним входом однорозрядного напівсуматора.

Такий суматор є компонентом типу комірки Гілда у матрицях комутованих перемножувачів двійкових чисел.

Недоліком такого пристрою є обмежені функціональні можливості, обумовлені тим, що його структура не містить повного однорозрядного суматора та входу наскрізного переносу (C_{in}) як компонента багаторозрядного накопичуючого суматора.

Іншим недоліком такого суматора є низька швидкодія, що обумовлена наявністю зворотного зв'язку прямого виходу другого D-тригера накопичення бітів суми S_i з другим входом неповного однорозрядного суматора.

Відомий аналог - повний однорозрядний синхронізований суматор [Пітух І.Р., Грига В.М., Николайчук Л.М., Грига Л.П. Повний однорозрядний синхронізований суматор. Патент на корисну модель № 146833, Бюл. № 12, 2021, Фіг. 2], структура якого представлена на фіг. 2, що містить перший інформаційний вхід a_i , який з'єднаний з першим входом першого логічного елемента "I-HE" та першим входом першого логічного елемента "Виключне I", другий вхід повного однорозрядного суматора b_i з'єднаний з другим входом першого логічного елемента "I-HE" та другим входом першого логічного елемента "Виключне I", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне I", вихід якого є першим виходом суми S_i повного однорозрядного синхронізованого суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента "Виключне I" та першим входом другого логічного елемента "I-HE", в якому інверсні виходи першого та другого логічних елементів "I-HE" з'єднані між собою та входом D - тригера, C - вхід якого з'єднаний з четвертим входом синхронізації S_x повного однорозрядного синхронізованого суматора, а прямий та інверсний виходи D-тригера з'єднані з відповідним прямим C_{out} та інверсним $\bar{C}_{out}$ виходами наскрізних переносів пристрою.

Недоліком такого пристрою є обмежені функціональні можливості, які обумовлені тим, що такий повний однорозрядний синхронізований двійковий суматор не містить на виході другого логічного елемента "Виключне I" другого запам'ятовуючого D-тригера.

Іншим недоліком такого суматора є відсутність інформаційного зв'язку між виходом другого логічного елемента "Виключне I" та входом першого логічного елемента "Виключне I", а також відсутність інформаційного входу (R_0) з'єднаного з R-входом D-тригера.

Відомий найближчий аналог - накопичуючий синхронізований суматор [Y. Nykolaychuk, V. Hryha, N. Vozna, L. Pituhk, L. Hryha High-Performance Components of Hardware Multi-Bit Specific Processors for the Addition and Multiplication of Binary Numbers // International Scientific Journal "Computer Systems and Information Technologies", 2023. - HNU, № 2 С. 25-32, Fig. 3], структура якого представлена на фіг. 3. Такий накопичуючий суматор є компонентом багаторозрядного накопичуючого двійкового суматора [Николайчук Я.М., Возна Н.Я., Грига В.М., Пітух І.Р., Давлетова А.Я. Накопичуючий двійковий суматор. Патент на корисну модель № 150332, Бюл. № 5, 2022, Фіг. 4], що містить інформаційні входи/виходи, повний комбінаційний суматор (3) та два D-тригери (5, 6), які з'єднані між собою відповідним чином.

Такий накопичуючий синхронізований суматор (Фіг. 3) містить перший інформаційний вхід пристрою a_i , який з'єднаний з першим входом першого логічного елемента "Виключне І" та першим входом першого логічного елемента "І-НІ", другий інформаційний вхід першого логічного елемента "Виключне І" з'єднаний з другим входом першого логічного елемента "І-НІ", вихід першого логічного елемента "Виключне І" з'єднаний з першим входом другого логічного елемента "І-НІ" та першим входом другого логічного елемента "Виключне І", вихід якого з'єднаний з D-входом другого D-тригера, другий інформаційний вхід пристрою (C_{in}) з'єднаний з об'єднаним другим входом другого логічного елемента "Виключне І" та другим входом другого логічного елемента "І-НІ", вихід якого з'єднаний з виходом першого логічного елемента "І-НІ" та D-входом першого D-тригера, інверсний вихід якого є виходом наскрізного переносу пристрою (C_{out}), третій інформаційний вхід пристрою S_x з'єднаний з C-входами синхронізації першого та другого D-тригерів, четвертий інформаційний вхід пристрою (R_0) з'єднаний з R-входами першого та другого D-тригера, прямий вихід якого з'єднаний з другим входом першого логічного елемента "Виключне І" та другим виходом пристрою (NS_i).

Недоліком такого пристрою є низька швидкодія, що обумовлено наявністю інформаційного зв'язку між виходом тригера суми та другим інформаційним входом суматора. При цьому швидкодія такого пристрою складає 4 мікротакти.

В основу корисної моделі поставлена задача підвищення швидкодії пристрою шляхом вилучення з його структури з'єднання другого виходу пристрою (NS_i) з другим входом першого логічного елемента "Виключне І" та додаткового введення у структуру пристрою з'єднання виходу другого логічного елемента "Виключне І" з другим входом першого логічного елемента "Виключне І", що дозволяє підвищити швидкодію пристрою у 2 рази у порівнянні з найближчим аналогом. Робота пристрою у синхронізованому мікроциклі виключає колізії формування сигналів на D-входах першого та другого D-тригерів, які формують сигнали наскрізних переносів (C_{out}) та сум (S_i) із тривалістю переключення 2 мікротакти.

Поставлена задача вирішується тим, що накопичуючий синхронізований двійковий суматор, який містить перший інформаційний вхід пристрою a_i , який з'єднаний з першим входом першого логічного елемента "Виключне І" та першим входом першого логічного елемента "І-НІ", другий інформаційний вхід першого логічного елемента "Виключне І" з'єднаний з другим входом першого логічного елемента "І-НІ", вихід першого логічного елемента "Виключне І" з'єднаний з першим входом другого логічного елемента "І-НІ" та першим входом другого логічного елемента "Виключне І", вихід якого з'єднаний з D-входом другого D-тригера, другий інформаційний вхід наскрізного переносу пристрою C_{in} з'єднаний з другим входом другого логічного елемента "Виключне І" та другим входом другого логічного елемента "І-НІ", вихід якого з'єднаний з виходом першого логічного елемента "І-НІ" та D-входом першого D-тригера, інверсний вихід якого є виходом наскрізного переносу пристрою (C_{out}) третій інформаційний вхід пристрою S_x з'єднаний з C-входами синхронізації першого та другого D-тригерів, четвертий інформаційний вхід пристрою R_0 з'єднаний з R-входами першого та другого D-тригера, прямий вихід якого з'єднаний з другим виходом пристрою NS_i , в якому, згідно з корисною моделлю, додатково вихід другого логічного елемента "Виключне І" з'єднаний з другим входом першого логічного елемента "Виключне І".

Корисна модель ілюструється кресленням, де на фіг. 4 показана структура удосконаленого накопичуючого синхронізованого двійкового суматора, який містить: 1 - перший інформаційний вхід a_i ; 2, 3 - відповідно, перший та другий логічні елементи "Виключне І"; 4, 5 - прямі входи-виходи наскрізних переносів C_{in} , C_{out} ; 6, 7 - логічні елементи "І-НІ"; 8, 9 - відповідно, перший та другий D-тригери; 10 - вхід синхронізації пристрою S_x ; 11- R_0 вхід скиду D-тригерів у нульовий стан; 12 - вихід накопиченої суми NS_i .

У кожному мікроциклі роботи пристрій працює наступним чином. Сигнали на інформаційному вході пристрою a_i (1), виходів першого логічного елемента "Виключне І" (2) та вхідного наскрізного переносу C_{in} (4), із затримкою 2 мікротакти на виході другого логічного елемента "І-НІ" формується інверсний біт наскрізного переносу на D-вхід першого тригера T1 (8). Одночасно із затримкою 2 мікротакти на виході другого логічного елемента "Виключне І" (3) формується біт накопиченої суми NS_i (12), який надходить на D-вхід другого тригера T2 (9). Фронтом наростання сигналу синхронізації S_x (10) відповідні біти наскрізного переносу та суми записуються у тригери T1 (8) та T2 (9), на виході яких із затримкою 2 мікротакти формуються вихідні сигнали наскрізного переносу C_{out} (5) та накопиченої суми NS_i (12) бінарного двійкового коду.

Технічний результат.

Швидкодія відомого пристрою розраховується згідно з виразом: $\tau_1 = \tau_{L1} + \tau_{L2} + \tau_T$, де τ_{L1}, τ_{L2} - відповідно затримки сигналів у першому та другому логічних елементах "Виключне І"; τ_T - затримка сигналу при переключенні другого D-тригера (9).

Тобто, $\tau_1 = 1 + 1 + 2 = 4\tau$ (мікротакти).

5 Швидкодія удосконаленого пристрою розраховується згідно з виразом: $\tau_1 = \tau_{L1} + \tau_{L2}$.

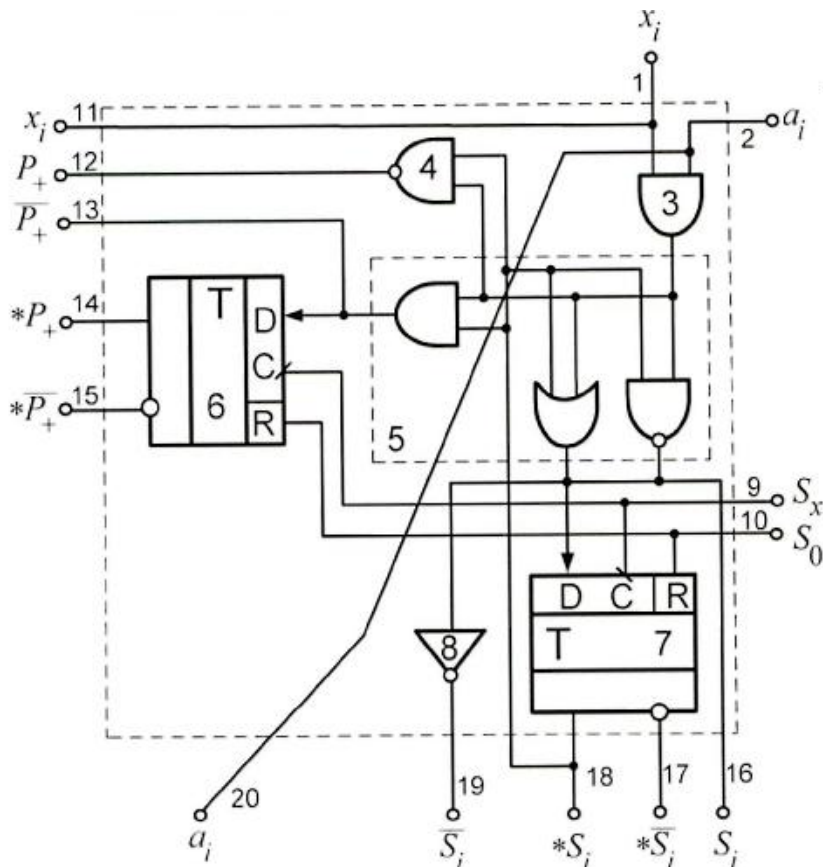
Тобто, $\tau_1 = 1 + 1 = 2\tau$ (мікротакти).

Таким чином, порівняно з найближчим аналогом швидкодія удосконаленого пристрою підвищується у 2 рази.

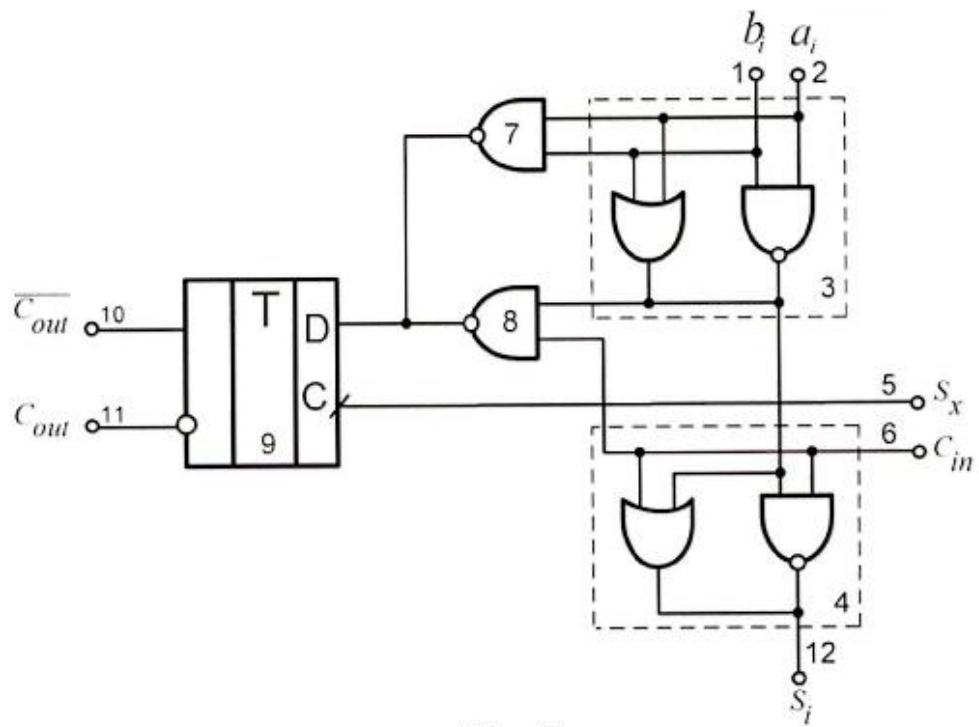
10

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

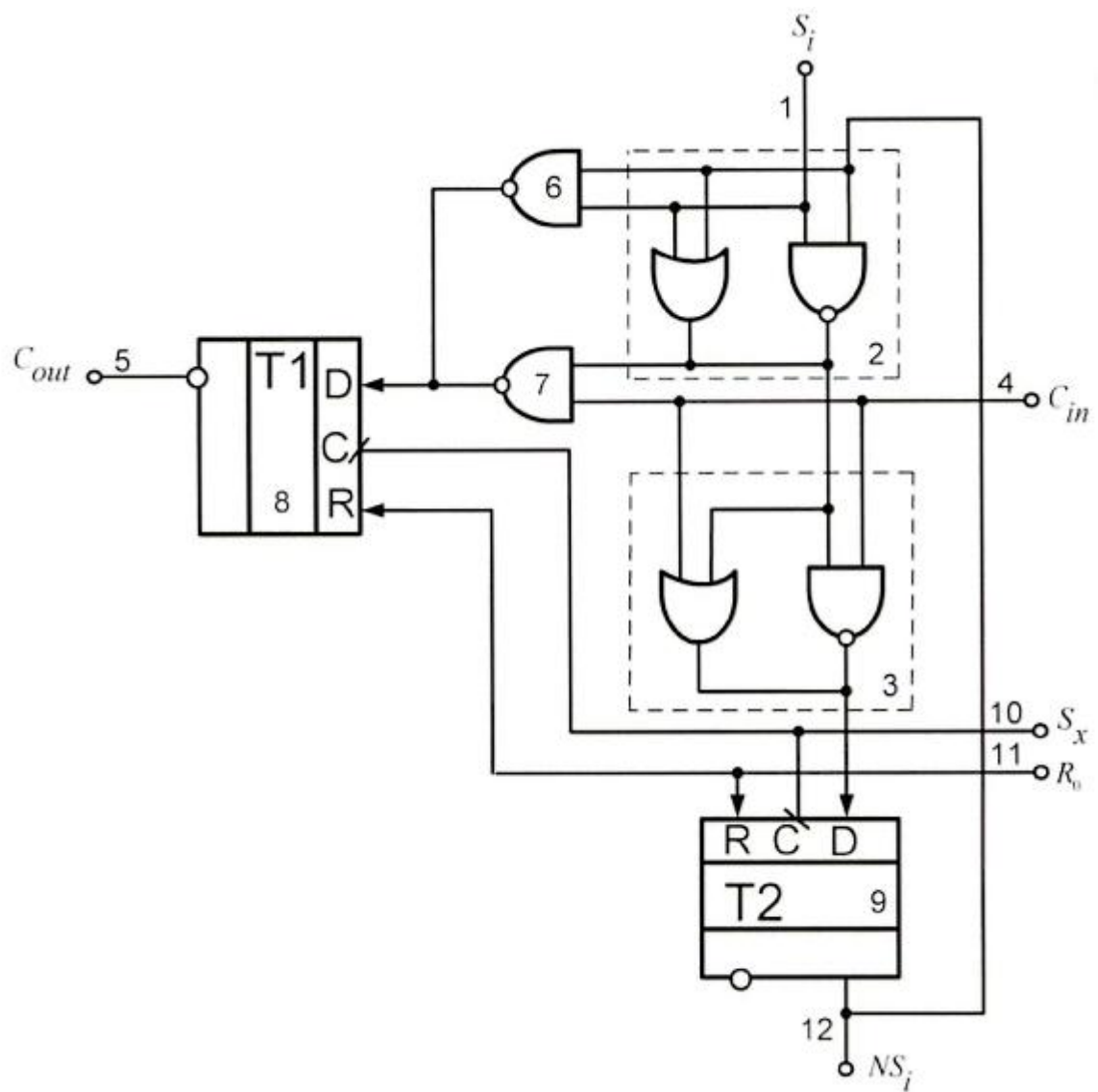
Накопичуючий синхронізований двійковий суматор, що містить перший інформаційний вхід пристрою (a_i), який з'єднаний з першим входом першого логічного елемента Виключне І та першим входом першого логічного елемента І-НІ, другий інформаційний вхід першого логічного елемента Виключне І з'єднаний з другим входом першого логічного елемента І-НІ, вихід першого логічного елемента Виключне І з'єднаний з першим входом другого логічного елемента І-НІ та першим входом другого логічного елемента Виключне І, вихід якого з'єднаний з D-входом другого D-тригера, другий інформаційний вхід наскрізного переносу пристрою (C_{in}) з'єднаний з другим входом другого логічного елемента Виключне І та другим входом другого логічного елемента І-НІ, вихід якого з'єднаний з виходом першого логічного елемента І-НІ та D-входом першого D-тригера, інверсний вихід якого є виходом наскрізного переносу пристрою (C_{out}), третій інформаційний вхід пристрою (S_x) з'єднаний з C-входами синхронізації першого та другого D-тригерів, четвертий інформаційний вхід пристрою (R_0) з'єднаний з R-входами першого та другого D-тригера, прямий вихід якого з'єднаний з другим виходом пристрою (NS_i), який відрізняється тим, що додатково вихід другого логічного елемента Виключне І з'єднаний з другим входом першого логічного елемента Виключне І.



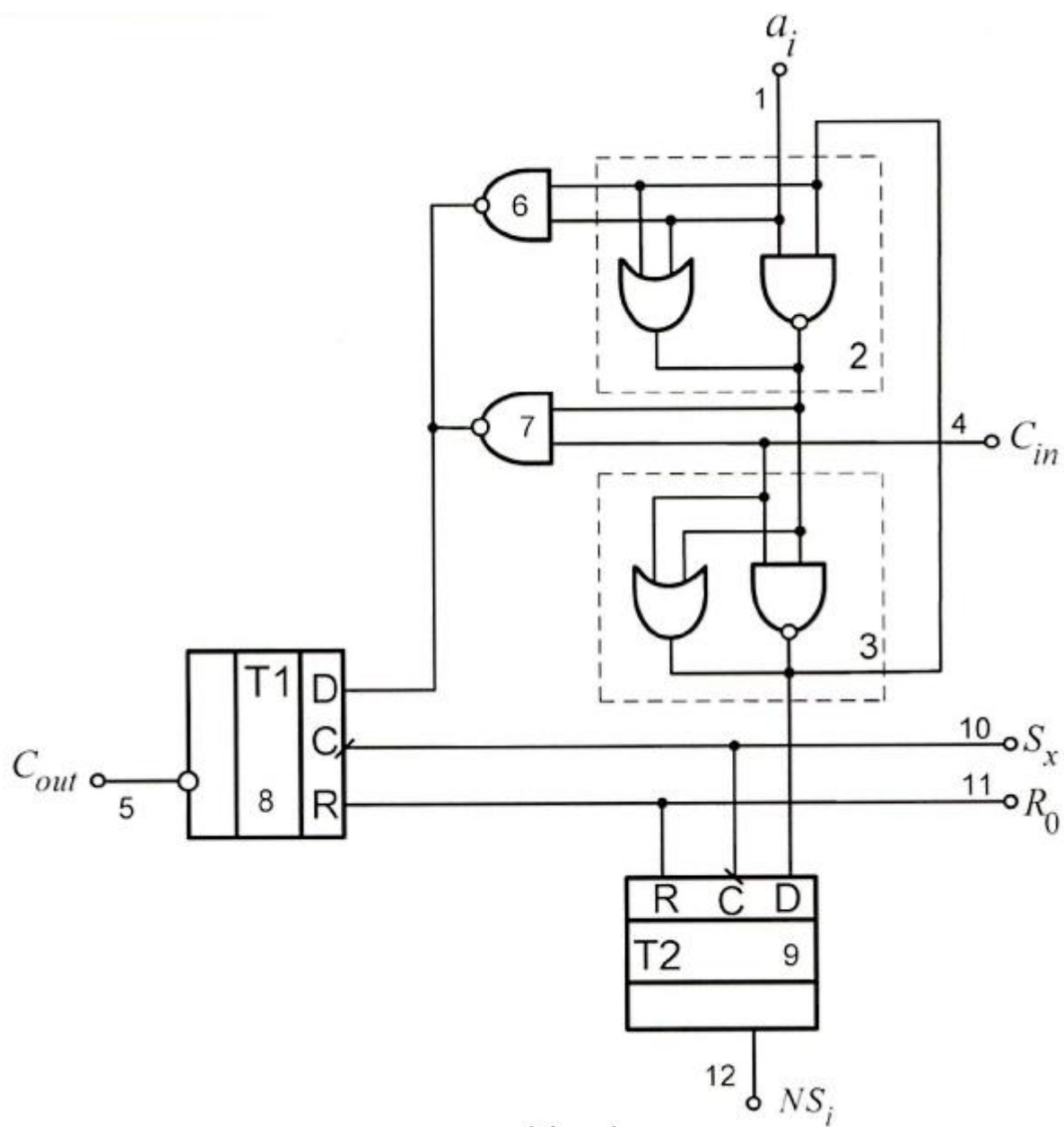
Фіг. 1



Фиг. 2



Фиг. 3



Фіг. 4